

C2000 シリーズ DSP 用いたスイッチング電源回路軽負荷時の 効率向上手法の検討

高 川, ジンコウライ*, 李慕容 (群馬大学), 落合政司, 鈴木庸弘, 麻生真司 (サンケン電気)
小堀康功, 小林春夫, 高井伸和, 志水勲 (群馬大学)

Efficiency Improvement Method for Switching Power Circuit at Light Load with DSP C2000 Series

Chuan Gao, Guanlei Jin*, Muron Li, (Gunma University)

Masashi Ochiai, Yokou Suzuki, Shinji Asou (Sanken Electric Co., Ltd.)

Yasunori Kobori, Haruo Kobayashi, Nobukazu Takai, Isao Shimizu (Gunma University)

Abstract

The paper describes a digital control method for efficiency improvement of switching power circuit power at light load with DSP C2000 Series (Texas Instruments). In this work, we use DSP to adjust the link voltage between bridgeless PFC AC/DC converter and phase shift full bridge DC/DC converter, as well as PWM frequency of power circuit in order to improve the power efficiency in a suitable way. Our experiment results show that the efficiency of the power circuit at half load / light load improves with adjusting the link voltage and/or PWM frequency.

キーワード : DSP,C2000, デジタル制御, 電源回路, 効率, 軽負荷

Keywords: DSP, C2000, Power Circuit, Power efficiency, light load, digital control.

1.はじめに

スイッチング電源は主要な直流安定化電源である。商用電源または直流電源を入力とし、これを半導体スイッチで高速にスイッチングして可聴周波数以上の高周波の交流に変換し、再び整流平滑して安定した直流電圧を得る。小型・軽量で高効率を特徴とし情報機器や通信機器をはじめほとんどの電子機器の電源として使用される。

サーバ電源はN+1冗長運転方式で構成されている。したがって、電源回路はフル負荷で動作することが稀で、普通20%~50%負荷で動作しているため、軽負荷の電源効率向上が重要である。しかしながら、軽負荷の場合に、高い効率を取るために、回路トポロジーの改良だけでは実現困難な非常に高い仕様が要求されている。そこで、我々は回路トポロジーを変えずに、DSPを用いたデジタル制御を駆使し最適制御で電源回路ハーフロード或いは20%近くの軽負荷領域での

効率の向上（プログラムの開発）方法を検討する。

2. 検討した電源回路の構成

検討は下記のように TI 社製の電源評価ボード[1][2][3]を用いて電源回路を二つの部分に分けて行なった。

① BLPFC AC/DC 回路部分 (図 1)

(Bridgeless Power Factor Correction AC/DC Converter) [1]

- リンク電圧の最適可変(@ 50% Load)
- PWM(スイッチング周波数)の最適可変(@ 5%~20% Load)

② PSFB DC/DC 回路部分 (図 2)

(Phase Shift Full Bridge DC/DC Converter) [2]

- PWM(スイッチング周波数)の最適可変(@10%~20% Load)

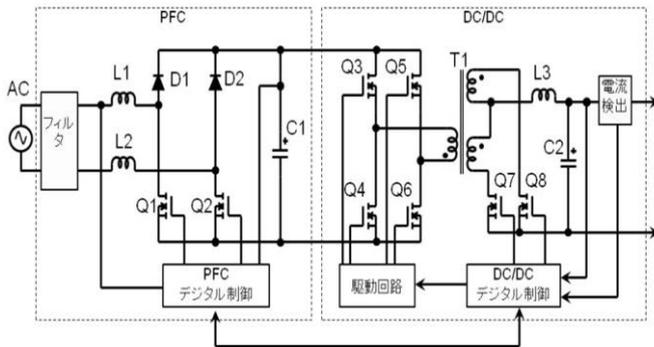


図1 電源回路 (BLPFC AC/DC+PSFB DC/DC)

Fig.1 Power circuit (BLPFC AC/DC+PSFB DC/DC).

3.電源回路効率劣化の原因

PFC AC/DC 回路の出力電圧(リンク電圧)が低いほど高効率を達成できる。しかし電源入力電圧範囲(AC 90-265V)により入力電圧最大(AC 265V)のピーク値($265\sqrt{2}=375\text{V}$)以上の電圧(390V)がリンク電圧となる。これが効率の悪化の原因になっている。

また軽負荷の場合、電源回路の固定周波数の PWM 制御での MOS スイッチングロスにより、効率が大幅に劣化するのが二つ目の原因である。

4. BLPFC AC/DC 回路部分 (Bridgeless Power Factor Correction AC/DC)

実験は TI 社製のブリッジレス PFC 開発ボードを使用した。Piccolo F28035 (DSP) で PFC AC/DC を制御している。

回路の基本仕様は下記のようにになっている。

- Input Voltage (AC line):
95V (Min) to 250V (Max), 47~63Hz
- 400Vdc Output
- 300 Watts Output Power
- Full Load efficiency greater than 93%.
- Power factor at 50% or greater load – 0.98(Min)
- PWM frequency 200kHz

上記のように、リンク電圧と PWM 周波数が規定されている。

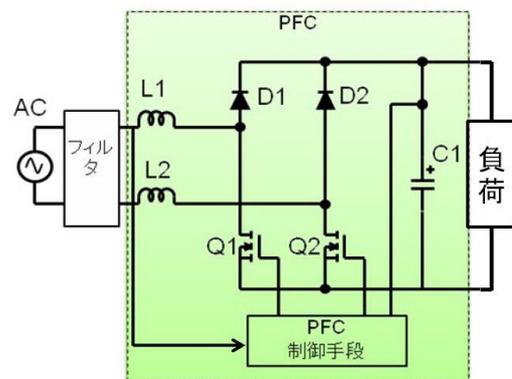


図2 PFC AC/DC 開発ボード回路図

Fig.2 Circuit in PFC AC/DC development board.

4.1 リンク電圧の最適可変(@ 50% Load)

電源回路出力効率劣化はリンク電圧が常に入力電圧範囲の最大値のピーク値(390V~400V)で制御しているのが効率の悪化の原因である。その解決方法として、DSP が入力電圧の実効値をモニタし、最適の昇圧比を決めればリンク電圧をリアル可変にすることが可能と考え、それに基づきプログラムを開発した。

入力電圧の検出(V_{inac})→DSP に取り込む
 →入力電圧の実効値を算出(V_{rms})
 →リンク電圧=最適昇圧比 x V_{rms}

実験結果:

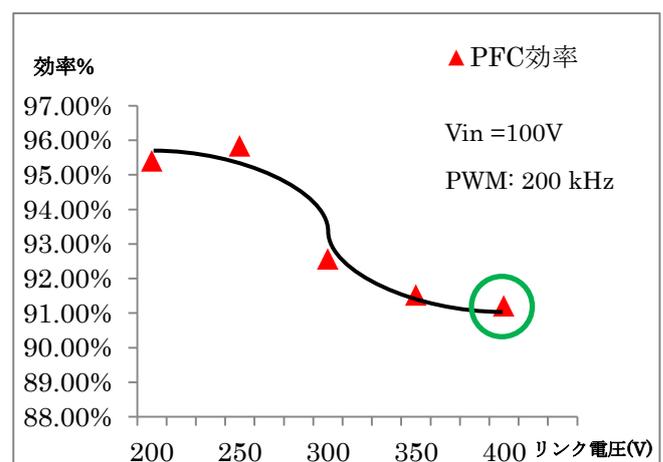


図3 異なるリンク電圧に対するハーフロードの PFC ボード出力効率

Fig.3 Efficiency of PFC AC/DC board with different link voltages @50% load.

仕様に規定されたリンク電圧は 400V である。ハーフロードの場合では、図 3 で示したように 400V のリンク電圧で最高の効率を得られなかったのが最適ではない。一方、昇圧比を下げる（リンク電圧を下げる）ことによって、ハーフロードでの効率向上効果を確認できた。

4.2 PWM 周波数の最適可変(@5%~20% Load)

軽負荷の場合、電源回路は固定周波数の PWM 制御での MOS スイッチングロスにより、効率が大幅に劣化する。そこで、デジタル制御で PWM スイッチング周波数を可変にし、PFC AC/DC 回路の効率向上効果を検討した。

仕様に規定されたスイッチング周波数は 200kHz であるが、軽負荷の場合では、図 4 が示したようにスイッチング周波数 200kHz で PFC AC/DC ボードが最高の効率得られなかったのが最適ではない。

図 4 の結果に基づき、軽負荷の場合の PWM 周波数範囲を表 1 で示す。

*PWM 周波数が低すぎると PFC 動作部分が誤動作するので、回路効率が大きく劣化し、出力電圧も不安定になる。

表 1 PFC AC/DC ボード最適 PWM 稼動範囲(@軽負荷)

Table 1: Suitable PWM range for PFC AC/DC board (@light load)

Load Rate (%)	PWM 周波数(kHz)
5% - 10%	150kHz
10% - 15%	160kHz
15% - 20%	170kHz

5. PSFB DC/DC 回路部分 (Phase Shift Full Bridge DC/DC)

実験は TI 製のブリッジレス PFC 開発ボードを使用した。TMS320F28027 (DSP) で PSFB DC/DC を制御している。回路の基本仕様は次のようになっている。

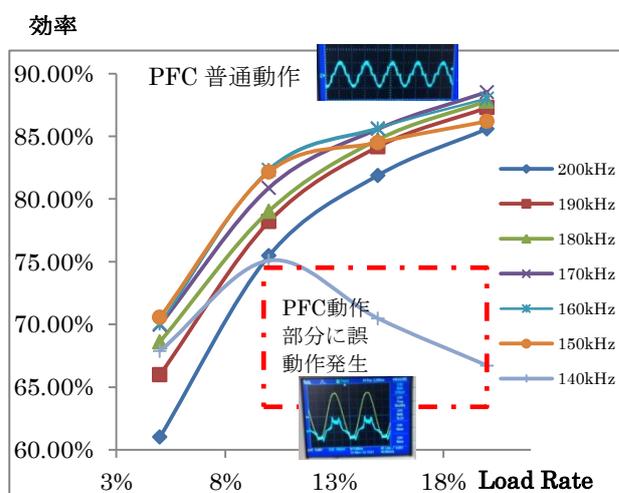


図 4 異なる PWM 周波数に対応する軽負荷の場合の PFC AC/DC ボード効率

Fig.4 Efficiency of PFC AC/DC board with different PWM frequencies @5%~20% load.

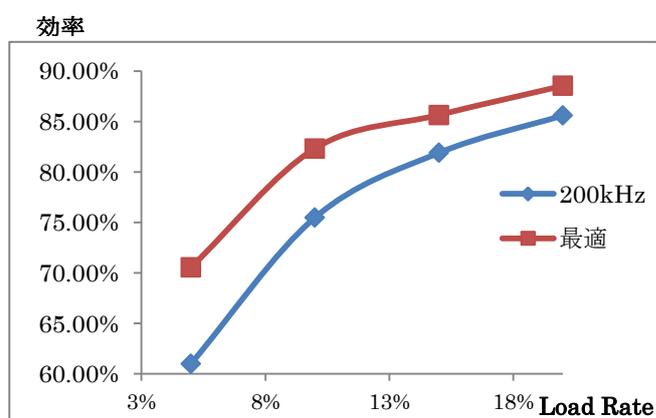


図 5 PFC AC/DC 固定周波数の場合と周波数可変の場合の比較

Fig.5 Comparison of PFC AC/DC efficiency for fixed and variable frequency PWM controls.

- 400V DC input (370Vdc to 410Vdc operation), 12V DC output
- Peak efficiency greater than 95%
- 50A (600Watt) rated output
- Phase Shifted Full-Bridge Circuit topology
- **100kHz switching frequency**

上記のように、PWM 周波数が規定されている。

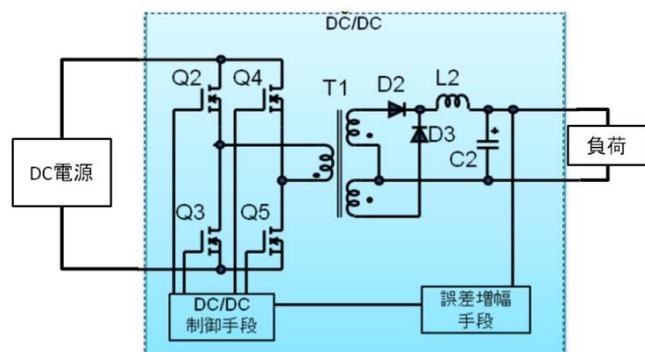


図6 PSFB DC/DC 開発ボード回路図

Fig.6 Circuit of PSFB DC/DC Development Board

5.1 PWM 周波数の最適可変(@10%~20% Load)

軽負荷の場合、電源回路は固定周波数の PWM 制御での MOS スイッチングロスにより効率が大幅に劣化する。そこでデジタル制御で PWM スイッチング周波数を可変にし、PSFB DC/DC 回路の効率向上効果を検討した。

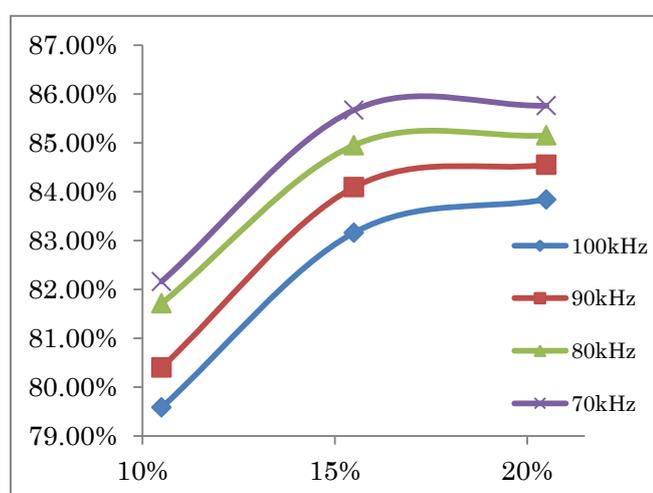


図7 異なる PWM 周波数に対する、軽負荷時の PSFB DC/DC ボード効率

Fig.7 Efficiency of PSFB DC/DC Board with different PWM frequency @ 10%~20% load.

仕様に規定されたスイッチング周波数は 100kHz である軽負荷の場合では、図7が示すようにスイッチング周波数 100kHz は最適ではない。この図に基づき、出力電流をモニタし、PWM スイッチング周波数を可変にする。

軽負荷の場合：

PWM スイッチング周波数を 70kHz に変更する。

ハーフロードから重負荷の場合：

PWM スイッチング周波数を 100kHz に戻す。

これによって DC/DC 変換回路の軽負荷の場合の効率を向上できる。

6.まとめ

本研究は TI 社の C2000 シリーズの DSP を用いて、電源回路の軽負荷場合の効率向上方法を検討しその指針を得た。

DSP や CPU の製造コストが減るにつれて、これからの電源回路をプロセスコントローラで制御するのが主流になっていくと考えられる。本研究を通じて DSP デジタル制御のメリット以下になることが分かった。

- 柔軟性 (Flexible)

電源回路のハードウェアを変えずに、ソフトウェア上でリンク電圧と PWM 周波数を変えることが容易に実現できる。軽負荷の場合 PWM と PFM 制御の間に切り替える必要はなく、ハードウェア構成上では非常に楽である。

- 可視化 (Visible)

リンク電圧や PWM 周波数の可変部分をソフトウェア上で関数化しモジュールとしてシステムに付け加えることができる。それらの制御関数は式として明示でき、修正や変更も容易に可能である。

今後の予定

- BLPFC AC/DC ボードが低周波数で動作する場合の PFC 誤動作の原因を探索。
- BLPFC AC/DC ボードに高い入力電圧 (250V~265V) を入れる時の効率向上効果の確認。

参考文献

- [1] HV ブリッジレス PFC 開発用キット
<http://www.tij.co.jp/tool/jp/tmdshvblpfckit>
- [2] HV フェーズ・シフト・フル・ブリッジ開発用キット
<http://www.tij.co.jp/tool/jp/tmdshvpsfckit>
- [3] TMS320C1x/C2x/C2xx/C5x アセンブリ言語ツール ユーザーズ・マニュアル, Texas Instruments (1996)