

ノイズシェーピング サイクリック ADC の検討

新井薫子* 劉羽 小林春夫 松浦達治 (群馬大学)
小林修 (STARC) 高井伸和 (群馬大学) 新津葵一 (名古屋大学)

Noise-Shaping Cyclic ADC

Yukiko Arai, Yu Liu, Haruo Kobayashi, Tatsuji Matsuura (Gunma Univ.)
Osamu Kobayashi (STARC) Takai Nobukazu (Gunma Univ.), Kiichi Niitsu (Nagoya Univ.)

Abstract This paper presents an ADC architecture which is a pipeline of cyclic AD operation and delta-sigma modulation. The cyclic ADC produces a residue at the final stage and the following delta-sigma modulator converts it to a digital value, (hence the residue is noise-shaped). The total ADC output is a combination of the cyclic ADC output and the modulator output, and then we can achieve high resolution. The delta-sigma modulator can be implemented simply with continuous-time analog circuitry. We describe its basic configuration and operation, and show simulation results.

キーワード：サイクリック ADC, パイプライン ADC, ノイズシェーブ, 信号生成
(Keywords: Cyclic ADC, Pipe line ADC, Noise-Shaping, Signal Generation)

1. はじめに

トランジスタのプロセス微細化によりトランジスタ利得低下、素子ばらつき増加のためアナログ回路の性能確保が困難になってきている。その中で小面積化、高速化を実現するために小型化したデジタル回路を用いて、アナログ回路の特性の誤差やばらつきを補正するデジタル自己校正技術が注目されている。特に AD 変換器にデジタル自己校正技術を適用した研究開発が活発に行われており、パイプライン AD 変換器もよく用いられている。[1]

サイクリック AD 変換器はほかの AD 変換器に比べて構成が簡単で、面積が小さい。また n bit の AD 変換回路は同じ回路の変換を n 回巡回動作させるため、分解能・サンプリングスピードの再構成が比較的容易にできるという利点がある。

本論文ではサイクリック AD 変換器の後段に $\Delta\Sigma$ 変調器を設け、サイクリック ADC の最終サイクルで生成された残差を入力し $\Delta\Sigma$ 変調により更なる高分解能化を行う

AD 変換器アーキテクチャを提案する。残差はノイズシェーピングされ入力信号付近のノイズが減少し、S/N 比の高い出力を得られる。数値シミュレーションによりこれらの動作確認を行い、効果を検証した。

なお、この提案アーキテクチャは[2]のノイズシェーピング逐次比較近似 ADC よりヒントを得ている。

2. サイクリック ADC

2-1 サイクリック ADC の構成と動作

サイクリック ADC の構成を図 1 に示す。入力電圧 $V_{in}(V_a)$ は、コンパレータ (1bit ADC) で比較され、デジタル出力 D_{out} (1 or 0) を出力する。次に 1bit DAC でこの D_{out} に対応する出力電圧 V_b (V_{ref} or 0) が出力され、入力電圧 V_{in} との残差 $V_a - V_b$ を得る。残差 $V_a - V_b$ はオペアンプで 2 倍に増幅され V_{out} となり、次のステージの入力電圧 $V_{in}(V_a)$ となる。

サイクリック ADC は 1bit 判定の動作を上位ビットから繰り返し動作させることで分解能を 1bit ずつ増やすこと

ができる。n 回ステージを繰り返すと n bit 出力となり、出力は以下の様に表せる。

$$V_{out} = 2^n \times (V_{in} - K(n) \times V_{ref}) \quad \dots(1)$$

ここで $K(n)$ は各ステージのデジタル出力からアナログ値に再生したもので、各ステージ出力に 2 進の重みを掛けて以下の様に表せる。

$$K(n) = (1/2)D_{out}(1) + (1/4)D_{out}(2) + (1/8)D_{out}(3) + \dots + (1/2^n)D_{out}(n) \quad \dots(2)$$

$$\text{ただし } D_{out}(n) = 1 \quad (V_{in} \geq V_{ref})$$

$$D_{out}(n) = 0 \quad (V_{in} < V_{ref})$$

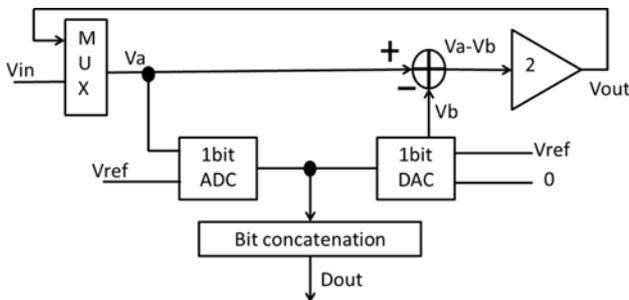


図1 サイクリック ADC の構成

Fig.1 Cyclic ADC block diagram.

2-2 ローパス ノイズシェーピング アルゴリズム

サイクリック入力信号 V_{in} とデジタル出力からアナログ値に再生した $K(n)$ の量子化誤差を $\Delta \Sigma$ 変調で AD 変換する。この $\Delta \Sigma$ 変調の出力にサイクリック ADC の n bit 出力をデジタルフィルタで加算し、量子化誤差をキャンセルする。これは以前から知られているナイキスト ADC の残差信号に 1 次 $\Delta \Sigma$ 変換を行って、デジタルドメインで加算して分解能を増加させる MASH 0-1 方式の 1 種である。

MASH 0-1 構成は図 2 に示す。

- 1) サイクリック ADC で発生した量子化誤差を得る。サイクリック ADC の入力電圧 V_{in} とデジタル出力 D_{out} の差 $e(n)$ は(2)式を用いて以下の様に表せる。

$$e(n) = V_{in}(n) - K(n) \quad \dots(3)$$

- 2) $e(n)$ を加算して量子化誤差の累積値 $E(n)$ を得る。

$$E(n) = E(n-1) + e(n) \quad \dots(4)$$

- 3) $E(n)$ が 1LSB を超えたとき、 $E(n)$ から 1LSB を引く。またデジタル出力値に 1 を加算する。

$$\text{If } E(n) > 1\text{LSB}, E(n) = E(n) - 1\text{LSB}, \quad \dots(5)$$

$$D_{out}(n) = D_{out}(n) + 1 \quad \dots(6)$$

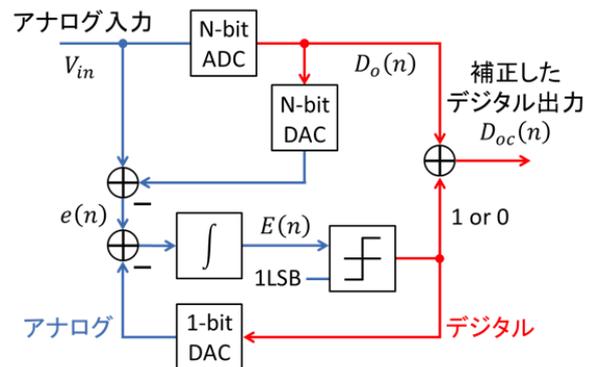


図2 MASH 0-1 構成

Fig.2 MASH 0-1 configuration.

2-3 MASH 0-1 型 $\Delta \Sigma$ 変調器

図 3 の MASH 0-1 型 $\Delta \Sigma$ 変調器の構成に基づいて出力を計算する。図 3 より、初段ナイキスト ADC の出力は次のようになる。

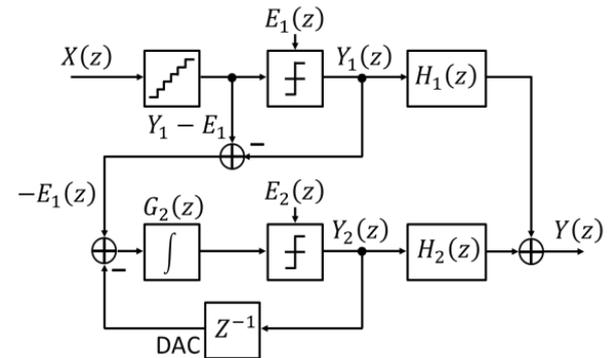


図3 MASH 0-1 型 $\Delta \Sigma$ 変調器

Fig.3. $\Delta \Sigma$ modulator with MASH 0-1.

$$Y_1(z) = X(z) + E_1(z) \quad \dots(7)$$

2 段目の 1 次 $\Delta \Sigma$ 変調器の入力は $-E_1(z)$ なので

$$Y_2(z) = -E_1(z) + (1/G_2)E_2(z) \quad \dots(8)$$

が得られる。量子化雑音 $E_1(z)$ を打ち消すために、

$$H_1(z) = 1, H_2(z) = 1$$

とすると、最終出力 $Y(z)$ は次のようになる。

$$\begin{aligned} Y(z) &= Y_1 H_1 + Y_2 H_2 \\ &= X(z) + E_1(z) - E_1(z) + (1/G_2) E_2(z) \\ &= X(z) + (1/G_2) E_2(z) \end{aligned} \quad \dots(9)$$

(9)式より $E_1(z)$ がキャンセルされ、 $E_2(z)$ に $1/G_2$ のフィルタがかかっていることがわかる。

2-4 ノイズシェーピング・サイクリック ADC の構成

提案手法であるノイズシェーピング・サイクリック ADC の構成を図4に示す。サイクリック入力 V_{in} と各ステージの AD 変換により得られたデジタル出力 D_{out} の量子化誤差を MASH 0-1 内の積分器で加算する。誤差の和 $E(n)$ はコンパレータで比較され、DAC でアナログ出力に変換される。

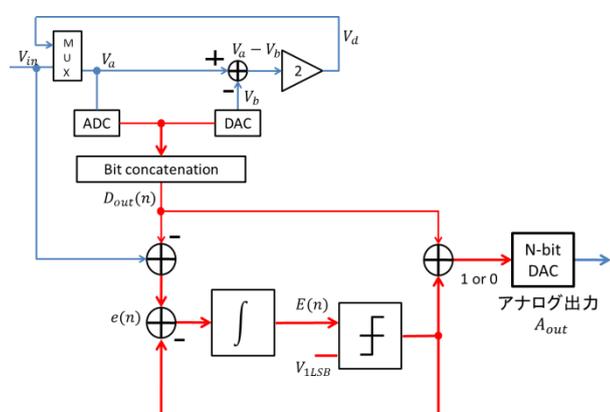


図4 ノイズシェーピング・サイクリック ADC の構成

Fig.4 Noise shaping cyclic ADC configuration.

3. シミュレーションによる提案手法の確認

3-1 ノイズシェーピング・サイクリック ADC

ノイズシェーピング・サイクリック ADC のシミュレーションを行い、出力信号を Excel を用いて計算した。シミュレーション条件を表1、結果を図5に示す。

表1 シミュレーション条件

Table 1. Simulation conditions.

入力信号	$Asin(2\pi f_{in} t)$
V_{ref} [V]	0.3
振幅 A	0.3
周波数 f_{in} [Hz]	1000
サンプリング周波数 f_s [Hz]	204800
データ数	1024
分解能 [bit]	3

図5の(a)はサイクリック ADC の出力波形、(b)はサイク

リック ADC の出力をノイズシェーピングした出力波形である。

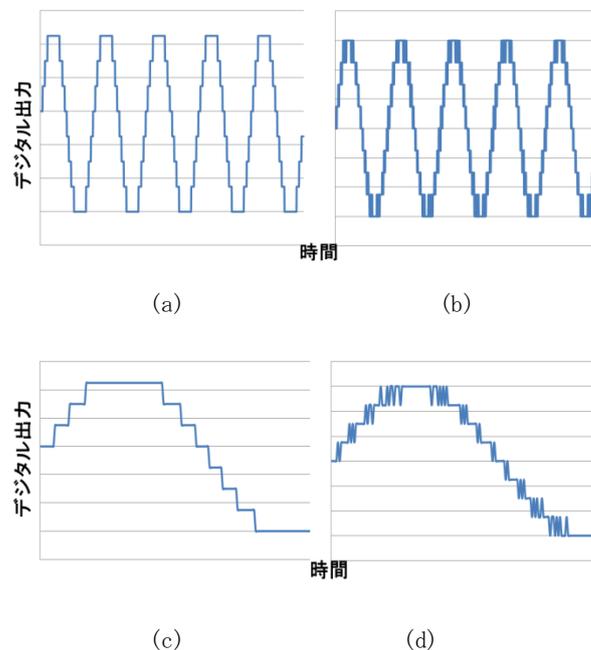


図5 各 ADC 出力波形

(a)サイクリック ADC の出力

(b)ノイズシェーピング・サイクリック ADC の出力

(c)サイクリック ADC の出力拡大図

(d)ノイズシェーピング・サイクリック ADC

出力拡大図

Fig.5. Output waveform.

(a) Output waveform from cyclic ADC.

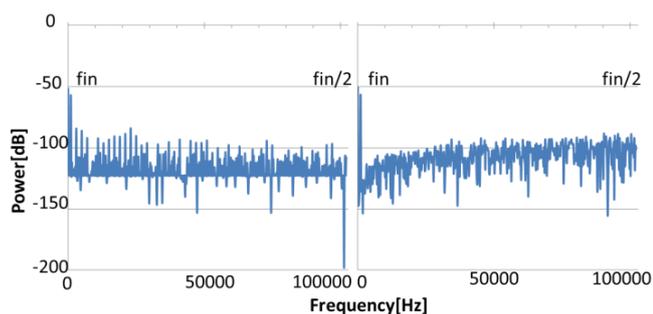
(b) Output waveform from noise shaping cyclic ADC.

(a) Enlarged view of output waveform from cyclic ADC.

(b) Enlarged view of output waveform from noise shaping

cyclic ADC

次に周波数スペクトラムを見るために FFT を行う。出力スペクトルを図6に示す。(a)のサイクリックの出力はノイズが一様に発生しているが、(b)のノイズシェーピング・サイクリック ADC の出力は信号付近のノイズが減少し、高周波帯域のノイズが増加している。すなわちノイズシェーピングされていることがわかる。



(a) (b)

図6 出力スペクトル

(a) サイクリック ADC の出力

(b) サイクリック出力にノイズシェーピングをした出力

Fig.6. DAC output power spectrum.

(a) Power spectrum of cyclic ADC.

(b) Power spectrum of cyclic ADC and noise shaping.

3-2 シミュレーションによる SNDR 評価

AD 変換器の性能を表す指標の 1 つに SNDR (Signal to noise and distortion ratio) がある。これは信号電力と (ノイズ電力 + 全高調波電力) の比で表される。横軸に OSR (Over sampling rate)、縦軸に SNDR を取ったグラフを図 7 に示す。サイクリック ADC のみよりも、ノイズシェーピング サイクリック ADC を行った方が、SNDR が増加している。また OSR が大きくなるにつれて SNDR も大きくなっていることから、低周波帯域にある入力信号付近ではノイズが低減していることがわかる。

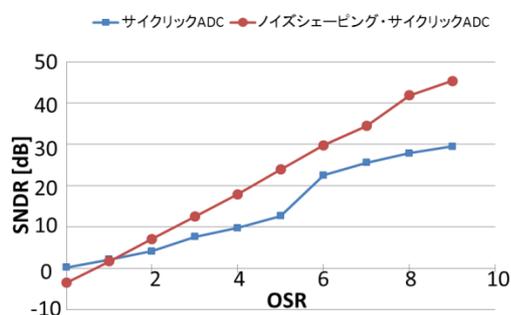


図7 サイクリック ADC とノイズシェーピング・サイクリック ADC における SNDR の向上

Fig.7. SNDR comparison of a cyclic ADC and a noise shaping cyclic ADC.

6. まとめ

ノイズシェーピング・サイクリック ADC を提案しシミュレーションで効果を確認した。サイクリックの内部 DAC やオペアンプで発生した量子化誤差はノイズシェープにより、入力信号付近で減少させることができる。サイクリックを多段接続すれば高分解能の出力のノイズシェーピング・サイクリック ADC も可能である。

また、提案 AD アーキテクチャは次のようなことも期待でき、今後検証していきたい。

- (1) サイクリック ADC の量子化誤差だけでなく、サイクリック AD 動作中のノイズもノイズシェープできる可能性がある。
- (2) 後段の $\Delta \Sigma$ 変調器は簡単な連続時間アナログ回路 (Gm-C 回路等) で実現でき得る。回路例を図 8 に示す。

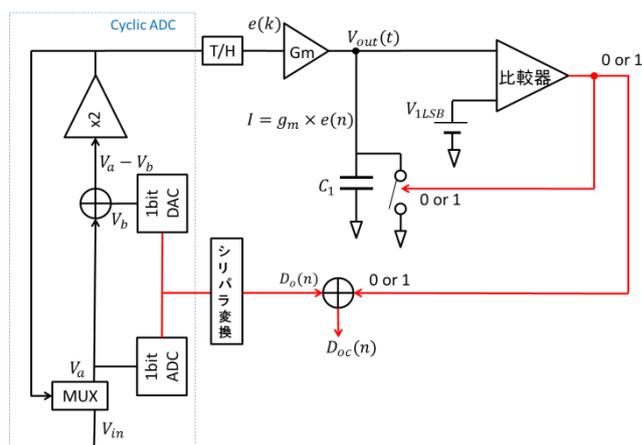


図8 ノイズシェーピング・サイクリック ADC の回路図

Fig.8. Circuit diagram of a noise shaping cyclic ADC.

参考文献

- [1] A. Verma, B. Razavi, "A 10b 500MS/s 55mW CMOS ADC", IEEE ISSCC (Feb. 2009).
- [2] J. A. Fredenburg, M. Flynn, "A 90MS/s 11MHz BW 62dB SNDR Noise-Shaping SAR ADC", IEEE JSSC, (Dec. 2012).