

DA変換器のVCOを用いた自己校正技術の検討

荒川 雄太* 小林 春夫 松浦 達治 元澤 篤史 (群馬大学)
小林 修 (半導体理工学研究センター) 新津 葵一 (名古屋大学)

Self-Calibration of Current-Steering DAC with VCO

Yuta Arakawa*, Haruo Kobayashi, Tatsuji Matsuura, Atsushi Motozawa (Gunma University)
Osamu Kobayashi (Semiconductor Technology Academic Research Center) Kiichi Nitsu (Nagoya University)

This paper describes a self-calibration method for a current-steering DAC with a voltage-controlled oscillator. It is a digital method and does not require high precision analog circuits; the VCO needs only monotonic characteristics but it does not need linearity. There are mismatches (cause of nonlinearity) among the current sources in the DAC and the VCO measures the order of each current source value. The measured information is stored in memory, and based on it, each current source is sorted to reduce the DAC INL. We present its principle and simulation with reasonable conditions.

キーワード : デジタル-アナログ変換回路, 電流源ミスマッチ, 自己校正, 電圧制御発振器

(Digital-to-Analog Converter, Current Source Mismatch, Self-Calibration, Voltage-Controlled Oscillator)

1. まえがき

近年集積回路の微細化に伴い、プロセスばらつきが顕在化し、低電圧動作の回路が求められ高精度のアナログ回路の設計が難しくなっている。この論文では微細化にともなうこれらの問題を背景に、電流 DA 変換器の内部源流源ミスマッチによる非線形性をデジタル自己校正する方式を検討した。提案手法は同一値に設計した電流源がミスマッチによりそれぞれ値が異なるのを電圧制御発振回路 (Voltage-Controlled Oscillator: VCO) によってその大きさの順番を測定し、非線形性を打ち消すように並び替える。VCO は単調性のみが必要であり線形性は必要でないのでアナログ回路設計が容易になり、プロセス・電源電圧・温度(PVT)変動の影響が少ない。

並び替えは基準の電流源の2分の1の電流源を2倍もち、それらの2つを結合して基準電流源に近い値の電流源を得て、さらにそれらを並び替えるという2段階のステップで行う。これらの並び替えの情報はメモリに記憶してデジタル入力 (メモリのアドレスに与える) に対して電流源スイッチのオンオフ (メモリのデータ線から出力) を制御する。

提案手法はセグメント+バイナリ型のナイキスト電流 DAC のセグメント部に適用できる。[1][2] またマルチビット $\Sigma\Delta$ ADC 内のマルチビット DAC (セグメント型で構成されることが多い) では分解能は低い (たとえば3ビット) が、高い線形性が要求されるのでそこにも有効な手法である。

2. セグメント型電流源 DA 変換器

図1にセグメント型電流 DA 変換器の構成を示す。電流源が複数個あり理想的にはこれらは同一の値であるが、実際

には製造時のプロセスばらつき等でこれらの値は異なる。それにより DA 変換器は非線形性を示す (図2)。

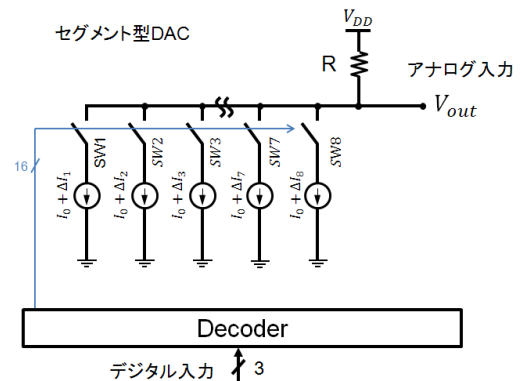


図1 セグメント型電流 DA 変換器と電流源ミスマッチ
Fig. 1 Segmented current-steering DAC with current source mismatches.

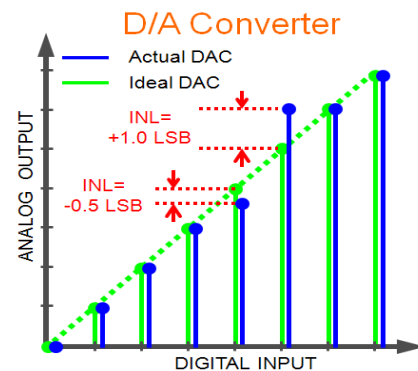


図2 実際の DA 変換器の非線形性
Fig. 2 Nonlinearity of an actual DAC.

3. 提案自己校正手法

〈3-1〉 電流源の合成手法 図1や図2に示すように、NMOS または PMOS を用いた電流源は近年の微細化によって、ゲート長、ゲート幅などがばらつくことにより、各電流源の電流量が異なってくる。これを改善する為に、電流量は目的の半分のもので、目的の電流源の数を 2 倍 + α を用意する。配線結合により 2 素子 1 組とし、1 素子当たりの目的の電流量を確保する。

〈3-2〉 数値実験 今回は 16 素子および 18 素子の二つのケースで 8 素子を生成することを前提に、ばらつき低減効果がどれくらいあるか計算した。(18 素子の場合には $\alpha=2$ に相当する。 α 個の電流源は使わない。) 並び替えによるばらつき低減の仕組みは素子を単純に電流が大きい順に並べ、一番小さいものと大きいものを足し合わせ、次に二番目に大きいものと、二番目に小さいものを足し合わせる(図3)。以降同様になると、ばらつきが抑えられることが期待できる。

18 素子で 8 素子生成する場合は、一番大きいものと一番小さいものは合成後のばらつきも大きくなる傾向があるので使用しないとした。

ここで、正規分布に基づく乱数を数パターン作り、平均を 100 とし、標準偏差 σ を 7 とした時、これを上記のアルゴリズムで並び替えてばらつきを抑える場合と、これを用いない場合(標準偏差は統計的に 5 となる)と比べた。図4、表1に示すようにおよそ 30~50%の低減が図れることがわかった。(図4は 100 パターンを横軸にランダムに取り、標準偏差がどうようになったかを示したもの)また、18 素子の方が、分散係数が小さくなり、低減効果が強まっていることが分かる。なお、合成をランダムにしまうと、ばらつきがさらに大きくなることも分かる。

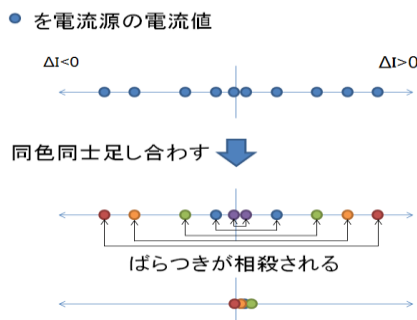


図3 ばらつきを持つ電流源のそれぞれの合成
Fig. 3. Synthesis of current sources with random variation.

〈3-3〉 DAC 線形性の検討 INL の定義はエンドポイントラインとベストフィットラインがあるが、ベストフィットラインを元に検討した。ここで、平均 100 で分散係数 $\sigma=7$ の 18 素子を 8 素子に並び替え、更にこの 8 素子を INL が良くなるよう、「一番大きい→一番小さい→二番目に大きい→二番目に小さい→…」のような順番で ON した場合と、平均 200 で分散係数 8 をランダムに ON した場合の INL を

比較すると、図5のように線形性が良くなっていることが分かる。図5は 1 素子を LSB とした時のベストフィットラインからのズレの大きさを示す。

表1 並び替えによる標準偏差 σ の低減
Table 1. Reduction of standard deviation by sorting.

素子数	並び替えた場合	ランダムな組合せ
16→8	2~2.4	8.8~9.3
18→8	1.7~1.8	8.8~9.3

平均 200 に対する分散係数 σ

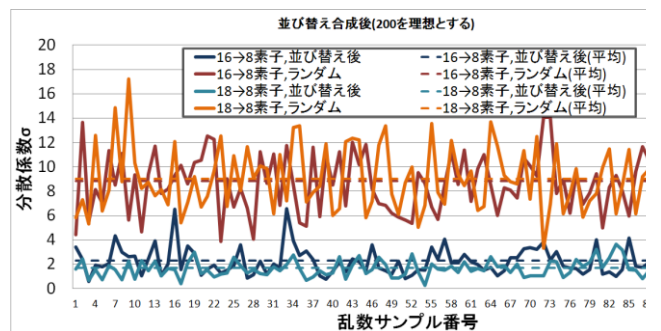


図4 平均 200、標準偏差 5 の正規分布に基づく乱数例
Fig. 4. Cases based on the normal distribution random number with average of 200 and

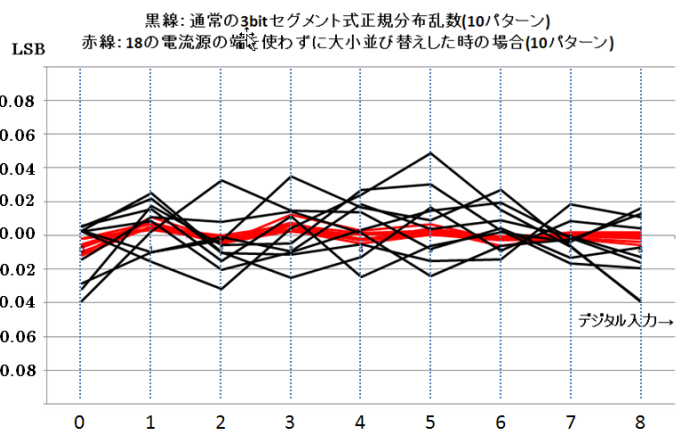
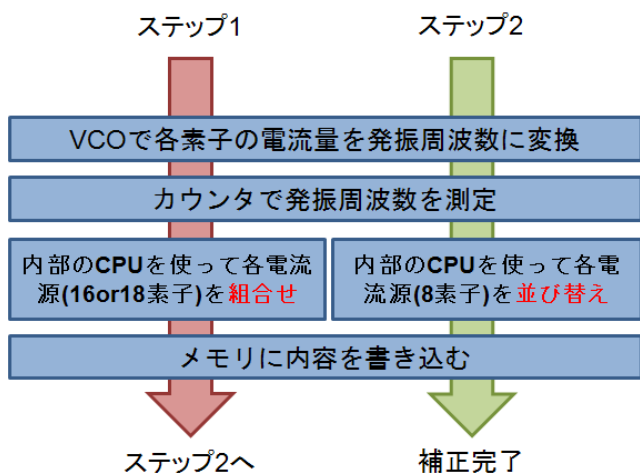


図5 電流源並び替えによる DAC INL 向上
Fig. 5. INL reduction with current source sorting.

〈3-4〉 自己校正の手順 図6に示すように 2 ステップに渡って VCO で測定し、並び替える。

(1)測定したい電流源のスイッチをオンにして抵抗に接続し電流値を電圧値に変換し、それを VCO に入力する。VCO はその電圧に応じた周波数で発振するので基準時間の間のトグルの回数を数える。単調性がありさえすればその出力値が大きいほど電流値が大きい。各電流源に対するカウン

タ出力値をもとに CPU で電流源を並び替えて合成する。
 (2) 次に合成後の電流源を再び同様に VCO を用いて測定し、INL が小さくなるように並び替える。



(3) 電流源の合成と合成後の並び替え情報をメモリに保存する。通常の使用時にはメモリのアドレスに入力デジタルデータを与えるとメモリのデータ線から電流源オンオフの情報が与えられる。

〈3・4〉 **回路構成** 全体回路は図 7 に示す構成になる。VCO カウンタ、CPU、クロック分周器、増幅器によって構成する。カウンタで一定時間数える際にはたとえば DAC のサンプリングクロックを分周したものから「一定時間」を得る。

提案方式は高精度なアナログ回路が不要である。文献 [3] ではオフセットの小さい電流コンパレータが必要である。提案手法 VCO も増幅器も入出力の線形性は不要であり、単調性のみでよい。

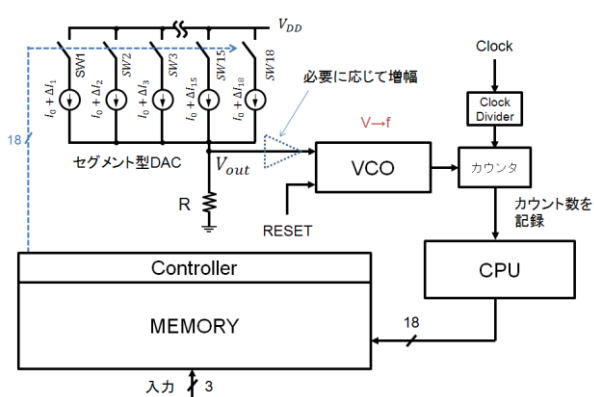


図 7 提案自己校正付電流 DAC 回路構成例
 Fig. 7. Proposed current-steering DAC with self-calibration.

VCO の構成例を図 8 に示す。VCO は PMOS と NMOS により、入力に応じた電流を流す。中間にあるリングオシレータの動作速度を決める。NAND の一方の入力で制御させる。この入力が高レベルになれば測定開始で一定時間カウン

タによって数え、リセットの際は Low にする。この VCO の入力電圧-発振周波数特性として図 9 の結果になった (入力電圧 GND から測って 0~1.0V)。また、数回測定し平均化する、測定時間を長くすることで電源ノイズ等の影響を低減できる。

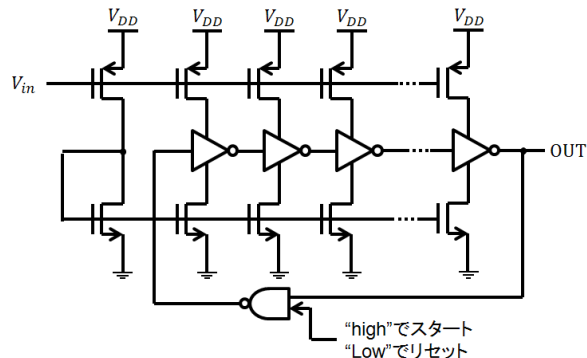


図 8 VCO 回路構成例
 Fig. 8 VCO circuit example.

各電流源 1 つを平均 100uA とし、96uA から 104uA に変化した時の VCO の出力発振周波数は図 10 の青線のように、変化に乏しい (感度が低い)。そこで電流源ミスマッチによる電圧変化を増幅器で増幅すると、図 11 となる。電流源による電圧上昇分を 5 倍増幅した。そこでは VCO の周波数変化の激しい領域で測定でき、またばらつきによる影響も 5 倍になるため、測定回数とスピードを小さくできる。

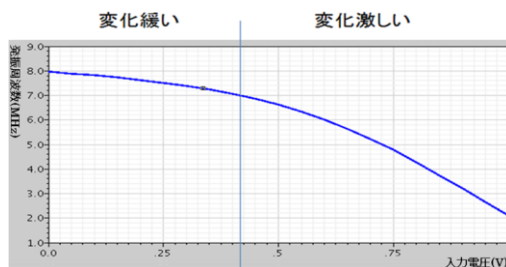


図 9 VCO の入力電圧-発振周波数の関係
 Fig. 9 Simulated relationship between voltage-frequency in VCO.

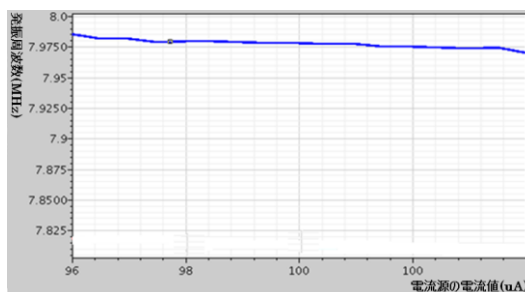


図 10 ゲイン 1 の場合発振周波数の変化
 Fig. 10 Voltage-oscillation frequency relationship when the amplifier gain is 1.

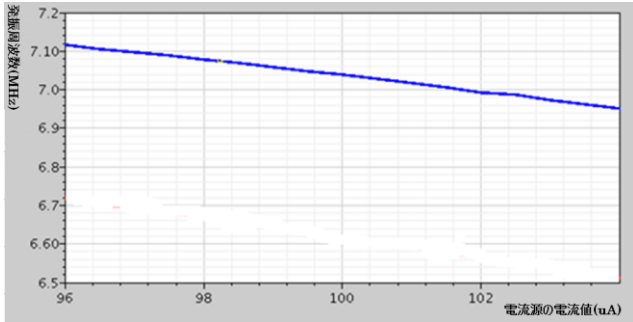


図 11 ゲイン 5 の発振周波数の変化
Fig. 11 Voltage-oscillation frequency relationship when the amplifier gain is 5.

〈3・4〉 CPUとメモリの働き 電流源8素子から4素子に合成すること(DACが2ビットの場合)を考える。(図12) CPUで各電流源の大きさの順番を知り、これを組合せ、並び替える。図7に示すメモリへのデータ書き込みの手順を図13で示す。このようにメモリにステップ1を書き込む。(ステップ1ではステップ2の合成後を1素子として扱い各々を測定するための用意段階である。図13の上はI1とI3, I5とI8, I2とI7, I4とI6が組み合わせられることを示す。)。組み合わせで再度測定し、再びCPUでメモリをステップ2のように書き換える。(ステップ2では、合成後の1素子を並べ替え、INLが小さくなるよう〈3・2〉に示すような順番で並べ替え、使用できるようにする。図13の下ではDAC入力がゼロのときは電流源が選択されない、1のときはI2, I7が、2のときはI2, I5, I7, I8が、3のときはI1, I2, I3, I5, I7, I8が、4のときはI1-I8の全てが選択されることを示す。) メモリは書き換え可能なRAM(または製造出荷時にこの校正を行う場合はFlash Memory)を使用する。

4. 提案技術の応用展開の考察

提案技術は、電流 DAC だけではなく、同じ値の素子を複数使うアプリケーションに適用できると考えられる。例えばタイムデジタル回路の内部遅延線マルチビット化した場合の遅延素子のばらつき低減などが挙げられる。[4]

5. まとめ

電流 DAC に対して、VCO による電流源測定、電流源合成、並び替えによる線形性向上手法を提案し、数値計算による効果の確認、回路の検討を行った。提案手法は高精度アナログ回路不要なデジタル手法であり微細化に適した技術である。

また今後 余剰分の電流源を増やした場合の効果を検討し、増幅器と VCO のより適切な回路構成を考えていく。

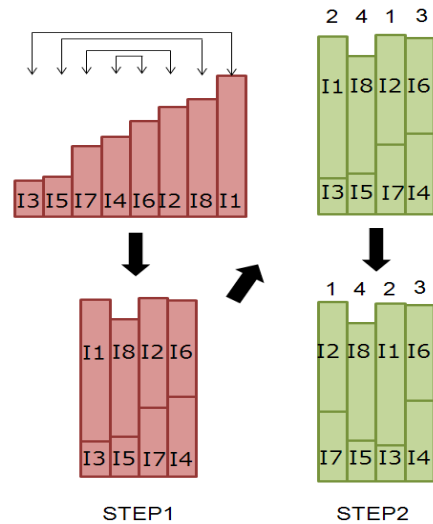


図 12 CPU のメモリへの書き込み情報と手順
Fig. 12 Stored data in memory with CPU.

STEP1		保存部分									
ADDRESS	D1	D0	I1	I2	I3	I4	I5	I6	I7	I8	
0	0	0	1	0	1	0	0	0	0	0	
1	0	1	0	0	0	0	1	0	0	1	
2	1	0	0	1	0	0	0	0	1	0	
3	1	1	0	0	0	1	0	1	0	0	

STEP2		保存部分									
ADDRESS	D2	D1	D0	I1	I2	I3	I4	I5	I6	I7	I8
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	1	0
2	0	1	0	0	1	0	0	1	0	1	1
3	0	1	1	1	1	1	0	1	0	1	1
4	1	0	0	1	1	1	1	1	1	1	1

図 13 メモリへのデータ書き込み
Fig. 13 Data stored in memory at step 1 and 2.

参考文献

- (1) R. J. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers (2010).
- (2) F. Maloberti, *Data Converters*, Springer (2007).
- (3) T. Chen, G. Gielen, "A 14-bit 200-MHz Current-Steering DAC with Switching-Sequence Post-Adjustment Calibration", IEEE Asian Solid-State Circuits Conference (Dec. 2007).
- (4) S. Uemori, M. Ishii, H. Kobayashi, et al., "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 2012).

謝辞 有意義な御討論をいただきました。辻将信氏、梅田定美氏、土橋則亮氏、塩田良治氏、渡邊雅史氏、高井伸和氏、山口隆弘氏、ならびにこの研究をご支援頂いています STARC に謝意を表します。