

シグマデルタ TDC を用いた位相ノイズ測定手法 (1)

- システムレベル検討 -

大澤 優介* 針谷 尚裕 平林 大樹 (群馬大学)

新津 葵一 (名古屋大学) 小林 修 (STARC)

山口 隆弘 小林 春夫 (群馬大学)

Phase Noise Measurement with Sigma-Delta TDC (1) - System Level Consideration -

Yusuke Osawa*, Naohiro Harigai, Daiki Hirabayashi (Gunma University),
Kiichi Niitsu (Nagoya University), Osamu Kobayashi (STARC),
Takahiro J. Yamaguchi, Haruo Kobayashi (Gunma University)

This paper describes a phase noise measurement technique for a clock using a sigma-delta time-to-digital converter (TDC) and shows its simulation results with Matlab. The proposed technique can be implemented with relatively small chip area, and the resolution can be higher with longer measurement time. High performance (and hence costly) spectrum analyzers would not be needed for phase noise measurement with the proposed technique. Our simulation used the input clock of 1 MHz with a 10 kHz sine wave as phase fluctuation, and we observed that the phase fluctuation spectrum at 10 kHz from TDC output power spectrum obtained by FFT. We also investigated the amount of phase fluctuation with our theoretical calculation.

キーワード: 位相ノイズ測定, 時間-デジタル変換器, シグマデルタ変調, PLL テスト

(Phase Noise Measurement, Time-to-Digital Converter, Sigma-Delta Modulation, PLL testing)

1. はじめに

近年、半導体製造プロセスの微細化に伴い、トランジスタ 1 つあたりの半導体製造コストは減少しているが、テストコストは増加している。それに伴い、低コスト・高品質であるテスト技術が要求される⁽¹⁾。PLL (Phase Locked Loop) をテストするときに重要となるのが、ジッタ・位相ノイズの評価である。オンチップでジッタ・位相ノイズを試験する回路はすでに提案されている⁽²⁾⁽³⁾が、論文⁽²⁾のオンチップ・ジッタ測定回路では、周波数特性を得るのが困難である。また、論文⁽³⁾に示されている PLL の位相ノイズ測定では、通常のフラッシュ型 TDC (Time-to-Digital Converter) が用いられているが、フラッシュ型 TDC では測定分解能を高くすることが困難である。

そこで本研究では、高時間分解能で位相ノイズ測定を可能にするために、シグマデルタ TDC を用いる手法を提案し、Matlab を用いてシステムレベルでの検討を行った。シグマデルタ TDC は小面積で実装可能であり、測定時間が長いほど測定分解能が向上する⁽⁴⁾⁽⁵⁾。シグマデルタ TDC の出力波形を FFT (Fast Fourier Transform) することによって、1 MHz の入力クロックの位相ノイズを測定できることを確

認した。提案手法により位相ノイズ測定・テストのための高価なスペクトラムアナライザが不要になり、低コストテストが実現できる。

2. シグマデルタ TDC を用いた位相ノイズ測定

〈2・1〉シグマデルタ TDC の構成

検討したシグマデルタ TDC の全体構成を図 1 に示す。シグマデルタ TDC は、遅延素子 τ 、マルチプレクサ、位相比較器、タイミングジェネレータ、積分器、比較器から構成される。クロック信号 CLK1 と CLK2 を入力されると、立ち上がり時間差 ΔT を測定する。

入力された CLK1、CLK2 はそれぞれ比較器出力 D_{out} に応じて経路が制御される。その結果得られる信号をそれぞれ CLK1a、CLK2a とする。位相比較器によりこれらの信号の時間差 CLK_{in} を出す。この時間差 CLK_{in} を電圧に変換し、電圧モードで積分し INT_{out} を出力させる。この出力 INT_{out} を比較器によりゼロと比較し最終的な出力 D_{out} を求める。CLK1 が速い場合には時間差を求めたときに正となるため積分後の比較器出力は 1 となり、次のクロックでは CLK1 は遅延の経路、CLK2 はそのまま信号を通す経路がそれぞれ選択される。CLK2 が速い場合には時間差を求め

たときに負となるため積分後の比較器出力は 0 となり、選択される経路は逆となる。入力の間時間差に比例して 1 が出力されるため、比較器から出力された 1 の数からクロック間の立ち上がり時間差 ΔT を計測することができる。

図 2 に比較器出力 D_{out} が 0、1 それぞれの場合のタイミングチャートを示す。

〈2・2〉位相ノイズ測定原理

シグマデルタ TDC を用いた位相ノイズの測定原理を図 3 に示す。位相ノイズがない信号の場合、2 つの入力クロック CLK1 と CLK2 の時間差は常に一定であるため、シグマデルタ TDC の出力スペクトルは DC 成分のみに出現する。ノイズフロアの成分はデルタシグマ変調によってノイズシェープがかかるため、周波数が高くなるにつれてフロアが上昇する。しかし、入力クロックに位相ノイズが存在する場合、2 つの入力クロックの時間差はクロック周期毎に変化する。したがって、シグマデルタ TDC の出力スペクトルには 2 つの入力クロックの時間差の変動が現れることになるため、位相ノイズの測定が可能となる。

〈2・3〉位相ノイズ測定の数式議論

図 4 にシグマデルタ TDC を用いた位相ノイズ測定の構成を示す。位相ノイズを含む被試験クロック (Clock Under Test : CUT) と位相ノイズの少ない基準クロック REF との間時間差をシグマデルタ TDC により測定する。シグマデルタ TDC の出力信号から得られるデジタルコードを FFT することで、被試験クロックの位相ノイズを測定できる。本節では数式を用いて、位相ノイズが測定できることを述べる。

図 4 において、2 つのクロック CUT と REF の周期を T とした時、クロック CUT の正弦波近似は以下の式で表すことができる。

$$CUT \approx \sin(2\pi f_{in}t + \phi(t)) \dots\dots\dots (1)$$

$$(where, f_{in} = 1/T)$$

ここで、 $\phi(t)$ は時間領域で表した位相ノイズである。また、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ とすると、立ち上がりエッジの m 番目のゼロクロス点は、

$$2\pi f_{in}(mT + \tau(m)) + \phi(mT) = 2\pi m \dots\dots\dots (2)$$

$$\therefore \phi(mT) = -2\pi f_{in}\tau(m) \dots\dots\dots (3)$$

ここで、 $\phi(mT)$ が時間領域で表した位相ノイズである。したがって式(3)より、 $\tau(m)$ の成分によって位相ノイズが決定される。

$\tau(m)$ が単一正弦波の位相変動である場合を考える。このとき、

$$\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots\dots\dots (4)$$

と表すことができる。ここで、 α_j は定数、 ω_j は単一正弦波位相変動の角周波数である。このとき、 $\phi(mT)$ は、

$$\phi(mT) = -2\pi\alpha_j \cdot \sin(\omega_j \cdot mT) \dots\dots\dots (5)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \dots\dots\dots (6)$$

となる。式(6)の $\Phi(\omega_j)$ は周波数領域で表した位相ノイズである。以上より、シグマデルタ TDC 出力の FFT 解析から α_j を求めることで位相ノイズ $\Phi(\omega_j)$ を算出することが可能である。

また、シグマデルタ TDC を用いた位相ノイズ測定の分解能は、遅延素子 τ と出力で得られるデータ点数 N_{DATA} で決定される。測定分解能 R は、以下の式で表すことができる。

$$R = \frac{2\tau}{N_{DATA}} \dots\dots\dots (7)$$

3. 位相ノイズ測定シミュレーション

提案手法の有効性を、Matlab を用いたシミュレーションにより確認した。シミュレーションの回路構成は図 4 のようにした。入力クロック CUT の位相変動は、VTD(Variable Time Delay)を用いて理想的に与えている。入力クロック CUT と REF の周波数は 1 MHz とし、入力クロック CUT へのみ位相変動を与えた。シグマデルタ TDC の遅延素子 τ は 20 ns に設定した。また、シグマデルタ TDC の出力で得られるデータ点数は 4096 点とした。シミュレーション条件を Table. 1 に示す。入力クロック CUT に単一正弦波の位相変動を与えてシミュレーションを行った。

〈3・1〉単一正弦波の位相変動シミュレーション結果

入力クロック CUT のエッジに、単一正弦波の位相変動を加えてシミュレーションを行った。図 5 は図 4 のように VTD を用いて入力クロックに 10 kHz の単一正弦波位相変動を加えた時の、ゼロクロス点変動関数 $\tau(m)$ とその FFT 解析結果を示している。図 5 より、入力クロック CUT が 10 kHz の周波数で位相変動をしていることが分かる。この時のシグマデルタ TDC の出力データを FFT 解析した結果を図 6 に示す。シグマデルタ TDC の出力においても 10 kHz のスプリアスが現れていることが分かる。

〈3・2〉位相ノイズの周波数領域についての考察

〈3・1〉によって位相ノイズの周波数が求められることは確認した。次に、測定結果から得られた位相ノイズの大きさが数値的に妥当か考察する。

表 2 は図 6 におけるスプリアスの点の測定値と式(6)により求めた理論値との比較である。表 2 より、測定値では -13.66 dB に対して理論値は -7.05 dB と測定値と理論値に約 6dB の差が出てしまった。これは、シグマデルタ TDC の出力は 0 と 1 のデータ列で扱っており、その振幅は 1/2 になるためである。よって、シグマデルタ TDC 出力の FFT 結果のフルスケールは -6 dB であることを考慮する必要が

ある。このフルスケールと測定結果との差は-7.66 dB となるため、理論値とほぼ一致することがわかる。以上より、シグマデルタ TDC 出力の FFT 測定結果から位相変動 α_j を求め、式(6)を用いて位相ノイズ $\mathcal{P}(\omega)$ の大きさを求めることが可能であることがいえる。

4. 結論

本論文では、シグマデルタ TDC を用いた高時間分解能で位相ノイズ測定を可能にする手法を提案し、Matlab を用いたシステムレベルのシミュレーションによる検証を行った。設計したシグマデルタ TDC により 1 MHz の入力クロックの位相変動を測定することで提案手法の有効性を検証し、入力クロックの位相ノイズを測定できることを示した。Matlab シミュレーションより、単一正弦波の位相変動を入力クロックに与えた時、その位相変動成分をシグマデルタ TDC によって測定できることを確認した。

謝辞

本研究は半導体理工学センターにより支援されています。

文献

- (1) K. Niitsu, et al. : "A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges", in Proc. IEEE Symposium on VLSI Circuits, Jun. 2012, pp. 142-143.
- (2) K. Niitsu, et al. : "An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation", in Proc. IEEE Asian Solid-State Circuits Conference, Nov. 2011, pp. 201-204.
- (3) T. Nakura, et al. : "Impact of All-Digital PLL on SoC Testing", in Proc. IEEE Asian Test Symposium, Nov. 2012, pp. 252-257.
- (4) S. Uemori, et al. : "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", in Proc. IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, May 2012, pp. 67-72.
- (5) S. Uemori, et al. : "Multi-bit Sigma-Delta TDC Architecture with Self-Calibration", in Proc. IEEE Asia Pacific Conference on Circuits and Systems, Dec. 2012, pp. 671-674.

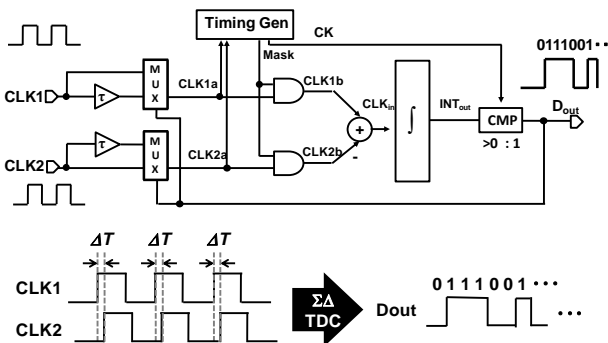
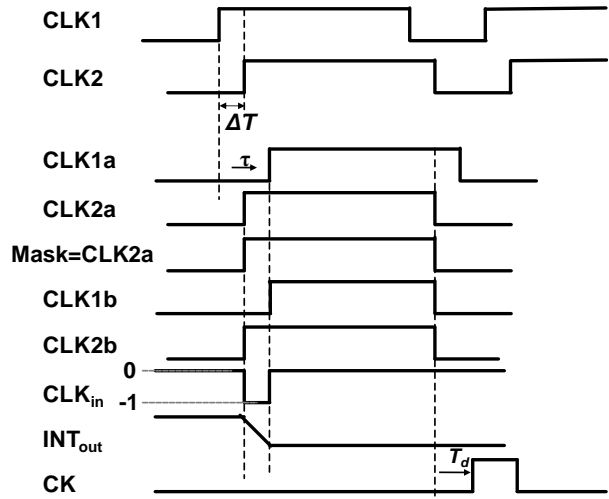
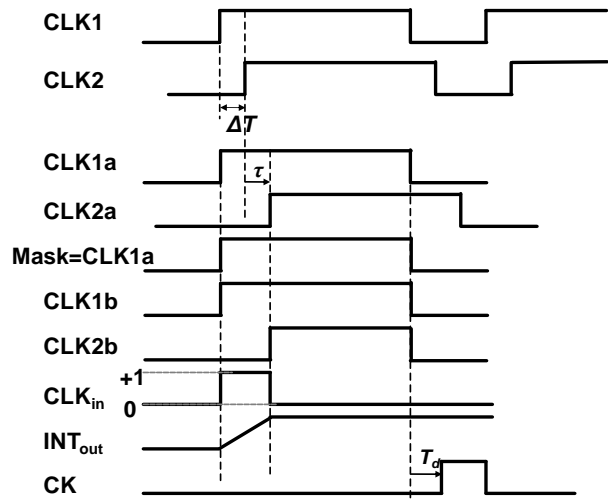


図1 シグマデルタ TDC の構成

Fig. 1. Block diagram of Sigma-Delta TDC.



(a) In case $D_{out}=1$.



(b) In case $D_{out}=0$.

図2 シグマデルタ TDC のタイミングチャート

Fig. 2. Timing chart of Sigma-Delta TDC.

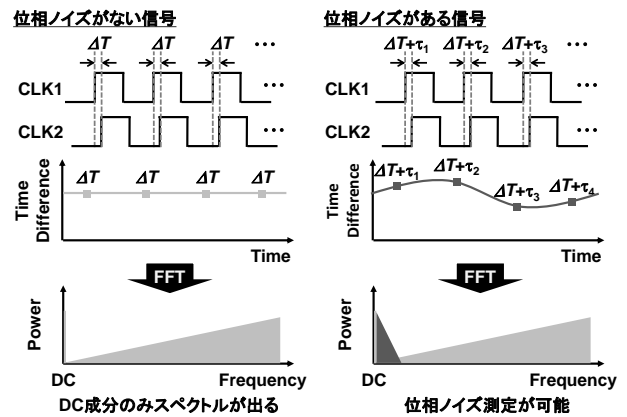


図3 シグマデルタ TDC を用いた位相ノイズ測定原理

Fig. 3. Principle of the proposed phase noise measurement using Sigma-Delta TDC.

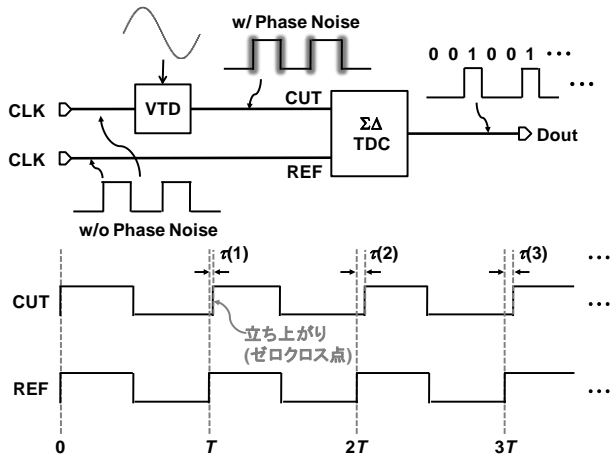


図4 シグマデルタ TDC を用いた位相ノイズ測定の構成
およびゼロクロス点変動関数 $\tau(m)$

Fig. 4. Phase noise measurement system
using sigma-delta TDC and
zero-cross variation function $\tau(m)$.

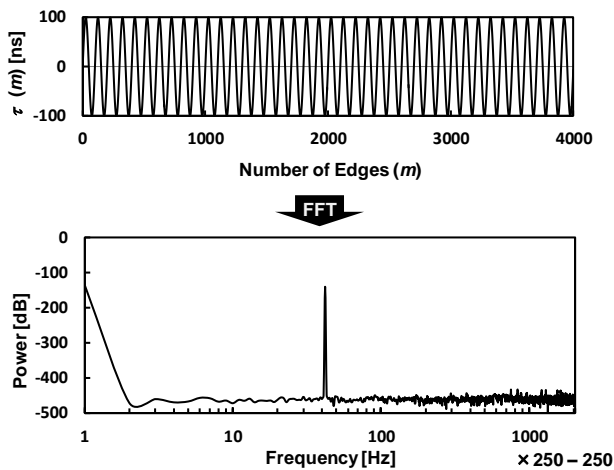


図5 入力クロックに VTD を用いて 10 kHz の位相変動を与
えた場合のゼロクロス点変動関数 $\tau(m)$
と FFT 解析結果

(VTD: Variable Time Delay, Matlab の機能の一つ)

Fig. 5. Zero-cross point variation function $\tau(m)$ and its
FFT analysis result for the input clock with phase
variation using VTD at 10 kHz.

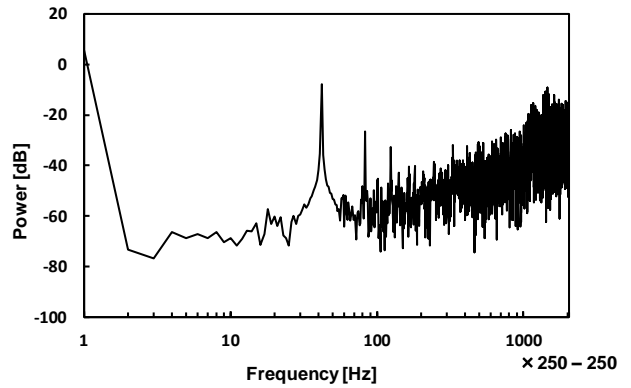


図6 シグマデルタ TDC の出力データの FFT 特性
Fig. 6. Power spectrum of Sigma-Delta TDC
output.

表1 シミュレーション条件
Table. 1. Simulation conditions.

Single Sinusoidal Wave
$\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots (4)$
$T \cdot \alpha_j = 100 \text{ [ns]}$
$f_j = \frac{\omega_j}{2\pi} = 10 \text{ [kHz]}$

表2 図6におけるスピリアスのシミュレーション値と
式(6)による理論値の比較

Table. 2. Comparison of the simulated value of the
spurious in Fig. 6 and the theoretical value from eq. (6)

Measurement	Theory
-13.66 dB	-7.05 dB