

シグマデルタ TDC を用いた位相ノイズ測定手法 (2)

- 回路レベル検討 -

平林 大樹* 針谷 尚裕 大澤 優介 (群馬大学)

新津 葵一 (名古屋大学) 小林 修 (STARC)

山口 隆弘 小林 春夫 (群馬大学)

Phase Noise Measurement Using Sigma Delta TDC (2)

- Circuit Level Consideration -

Daiki Hirabayashi*, Naohiro Harigai, Yusuke Osawa (Gunma University),
Kiichi Niitsu (Nagoya University), Osamu Kobayashi (STARC),
Takahiro J. Yamaguchi, Haruo Kobayashi (Gunma University)

キーワード：位相ノイズ測定, 時間-デジタル変換器, シグマデルタ変調, PLL テスト
(Phase Noise Measurement, Time-to-Digital Converter, Sigma Delta Modulation, PLL testing)

1. はじめに

近年、半導体製造プロセスの微細化に伴い、トランジスタ 1 つあたりの半導体製造コストは減少しているが、テストコストは増加している。それに伴い、低コスト・高品質であるテスト技術が要求される⁽¹⁾。PLL (Phase Locked Loop) をテストするとき重要となるのが、ジッタ・位相ノイズの評価である。オンチップでジッタ・位相ノイズを試験する回路はすでに提案されている⁽²⁾⁽³⁾が、論文⁽²⁾のオンチップ・ジッタ測定回路では、周波数特性を得るのが困難である。また、論文⁽³⁾に示されている PLL の位相ノイズ測定では、通常のフラッシュ型 TDC (Time-to-Digital Converter) が用いられているが、フラッシュ型 TDC では測定分解能を高くすることが困難である。

そこで本論文では、高時間分解能で位相ノイズ測定を可能にするために、シグマデルタ TDC を用いる手法を提案する。シグマデルタ TDC は小面積で実装可能であり、測定時間が長いほど測定分解能が向上する⁽⁴⁾⁽⁵⁾。提案手法のシミュレーションは、180nm CMOS プロセスを使用した。シグマデルタ TDC の出力波形を FFT (Fast Fourier Transform) することによって、10.24 MHz の入力クロックの位相ノイズを測定できることを確認した。

2. シグマデルタ TDC を用いた位相ノイズ測定

〈2-1〉シグマデルタ TDC の構成

図 1 にシグマデルタ TDC の全体構成を示す。シグマデルタ TDC は遅延素子 τ 、マルチプレクサ、位相比較器、積分器、コンパレータによって構成されている。シグマデルタ TDC は、クロック信号 CLK1 と CLK2 が入力された際の立ち上がり時間差 ΔT を測定する。入力された CLK1,

CLK2 はそれぞれマルチプレクサによって、比較器出力 Dout に応じて経路が制御される。マルチプレクサを通過後の信号は、位相比較器によりこれらの信号の時間差に応じたパルスを出力する。その後、その出力パルス幅に応じた電圧に変換し、電圧モードで積分して出力する。さらに、積分器の出力をコンパレータによりゼロと比較し、最終的な出力 Dout を求める。CLK1 の立ち上がりタイミングが速い場合には時間差を求めたときに正となるため、積分後のコンパレータ出力は“1”となり、次のクロックでは CLK1 は遅延の経路、CLK2 はそのまま信号を通す経路がそれぞれ選択される。CLK2 が速い場合には時間差を求めたときに負となるため、積分後のコンパレータ出力は“0”となり、選択される経路はさきほどの場合とは逆となる。

図 2 にシグマデルタ TDC の出力特性と測定可能範囲を示す。シグマデルタ TDC は繰り返しクロックの時間差を測定するのに適している。積分型 ADC (Analog-to-Digital Converter) と同様に、シグマデルタ TDC は測定時間が長いと高時間分解能で時間差 ΔT を測定することができる。シグマデルタ TDC は、入力の時間差に比例して“1”が出力されるため、コンパレータから出力された“1”の数からクロック間の立ち上がり時間差 ΔT を測定することができる。また、入力クロックの時間差 ΔT の測定可能範囲は、 $-\tau < \Delta T < \tau$ である。

〈2-2〉位相ノイズ測定原理

シグマデルタ TDC を用いた位相ノイズの測定原理を図 3 に示す。位相ノイズがない信号の場合、2つの入力クロック CLK1 と CLK2 の時間差は常に一定であるため、シグマデルタ TDC の出力スペクトルは DC 成分のみに出現する。ノイズフロアの成分はデルタシグマ変調によってノイズシェーパがかかるため、周波数が高くなるにつれてフロアが上

昇する。しかし、入力クロックに位相ノイズが存在する場合、2つの入力クロックの時間差はクロック周期毎に変化する。したがって、シグマデルタ TDC の出力スペクトルには 2 つの入力クロックの時間差の変動が現れることになるため、位相ノイズの測定が可能となる。

〈2・3〉位相ノイズ測定の数式議論

図4にシグマデルタ TDC を用いた位相ノイズ測定の構成を示す。位相ノイズを含む被試験クロック CUT と位相ノイズの少ない基準クロック REF との時間差をシグマデルタ TDC により測定する。シグマデルタ TDC の出力信号から得られるデジタルコードを FFT することで、被試験クロックの位相ノイズを測定できる。本節では数式を用いて、位相ノイズが測定できることを述べる。

図4において、2つのクロック CUT と REF の周期を T とした時、クロック CUT の正弦波近似は以下の式で表すことができる。

$$\text{CUT} \approx \sin(2\pi f_{in}t + \phi(t)) \dots\dots\dots (1)$$

$$(where, f_{in} = 1/T)$$

ここで、 $\phi(t)$ は位相である。また、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ とすると、立ち上がりエッジの m 番目のゼロクロス点は次のようになる。

$$2\pi f_{in}(mT + \tau(m)) + \phi(mT) = 2\pi m \dots\dots\dots (2)$$

$$\therefore \phi(mT) = -2\pi f_{in}\tau(m) \dots\dots\dots (3)$$

ここで、 $\phi(mT)$ が時間領域で表した位相ノイズである。したがって式(3)より、 $\tau(m)$ の成分によって位相ノイズが決定される。

$\tau(m)$ が単一正弦波の位相変動である場合を考える。このとき、

$$\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots\dots\dots (4)$$

と表すことができる。ここで、 α_j は定数、 ω_j は単一正弦波位相変動の角周波数である。このとき、 $\phi(mT)$ は

$$\phi(mT) = -2\pi\alpha_j \cdot \sin(\omega_j \cdot mT) \dots\dots\dots (5)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \dots\dots\dots (6)$$

となる。式(6)の $\Phi(\omega_j)$ は周波数領域で表した位相ノイズである。以上より、式(4)の $\tau(m)$ より位相ノイズ $\Phi(\omega_j)$ を求めることが可能であることが分かる。

次に、 $\tau(m)$ が正弦波合成の位相変動の場合を考える。このときも同様に、 $\tau(m)$ と $\phi(mT)$ より $\Phi(\omega_j)$ を求めると、

$$\tau(m) = \sum_{j=1}^N T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots\dots\dots (7)$$

$$\phi(mT) = -2\pi \sum_{j=1}^N \alpha_j \cdot \sin(\omega_j \cdot mT) \dots\dots\dots (8)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \dots\dots\dots (9)$$

となる。以上のことから、シグマデルタ TDC の出力を FFT 解析し、 $\tau(t)$ の周波数スペクトル $\tau(\omega)$ を得ることができれば、 $\tau(\omega)$ より $\Phi(\omega)$ を求めることが可能である。

また、シグマデルタ TDC を用いた位相ノイズ測定の分解能は、遅延素子 τ と出力で得られるデータ点数 N_{DATA} で決定される。測定分解能 R は、以下の式で表すことができる。

$$R = \frac{2\tau}{N_{DATA}} \dots\dots\dots (10)$$

3. 位相ノイズ測定シミュレーション

提案手法の有効性を、標準電源電圧が 1.8 V である 180 nm CMOS プロセスを用いた SPICE シミュレーションにより確認した。入力クロック CUT と REF の周波数は 10.24 MHz とし、入力クロック CUT に位相変動を与えた。シグマデルタ TDC の遅延素子 τ は 500 ps となるように設計した。また、シグマデルタ TDC の出力で得られるデータ点数は 4096 点とした。式(10)より、測定分解能は 244 fs と求めることができる。シミュレーション条件を Table. 1 に示す。クロックの位相変動は、単一正弦波および正弦波合成の 2 つのシミュレーションを行った。

今回設計したシグマデルタ TDC の入出力特性を図5に示す。図5より、シグマデルタ TDC のパルス数が入力時間差に比例して線形に変化していることが分かる。また、出力の"1"の個数が1つ変化するときの入力時間差 ΔT の変化は約 245 ps であり、測定分解能の理論値とほぼ一致する。

〈3・1〉単一正弦波の位相変動シミュレーション結果

入力クロック CUT のエッジに、単一正弦波の位相変動を加えてシミュレーションを行った。図6は入力クロック CUT に 10 kHz の単一正弦波位相変動を加えた時の、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ とその FFT 解析結果を示している。図6より、入力クロック CUT が 10 kHz の周波数で位相変動をしていることが分かる。また、高調波成分については十分小さい値である。この時のシグマデルタ TDC の出力データの FFT 解析結果を図7に示す。シグマデルタ TDC の出力においても 10 kHz のスプリアスが現れていることが分かる。入力クロックの位相変動に現れていた高調波成分はノイズフロアに埋もれてしまうため、スプリアスは得られていない。

また、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ の振幅を 1/10 倍した場合のシミュレーション結果を図8に示す。図7と比較して、 $\tau(m)$ の振幅が 1/10 倍されたことによって、10kHz のスプリアスが 20 dB 低減されていることが分かる。したがって、入力クロックの位相変動の大きさに従って、FFT の出力も変化することが分かる。

(3-2) 正弦波合成の位相変動シミュレーション結果

続いて、入力クロック CUT のエッジに 2 つの正弦波合成の位相変動を加えてシミュレーションを行った。図 9 に、入力クロック CUT に 10 kHz と 50 kHz の正弦波合成位相変動を加えた時の立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ の FFT 解析結果および、シグマデルタ TDC の出力データの FFT 解析結果を示す。図 9 より、入力クロック CUT に複数の位相変動成分が含まれている場合でも、シグマデルタ TDC の出力を FFT 解析することで、入力クロック CUT の位相変動を測定できることが分かる。つまり、入力クロックの位相ノイズを測定できることがいえる。

4. 結論

本論文では、シグマデルタ TDC を用いた高時間分解能で位相ノイズ測定を可能にする手法を提案し、180nm CMOS プロセスを用いた SPICE シミュレーションによる検証を行った。設計したデルタシグマ TDC により 10.24MHz の入力クロックの位相変動を測定することで提案手法の有効性を検証し、入力クロックの位相ノイズを測定できることを示した。シミュレーション結果より、2 つの入力クロック間の時間差 ΔT の測定可能範囲が $-500 \text{ ps} < \Delta T < 500 \text{ ps}$ 、4096 点のデータ点数で測定分解能が 244 fs という、広測定範囲・高測定分解能の位相ノイズ測定回路を実現できた。

謝辞

本研究は半導体理工学センターにより支援されています。

文 献

- (1) K. Niitsu, et al. : "A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges", in Proc. IEEE Symposium on VLSI Circuits, Jun. 2012, pp. 142-143.
- (2) K. Niitsu, et al. : "An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation", in Proc. IEEE Asian Solid-State Circuits Conference, Nov. 2011, pp. 201-204.
- (3) T. Nakura, et al. : "Impact of All-Digital PLL on SoC Testing", in Proc. IEEE Asian Test Symposium, Nov. 2012, pp. 252-257.
- (4) S. Uemori, et al. : "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", in Proc. IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, May 2012, pp. 67-72.
- (5) S. Uemori, et al. : "Multi-bit Sigma-Delta TDC Architecture with Self-Calibration", in Proc. IEEE Asia Pacific Conference on Circuits and Systems, Dec. 2012, pp. 671-674.

表 1 シミュレーション条件
Table. 1. Simulation conditions.

Simulation Conditions of Phase Variation	
1. Single Sinusoidal Wave $\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots (4)$ $T \cdot \alpha_j = 150 \text{ [ps]} \text{ or } 15 \text{ [ps]}$ $f_j = \frac{\omega_j}{2\pi} = 10 \text{ [kHz]}$	2. Sinusoidal Synthesis $\tau(m) = \sum_{j=1}^2 T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots (7)$ $T \cdot \alpha_1 = T \cdot \alpha_2 = 150 \text{ [ps]}$ $f_1 = \frac{\omega_1}{2\pi} = 10 \text{ [kHz]}$ $f_2 = \frac{\omega_2}{2\pi} = 50 \text{ [kHz]}$

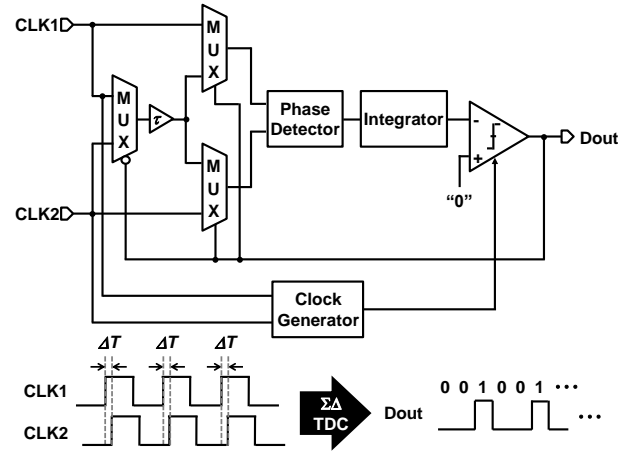


図 1 シグマデルタ TDC の構成

Fig. 1. Block diagram of Sigma-Delta TDC.

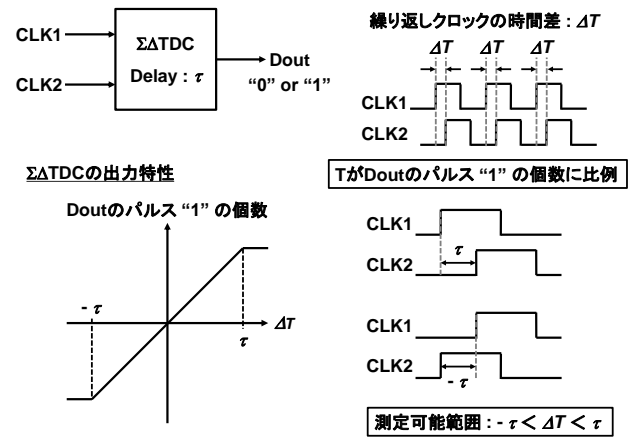


図 2 シグマデルタ TDC の入出力特性と測定可能範囲

Fig. 2. Input-output characteristics and measurable range of Sigma-Delta TDC.

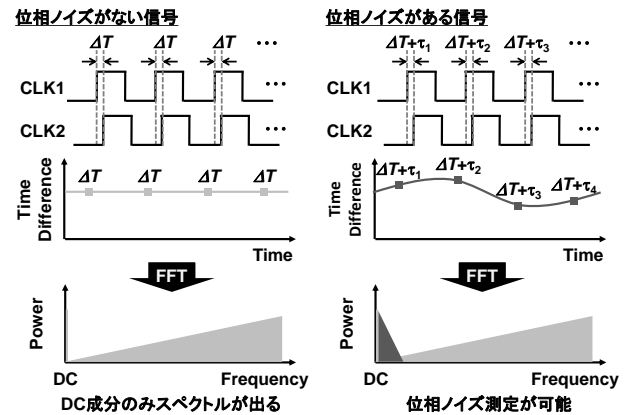


図 3 シグマデルタ TDC を用いた位相ノイズ測定原理

Fig. 3. Principle of phase noise measurement using Sigma-Delta TDC.

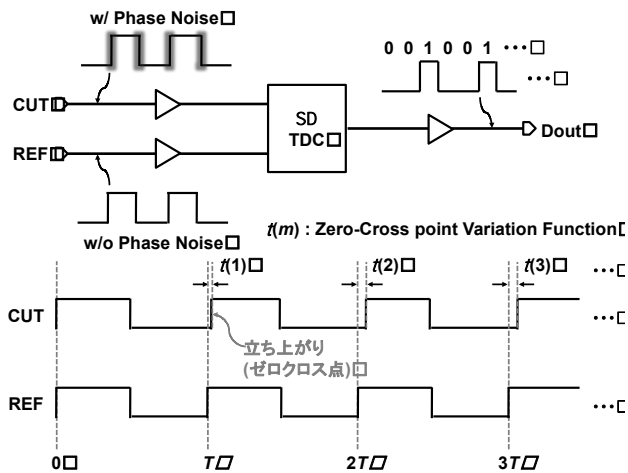


図4 シグマデルタ TDC を用いた位相ノイズ測定の構成
およびゼロクロス点変動関数 $\tau(m)$

Fig. 4 Phase noise measurement system
using Sigma-Delta TDC and
zero-cross variation function $\tau(m)$.

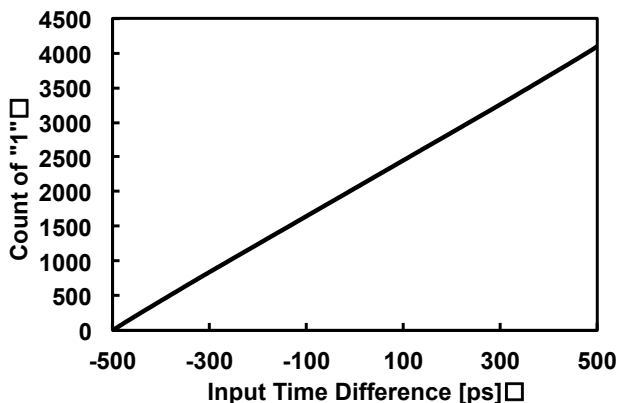


図5 シグマデルタ TDC の入出力特性

Fig. 5. Input-output characteristics of
Sigma-Delta TDC.

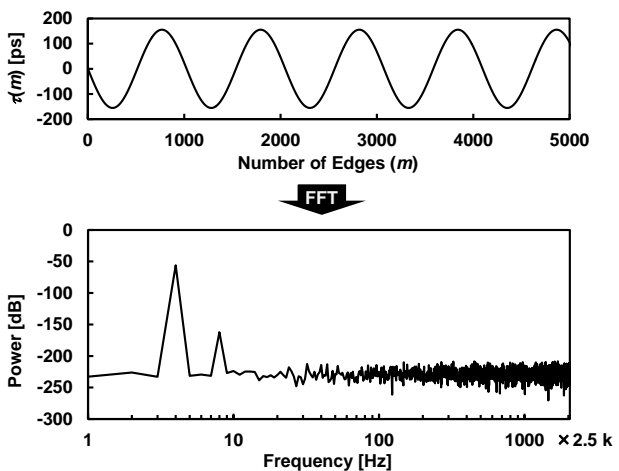


図6 入力クロックに 10 kHz の位相変動を与えた場合の
ゼロクロス点変動関数 $\tau(m)$ と FFT 解析結果

Fig. 6. Zero-cross point variation function $\tau(m)$ and
its FFT analysis result of the input clock
with phase variation at 10 kHz.

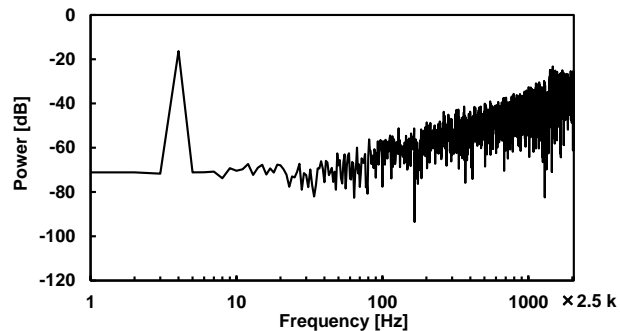


図7 シグマデルタ TDC の出力データのスペクトラム
Fig. 7. Power spectrum of Sigma-Delta TDC output.

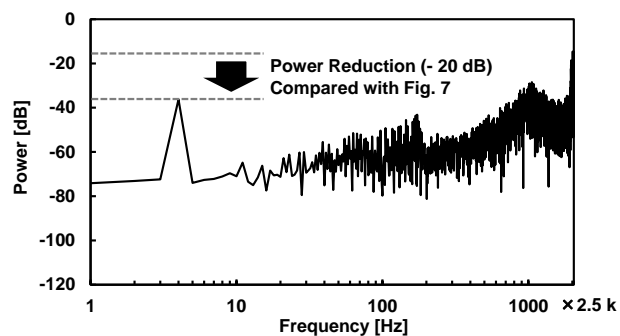


図8 シグマデルタ TDC の出力データのスペクトラム
(位相変動の振幅を 1/10 倍にしたとき)

Fig. 8 Power spectrum of Sigma-Delta TDC output
(in case amplitude of phase variation is 1/10 times).

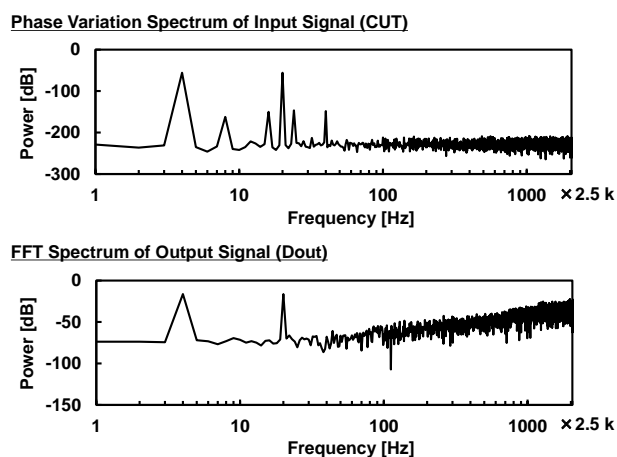


図9 入力クロックに 10 kHz と 50 kHz の位相変動を
与えた場合のシミュレーション結果

Fig. 9. Simulated results of the input clock with phase
variation at 10 kHz and 50 kHz.