

デュアルバンド CMOS LNA 回路の検討

河内智* 興大樹 (群馬大学)
 馬場清一 壇徹 高橋伸夫 (三洋半導体)
 小林春夫 高井伸和 志水勲 (群馬大学)

Dual-Band CMOS LNA Design

Satoru Kawauchi*, Daiki Oki (Gunma Univ.)

Seiichi Banba, Toru Dan, Nobuo Takahashi (SANYO Semiconductor Co., Ltd.)

Haruo Kobayashi, Nobukazu Takai, Isao Shimizu (Gunma Univ.)

キーワード：CMOS、低雑音増幅器、カスコード増幅回路

(CMOS, Low Noise Amplifier, Cascode Amplifier)

Abstract : This paper presents a Dual-Band CMOS LNA Design. Consider the Dual-Band LNA circuit has already been proposed. Since the inductors making up the circuit is large, the circuit cost is increased, aims to reduce the size of the inductor. So I was examined at the inductor becomes smaller, the change in performance LNA. With the miniaturization of the inductor, the gain performance is degraded. However, I was able to reduce the size of the inductor without degrading other performance almost.

1、はじめに

LNA(Low Noise Amplifier)は受信機の初段に位置し、アンテナで受けた微弱な信号を雑音を付加することなく増幅することを目的とした回路である。近年の無線システムの広帯域化に伴い、マルチモード/マルチバンドの信号を処理しながら、受信信号に付加される雑音を抑えることが要求されている。一度に複数の信号を受信するシステムを設計する際に、広帯域でのノイズマッチングを実現することは難しい。

そこで、複数の高性能な狭帯域 LNA 回路を2つ並列に並べて複数の所望周波数に対して良好な雑音特性を得る方式が考えられる。しかしその方式は集積コストが単純に通常回路の2倍と大きくなってしまふ。

本稿では、すでに提案されている、スイッチング可能な抵抗、キャパシタの追加を利用した、2.14GHz/1.8GHz の信号に対して良好な性能特性を示すデュアルバンド CMOS-LNA⁽¹⁾についての検討を行う。本稿のシミュレーションには TSMC 社 180nm CMOS の RF モデルパラメータを用いた。

2、LNA 回路トポロジー

図1に検討した回路を示す。この検討回路は、カスケード型のインダクティブソースディジェネレーションをもつソース接地 LNA⁽²⁾である。そのメイントランジスタ M_1 のゲート・ソース間の寄生容量 C_{gs} と並列にスイッチング可能なキャパシタ C_I が、そして特性周波数を決定する共振回路部にも同様にスイッチング可能なキャパシタ C_{ex} 、抵抗

R_{ex} が追加された回路である。図1のSW1・SW2がOFFのとき、周波数2.14GHzの信号に対応し、SW1・SW2がONのとき周波数1.8GHzの信号に対応する。

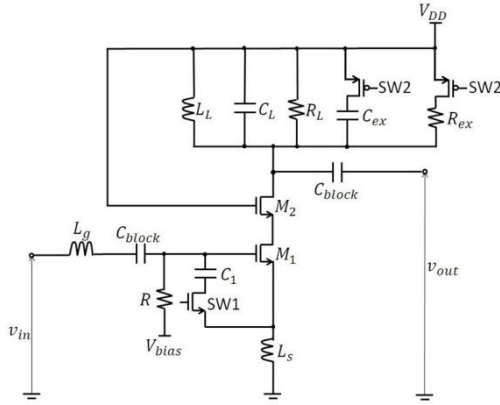
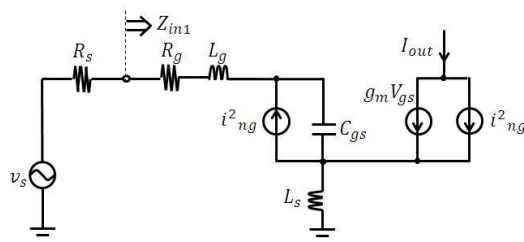


図1 検討デュアルバンド LNA 回路

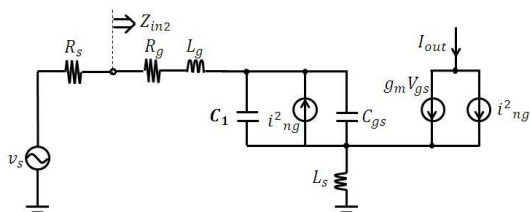
Fig.1. Dual-band LNA circuit for investigation.

(A) 入力整合回路

図2に2.14GHzモード(a)、1.8GHzモード(b)での入力側の小信号等価回路を示す。この小信号等価回路より、入力インピーダンスは次のようになる。



(a)2.14GHz モード



(b)1.8GHz モード

図2 検討 LNA 回路の入力側の小信号等価回路

Fig.2. Small-signal equivalent model of input circuit in LNA.

$$Z_{in1} = j\left(\omega L_g + \omega L_s - \frac{1}{\omega C_{gsM1}}\right) + \frac{g_{mM1}L_s}{C_{gsM1}} \quad (1)$$

$$Z_{in2} = j\left(\omega L_g + \omega L_s - \frac{1}{\omega(C_{gsM1} + C_1)}\right) + \frac{g_{mM1}L_s}{C_{gsM1} + C_1} \quad (2)$$

まず、2.14GHzの入力整合を考える。 Z_{in1} を50Ωに整合することで、 L_g 、 L_s 、 W/L が決定する。そして、それらの値を変えずに1.8GHzの入力整合も同様、 Z_{in2} を50Ωに整合することで C_1 の値が決定する。

(B) 共振回路

入力整合回路と同様に、2.14GHzの周波数で特性を示すように共振回路部の L_L 、 C_L 、 R_L を決定し、それらの値を変えずに1.8GHzで周波数特性を示すように追加素子 C_{ex} 、 R_{ex} の値を決定する。

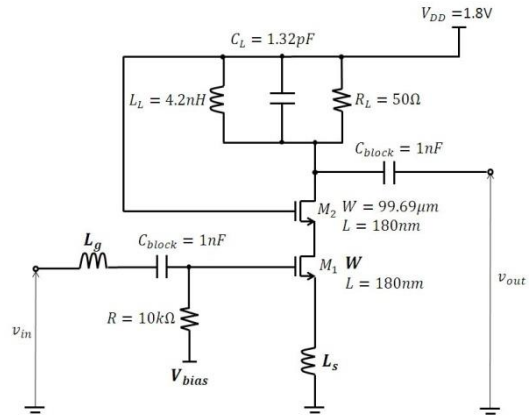
3、回路検討

本稿の回路はインダクタを用いた整合回路を利用したものであり、インダクタの大きさは集積コストに大きく影響してしまう。しかし、式(1)、(2)の入力整合式において、メイントランジスタ M_1 の W/L を調整することで、式中の C_{gsM1} 、 g_{mM1} が変化し、インダクタ L_g 、 L_s の素子値が変化する。したがって、メイントランジスタ M_1 のチャネル幅 W を変化させ、インダクタ素子を小型化させた際に、入力整合特性(S11)、出力整合特性(S22)、雑音指数(Noise Figure)、利得(Gain)、そして線形性を示す3次インターセプトポイント(IIP3)の各特性がどのように変化するかをシミュレーションを行うことによって確認した。

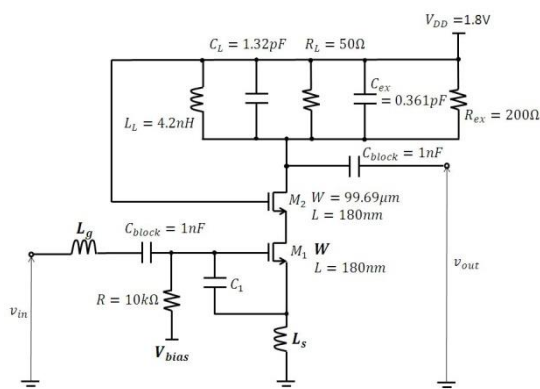
4、Spectre シミュレーション回路

シミュレーションは、SW1・SW2の影響は考慮

せず、回路トポロジーにしたがって設計した回路での SW1・SW2 が OFF 時の回路、ON 時の回路の 2 つの回路を用いて行った。図 3 にそのシミュレーション回路を示す。



(a)2.14GHz モード



(b)1.8GHz モード

図 3 LNA シミュレーション回路

Fig.3. Simulated LNA circuit.

図 3 の回路において、メイントランジスタ M1 のチャンネル幅 W を変化させると、回路の動作電流が変化してしまい、チャンネル幅 W の変化に対し平等な特性評価ができない。そこで V_{bias} を調整することで動作電流を 5mA に統一した。

5、Spectre シミュレーション結果

図 4 に、メイントランジスタ M1 のチャンネル幅

W の変化に対するインダクタ素子値の変化を示した。 L_g は、 W が増加するにつれて値が小さくなり、 W が $120 \mu\text{m}$ から $300 \mu\text{m}$ まで増加すると、 15nH 以上の素子値減少効果が得られた。また、 L_s に関しては、 W 増加に対して素子値が増加してしまっているものの、増加量が微小であるため、 L_g の素子値減少量を考えれば、全体的にインダクタ素子の小型化に成功した。

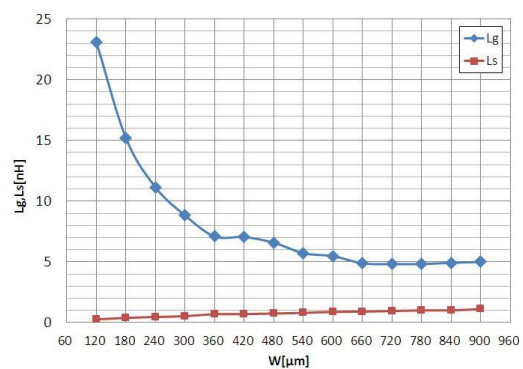


図 4 W に対するインダクタ素子値

Fig.4. Inductor size with respect to W .

また、図 5 にメイントランジスタ M1 のチャンネル幅 W の変化に対する LNA 全体の各特性の変化を示す。S11・S22 の結果(a)に関しては、整合回路の質により変化するため、多少ばらつきがあるものの、どの W の値に対しても S11・S22 共に -15dB 以下に抑えることができた。

Noise Figure の結果(b)は、 W が $120 \mu\text{m}$ から $540 \mu\text{m}$ くらいの範囲ならば、 $2.14\text{GHz} \cdot 1.8\text{GHz}$ の回路共に 1dB かそれ以下に抑えることができた。しかし、 W が $540 \mu\text{m}$ 以上となると比例的に Noise Figure も増加し、雑音性能は劣化していった。

Gain のシミュレーション結果(c)は、 W の増加に対し明らかに劣化し、 W が $360 \mu\text{m}$ の時点で 10dB を下回ってしまう結果となった。

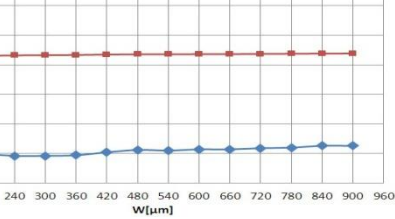
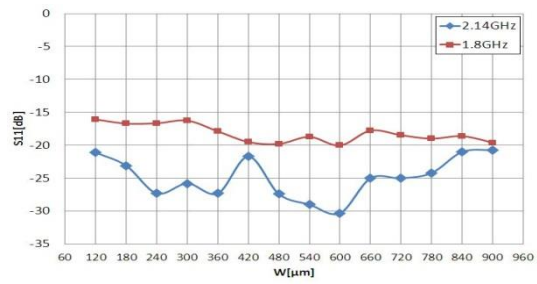
一方 IIP3 のシミュレーション結果(d)は、 W が増加したため IIP3 が改善された。

6、結論

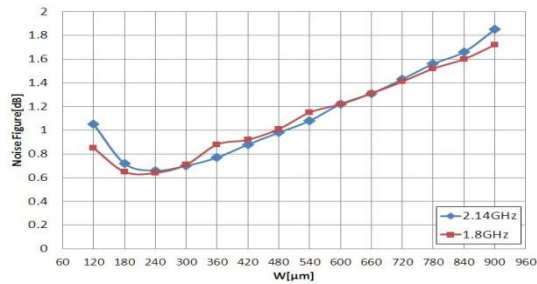
本稿では 2.14GHz/1.8GHz のデュアルバンド CMOS LNA 回路において、インダクタ素子値の小型化を検討した。180nm プロセスを用いたシミュレーション結果では、入出力整合、雑音指数を大きく劣化させることなく、インダクタ素子の値を減少、小型化することができた。さらに、インダクタ素子を小さくするにつれて、線形性も改善される結果が得られた。一方、インダクタ素子の小型化に伴い利得は低下している。

文 献

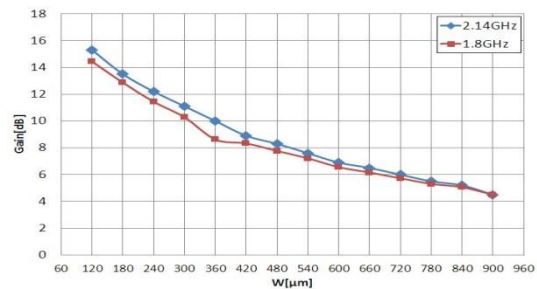
- (1) Hyejeong Song, Huijung Kim, Kichon Han, Jinsung Choi, Changjoon Park, and Bumman Kim, "A Sub-2dB NF Dual-Band CMOS LNA for CDMA/WCDMA Applications", IEEE Microwave and Wireless Components Letters, vol.18, no.3, p.212-214, (March 2008)
- (2) 浅田邦博・松澤昭: 「アナログ RF CMOS 集積回路設計 応用編」, 培風館, p166-174, (2011-2)



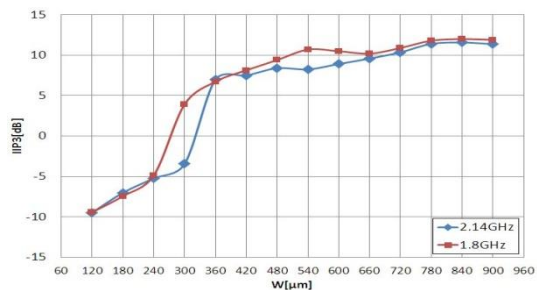
(a) Simulated S11, S22



(b) Simulated Noise Figure



(c) Simulated Gain



(d) Simulated IIP3

図5 各特性シミュレーション結果

Fig.5. Simulation results of each characteristics