

ヒステリシス制御 DC-DC SIMO 電源のシミュレーション結果

Single Inductor Multi Output DC-DC Converter Design with Hysteresis Control

長島辰徳、小堀康功、堺昂浩、田中駿祐(群馬大)、
小田口貴宏、山口哲二、中西功、上田公大(AKM テクノロジー)、
松田 順一(旭化成パワーデバイス)
高井伸和 小林春夫(群馬大)

キーワード: DC-DC スイッチング電源, ヒステリシス制御, 単一インダクタ・マルチ出力電源
(DC-DC Switching Converter, Hysteresis Control, Single Inductor Multi Output Converter)

1. はじめに

多くの電子機械には多数の DC 電源が設けられ、小型・軽量・省電力化に向けて研究開発が進められている。スイッチング電源ではインダクタの占める割合も大きく、その削減手法として1個のインダクタにより多数の直流電圧を出力するシングルインダクタ・マルチ出力 SIMO 電源が研究されつつある。

本報告では、まずヒステリシス片側制御方式の DC-DC 2 出力 SIDO 電源の動作原理を確認し、4 出力 SIMO 電源のシミュレーションで性能を得たので報告する。

2. ヒステリシス制御降圧形 SIDO 電源

2.1 単出力電源の基本構成と動作結果

まず、ヒステリシス片側制御単出力電源の構成を図1に、そのシミュレーション結果を図2に示す。図1において、通常の DC 電源では、出力電圧が基準電圧より低下した場合のみ、電力供給量を制御している。過度応答などで出力電圧が基準電圧よりも上昇した場合には、負荷出力電流による自然低下に依存

している。したがって、出力電圧が基準電圧よりも低下した場合のみ、電流供給すればよい。

以上の考えより、図1ではコンパレータによる電圧比較結果により、単純にスイッチを ON/OFF 制御する構成である。図2のシミュレーション結果では、 $V_i=9V$, $V_o=5V$, $L=10\mu H$, $C=470\mu F$ のとき、出力リップルおよび負荷応答はいずれも $10mV_{pp}$ 以下 @ $I_o=1.0/0.5A$ と十分に小さい。

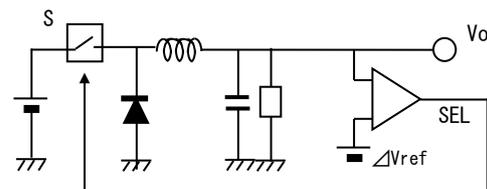


図1 ヒステリシス制御降圧形電源

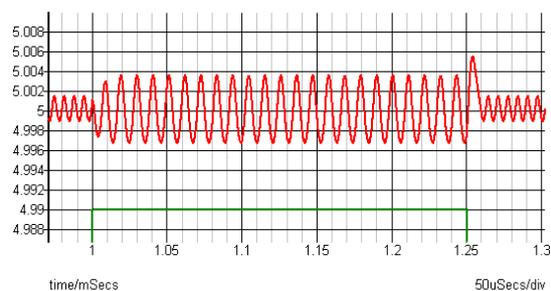


図2 降圧形基本電源の応答特性

2.2 降圧形 2 出力電源の構成と動作結果

図 3 に、2 出力電源 SIDO の構成を示す。同図においては、クロック信号により制御対象電源を切替え制御するが、この選択には 2 電源の出力電圧誤差を比較して選択信号 SEL を得る。この SEL 信号により、低出力側の電源に設けられたスイッチ S2 を制御する。降圧形スイッチング動作をするメイン・スイッチ S0 は、固定デューティのクロック信号により制御されている。なお、両誤差電圧が正になった場合は電流供給が不要の状態であり、OR 回路で検出して、AND 回路によりクロックを停止する必要がある。

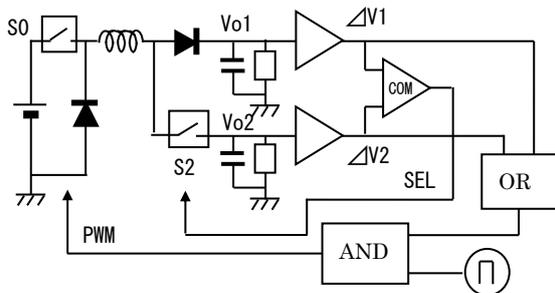


図 3 降圧形 SIDO 電源の構成

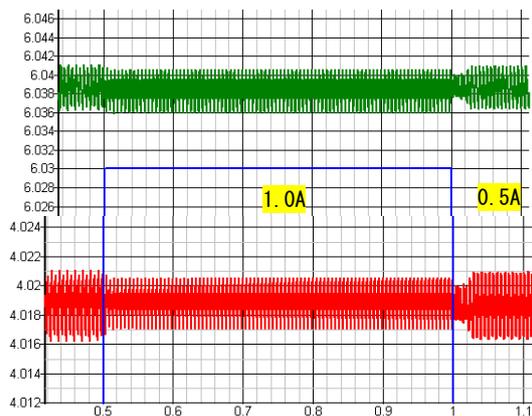


図 4 降圧形 SIDO の応答特性

図 4 にシミュレーション結果を示す。出力電圧 $V_1=6V, V_2=4V @ I_o=1.0/0.5A$ のとき、ロード（セルフ）レギュレーション、クロスレギュレーションおよび出力リップルともに $\Delta V_o=10mV_{pp}$ 以下である。なお、パラメータを表 1 に示す。

表 1 降圧形電源のパラメータ

V_i	9.0 V
V_{o1}	6.0 V
V_{o2}	4.0 V
L	0.5 μ H
C	470 μ F
F_{PWM}	360 kHz

3. ヒステリシス制御昇圧形 SIDO 電源

3.1 単出力電源の基本構成と動作結果

昇圧型ヒステリシス制御電源の基本構成を図 5 に示す。昇圧形電源では、インダクタへのチャージ期間が必須であり、単出力電源においてもクロックによる制御が必要である。図 6 に、 $V_i=3V, V_o=5V, L=0.5\mu H, C=470\mu F, F=200kHz$ のとき、負荷電流を $I_o=1.0/0.5A$ と切り替えた時の出力応答特性を示す。ロードレギュレーション、出力リップルともに 10mV 以下と十分小さい。また、負荷電流の増加に伴い、出力リップルも大きくなる。

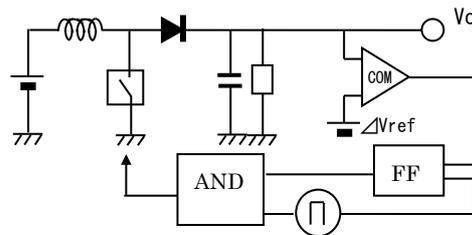


図 5 ヒステリシス制御昇圧形電源の構成

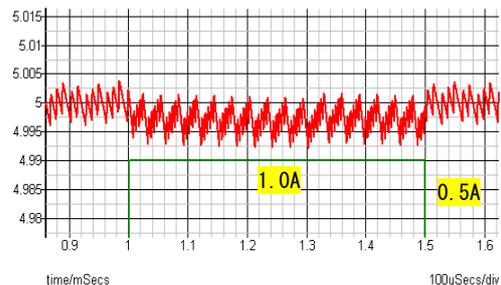


図 6 昇圧形基本電源の応答特性

3.2 昇圧形 2 出力電源の構成と動作結果

図 7 に、ヒステリシス制御昇圧形 2 出力 SIDO 電源の構成を、図 8 にその出力応答特性を示す。図 7 において、選択信号 SEL の発生や、スイッチ S0 の制御方式は、降圧形電源と同様である。図 8 のシミュレーションの結果では、電源 1 の負荷変動 $\Delta V_{o1}=1.0/0.5A$ において、セルフ/クロス・レギュレーションおよび出力リップルは $20mV_{pp}$ 以下である。なお、このときのパラメータを、表 2 に示す。

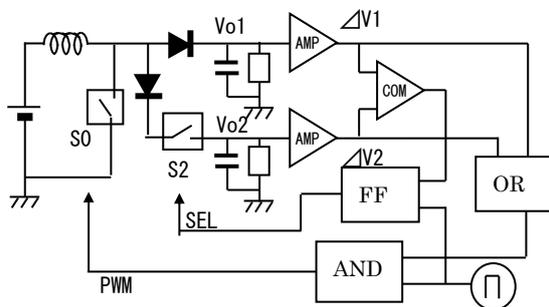


図 7 昇圧形 SIDO 電源の構成

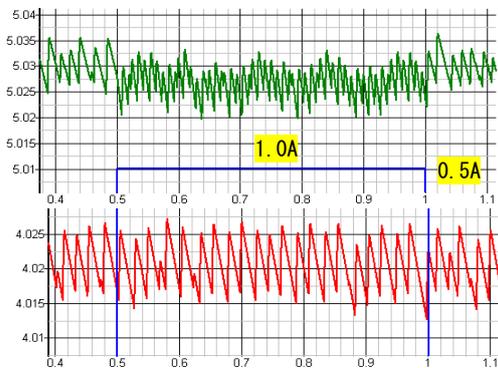


図 8 昇圧形 SIDO 電源の応答特性

表 2 昇圧形 SIDO 電源のパラメータ

V_i	3.0 V
V_{o1}	4.0 V
V_{o2}	5.0 V
L	1.0 μH
C	470 μF
F_{PWM}	200 kHz

3.3 昇圧形 SIDO 電源の改良

図 7 のヒステリシス制御昇圧形 SIDO 電源では、スイッチ 2 の切り替えタイミングを同期化する目的で、フリップフロップを使用して SEL 信号を発生していた。そのときの制御出力リップルは、図 8 のように整然さがなくランダムであった。ここでコンパレータの出力切り替えタイミングはクロックとは非同期であり、同期化することで動作がランダムでかつ遅れていることに気付いた。

検討の結果、図 9 のように SEL 信号に FF がなくても、非同期で制御の切替えることに問題がないことを確認した。そこで、FF を削除してコンパレータ出力で直接 制御対象を切替えた結果、出力リップルは図 10 のように整然とした波形で、かつ低減することができた。

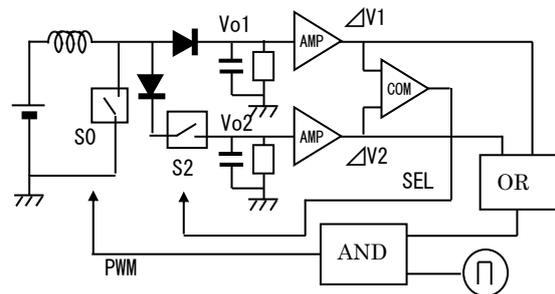


図 9 改良後の昇圧形 SIDO 電源

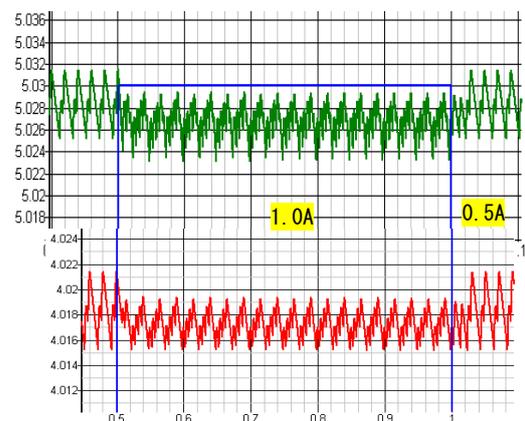


図 10 改良後の昇圧形 SIDO 電源の応答波形

4. ヒステリシス制御(昇圧+降圧)形電源

4.1 昇圧+降圧形 SIDO 電源の構成

図 12 に昇圧+降圧形 SIDO 電源の構成を示す。この場合、電源 1 が昇圧電源、電源 2 が降圧電源である。コンパレータ出力の SEL 信号によりスイッチ S2 を切換え、電源の切換えを実施する。電源の切換と共に、降圧動作と昇圧動作の切換えが必要である。この場合、スイッチは 3 個必要であり、昇圧動作時はスイッチ S0 を ON として、スイッチ S1 を PWM 制御する。一方、降圧動作時は、スイッチ S2 を ON、スイッチ S1 を OFF として、スイッチ S0 を PWM 制御する。この場合、クロックとの同期化およびデッドタイムの考慮も必要ない。

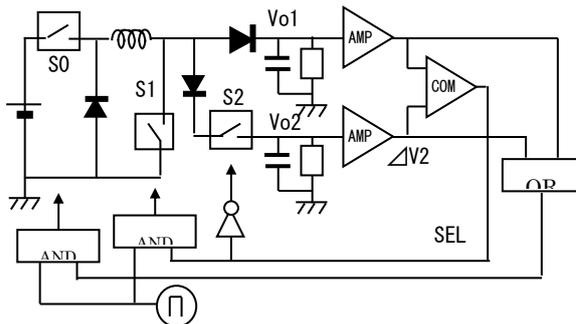


図 11 降圧+昇圧形 SIDO 電源の構成

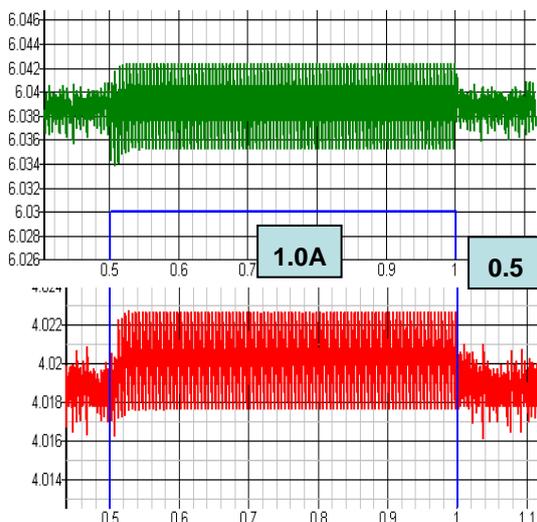


図 12 降圧+昇圧形 SIDO 電源の応答特性

シミュレーション結果を、図 12 に示す。昇圧電源の負荷電流が $I_{o1}=1A$ 時にリップルは大きいですが、 $10mV_{pp}$ 以下である

5. 降圧形 4 出力 SIMO 電源

5.1 降圧形 SIMO 電源の構成

図 4 の降圧形 SIDO 電源の構成を拡大して、図 13 の 4 出力ヒステリシス制御降圧形 SIMO 電源を考案した。同図において、ブロック電源は図 1 に示すヒステリシス制御降圧形電源であり、それぞれ内部スイッチは自分自身のコンパレータ出力により ON/OFF 制御されている。また、同図では、上部にある電源の出力電圧を高く設定してある。したがって、おのおのの電源の内部スイッチが ON 状態になると、入り口のダイオードにより下側の低電圧電源が優先的に自動的に電流供給されることになる。各電源の電圧が基準電圧よりも低くなると、その電源の内部スイッチが ON になる。複数のスイッチが ON になった場合、コンデンサ電圧（出力電圧）の高低差から、電圧の低い電源から順次充電される。

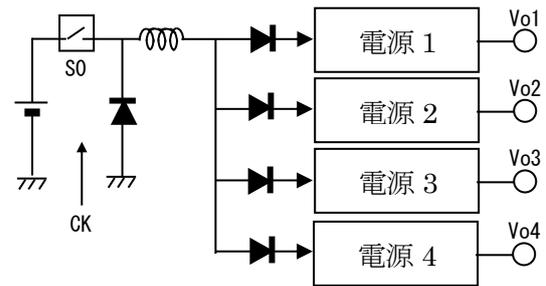


図 13 降圧形 SIMO 電源の構成

5.2 降圧形 SIMO 電源の応答特性

図 14 に各電源電圧の応答特性を示す。電源 1 の負荷電流を $I_{o1}=1.0/0.5A$ に変化させたときの各出力リップルである。入力電圧 $V_i=9V$ における各出力電圧は、 $V_{o1}=6V, 5V, 4V, 3V$

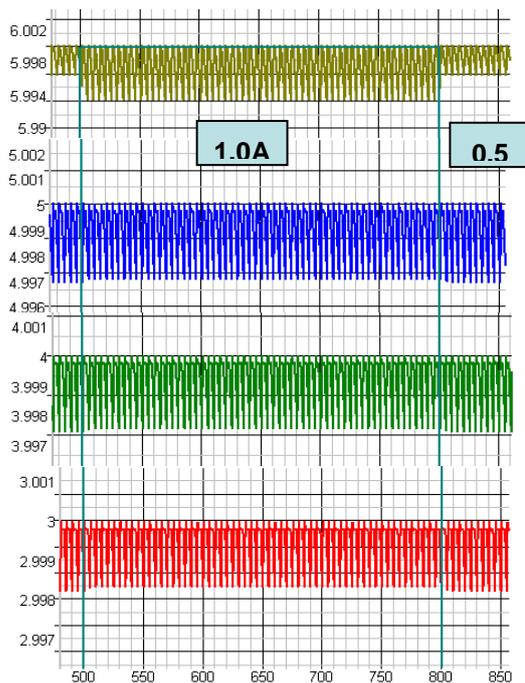


図 14 降圧形 SIMO 電源の応答特性

であり、各負荷電流は $I_o=0.5A$ としている。電源 1 のロード（セルフ）レギュレーションは $0.4mV$ あるが、他電源のクロス・レギュレーションは十分小さい。なお、各出力電圧リップルは $5mV_{pp}$ 以下であり、過度応答特性も極めて良い。

5. まとめ

単インダクタ・マルチ出力 DC-DC コンバータにおいて、両電圧誤差を比較して制御対象電源を選定する片側ヒステリシス制御方式のシミュレーション確認をした。2 出力 SIDO 電源では、降圧形、昇圧形および昇圧+降圧形の各構成において、各出力リップルは $5mV_{pp}$ 程度であり十分な応答特性を得ている。さらに、降圧形 4 出力 SIMO 電源方式を開発し、その動作をシミュレーション確認した。セルフ/クロス・レギュレーションともに $5mV_{pp}$ 以下と十分な性能である。

今後、他方式の SIMO 電源の検討と、実装確認を進める。

参考文献

- 1) 津志田健吾, 他 13 名, "単一インダクタンス 2 出力 DC-DC コンバータの検討", 第 22 回 回路とシステム軽井沢ワークショップ (2010 年 4 月)
- 2) 小堀康功, 他 10 名, "単一インダクタンス 2 出力 DC-DC コンバータにおける新制御方式", 電気学会栃木群馬支部大会 桐生 (2012 年 2 月)
- 3) Y. Kobori, et. al., "Single Inductor Dual Output DC-DC Converter Design with Exclusive Control", IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).