

デジタル信号タイミング試験用マルチビットTDC回路アーキテクチャ

群馬大学

研究代表者: 小林春夫

発表者: 平林大樹

研究目的

2つのデジタル信号間のタイミング試験の低コスト化

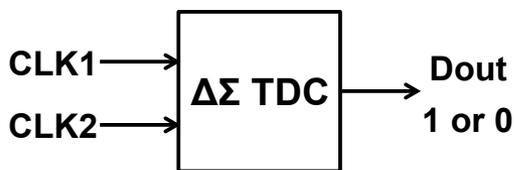
アプローチ

デジタル誤差補正アルゴリズムを用いたマルチビット $\Delta\Sigma$ TDCの開発
(TDC : Time-to-Digital Converter)

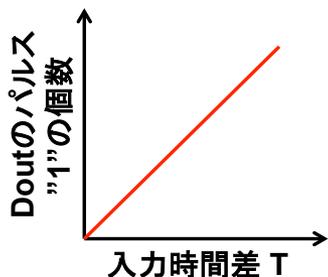
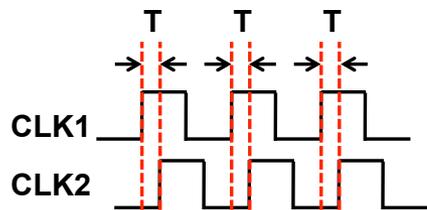
応用例

- Double Data Rateメモリのデータ・クロック間の時間差の測定・試験
- クロックの位相ノイズの測定・試験

$\Delta\Sigma$ TDCについて



繰り返しクロックを入力



TがDoutのパルス"1"の個数に比例

シングルビット $\Delta\Sigma$ TDC

- 簡単な回路
- 高時間分解能
- ややテスト時間が長い

マルチビット化

マルチビット $\Delta\Sigma$ TDC

- 簡単な回路
- 高時間分解能
- 短時間化(低コスト試験)
- 遅延素子のばらつきによる非線形性

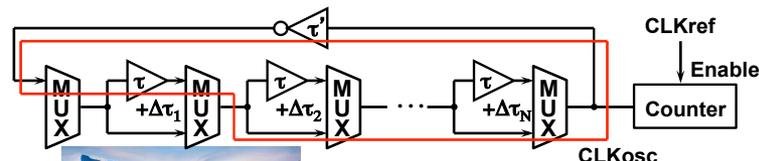
研究内容

$\Delta\Sigma$ TDCをPSoCに実装
(PSoC : Programmable System-on-Chip)



マルチビット $\Delta\Sigma$ TDCの非線形の問題をデジタル信号処理で解く方法を2つ提案

- 信号が「時間」であることを利用



光陰矢の如し

Q&A

- τ の決め方は？
 - 測定可能範囲と分解能が τ に依存するため、適した値にする。
- PSoCのアナログ素子にはノイズがあるため、注意した方が良い。
- ジッタや位相ノイズの影響は？
 - 出力を多く取ることによって平均化されると考えられる。
- $\Delta\Sigma$ TDCの動作を詳しく教えてほしい。
- DWAでノイズシェープされるのはなぜ？
 - 遅延素子を満遍なく使うため、ばらつきが平均化される。

Q&A

- DWAとデジタル自己校正、効果が大いなのは？
 - DWAの方が面積や処理の点で優位だと考えられる。
- デジタル自己校正のMUXのばらつきは？
 - はじめに遅延素子を通らない経路を選択することで測定可能。
- 位相ノイズの測定はどのように行う？
 - 片方にテスト対象クロック、片方に理想クロックを入れ、出力をFFTする。
- RC素子のいらぬ構成も考えられないか？
- TDCとは？今流行っているみたいだけど？
- 具体的な仕様は決めているのか？
 - 今後考える予定。