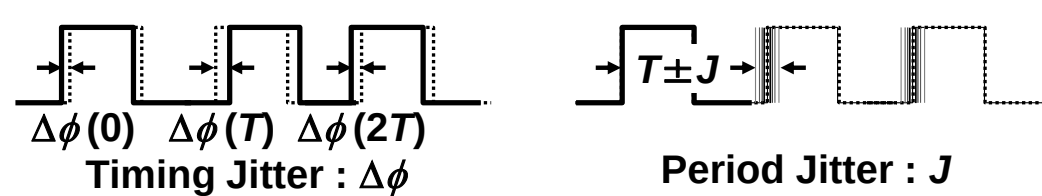


自己参照クロック技術とカスケード接続型時間差増幅器を用いた 参照クロック不要・高分解能オンチップタイミングジッタ測定回路

群馬大学大学院 針谷 尚裕 新津 葵一 櫻井 正人 平林 大樹 山口 隆弘 e-mail : t11801643@gunma-u.ac.jp 研究代表者 : 小林 春夫

研究背景・目的

- 200 fs RMSジッタを実現するようなADPLLが開発されている
 - 低コスト(参照クロック不要), 高分解能(200 fs以下)であるオンチップタイミングジッタ測定回路が要求されている
 - 従来手法は参照クロックを必要とし, 分解能は400 fs
- 本研究**
- 参照クロック不要, 高分解能(28 fs)なオンチップタイミングジッタ測定回路を実現した



オンチップジッタ測定の文献

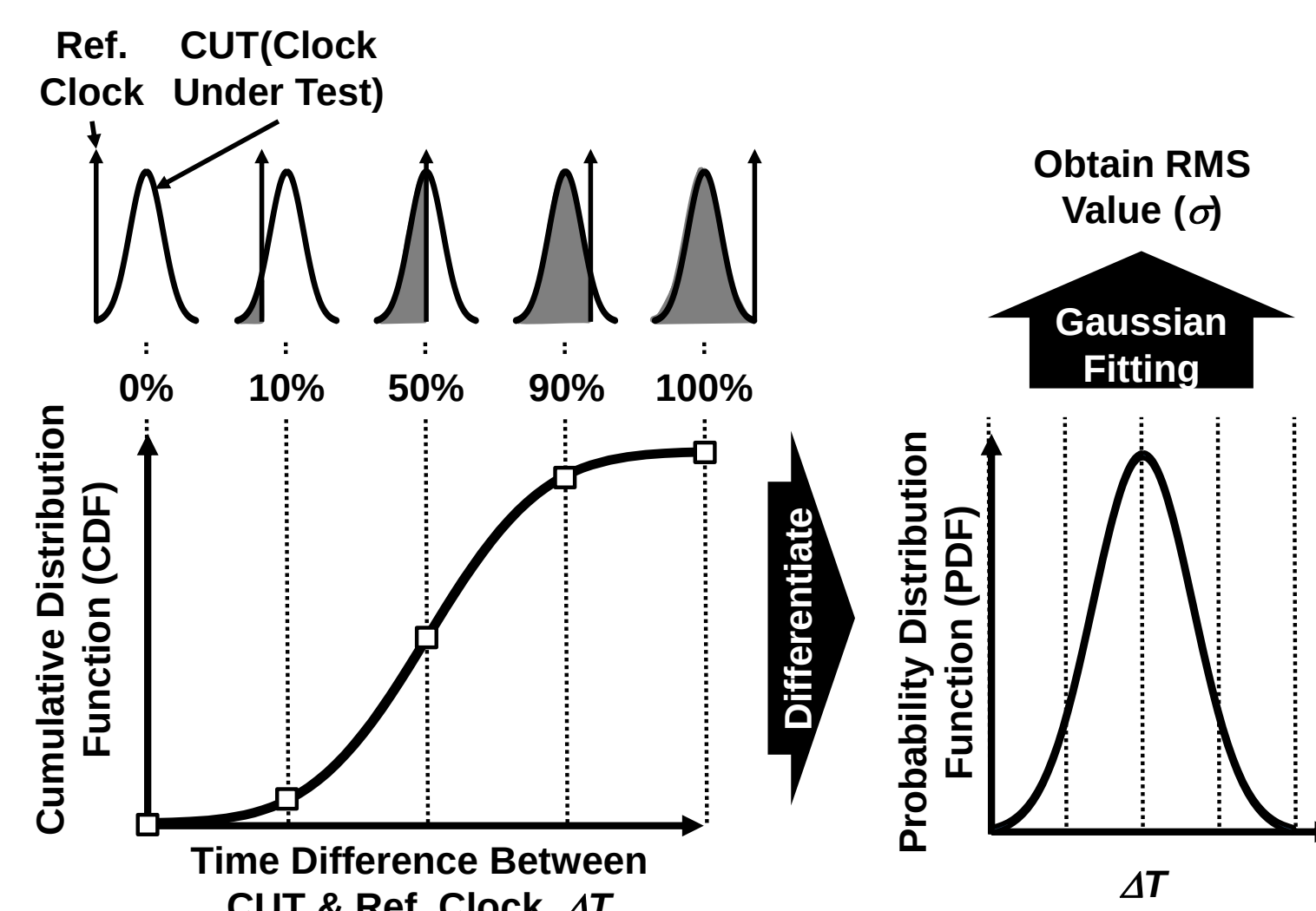
	Conventional (1, IBM)	Conventional (2, Advantest)	This Work
Measured Jitter	Timing (Direct)	Timing (Σ Period)	Timing (√2 Times)
Reference Clock	Necessary	Unnecessary	Unnecessary
Output Signal	Digital	High-Speed Analog	Digital
Resolution	0.4 ps	N/A	28 fs

本研究の狙い(文献[1]と比較)

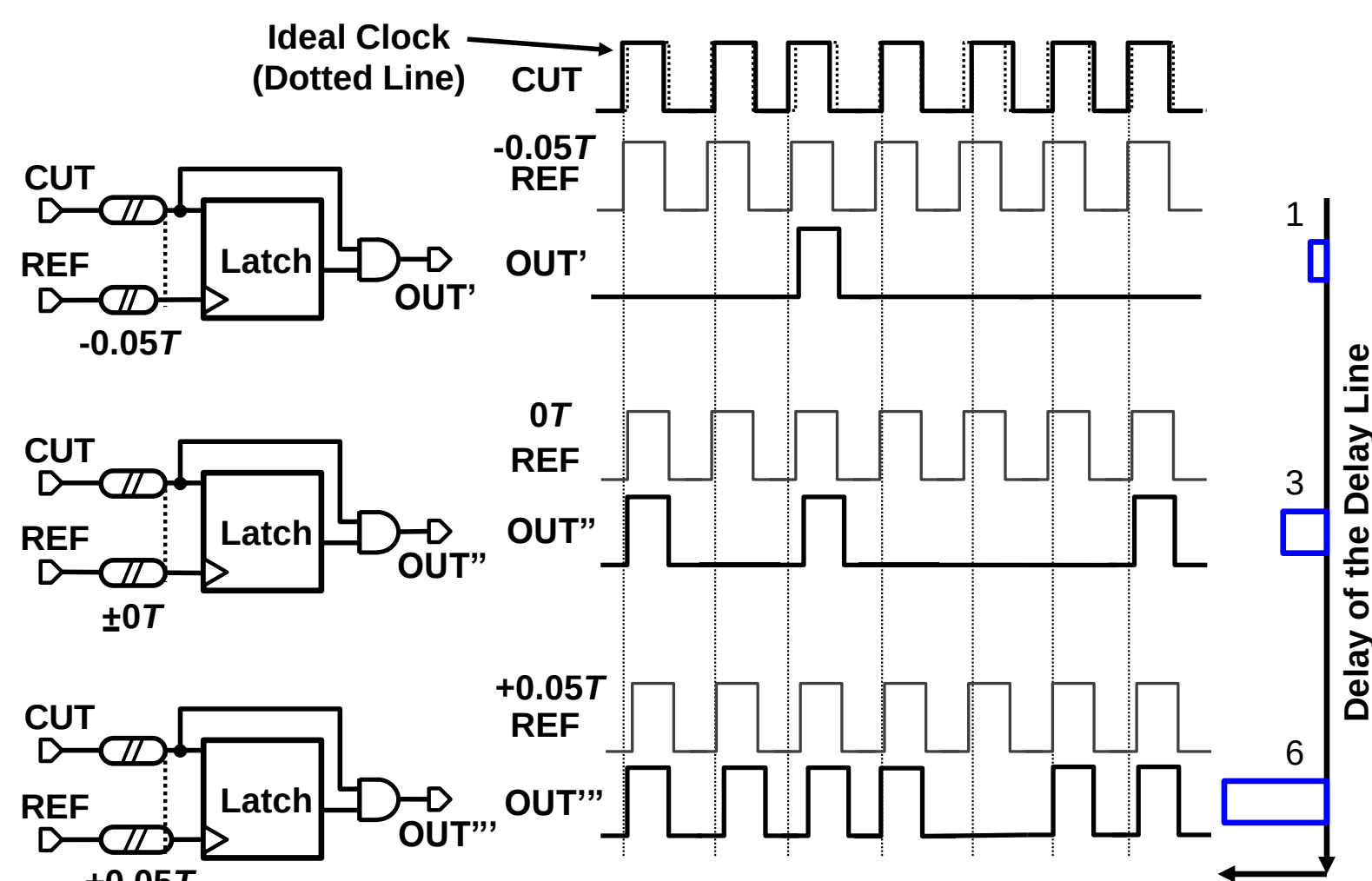
- 自己参照クロック技術により, “参照クロック不要”のオンチップタイミングジッタ測定回路を実現
- カスケード接続型時間差増幅器を用いて, 高分解能(28 fs)を達成

[1] K. Jenkins, et al., “An on-chip jitter measurement circuit with sub-picosecond resolution,” in *Proc. European Solid-State Circuits Conf.*, Sep. 2005, pp. 157-160.
[2] M. Ishida, et al., “A Programmable On-Chip Picosecond Jitter-Measurement Circuit without a Reference-Clock Input,” in *Proc. IEEE Int. Solid-State Circuits Conf.*, pp. 512-513, Feb. 2005.

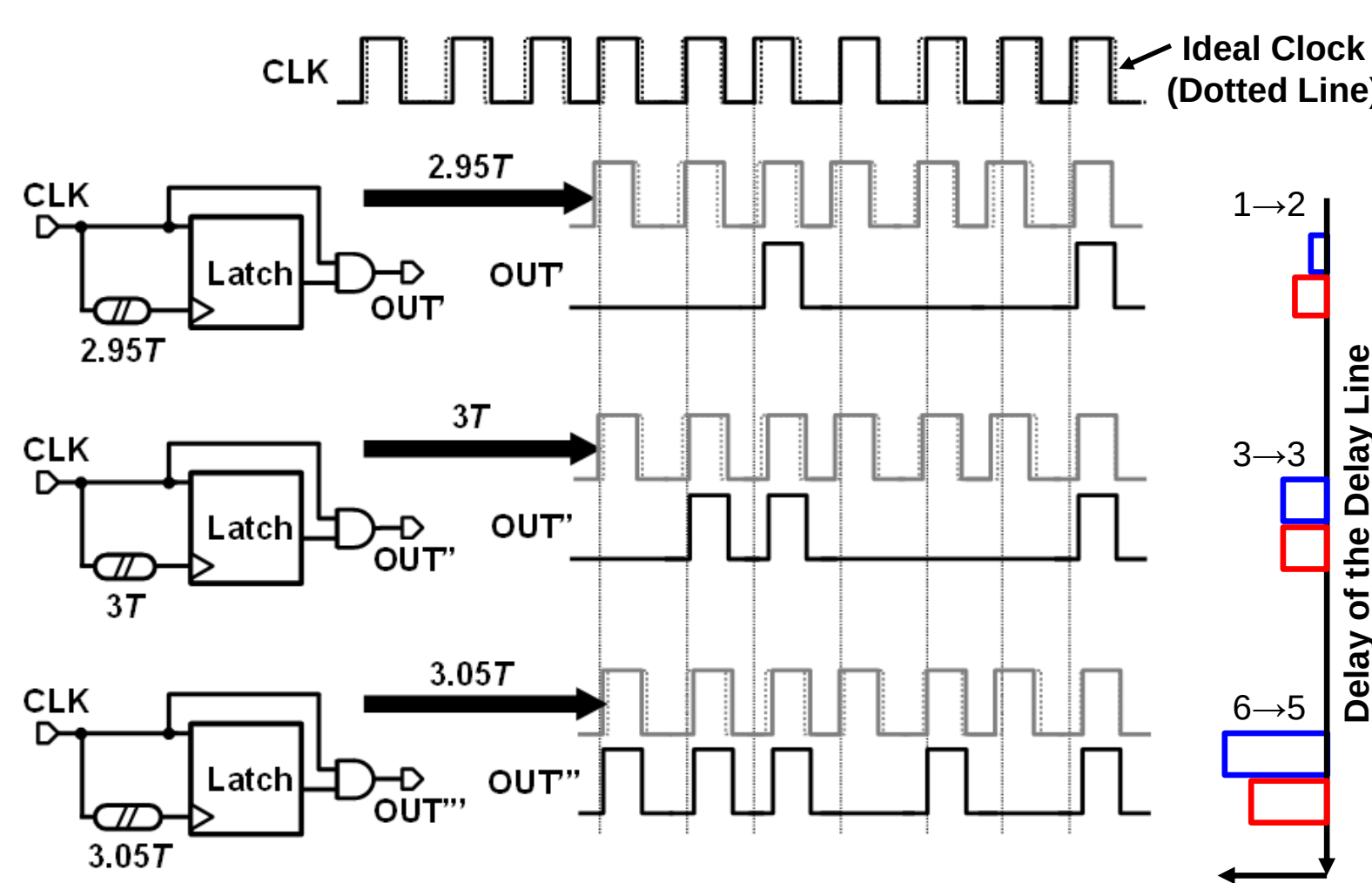
タイミングジッタ測定の原理



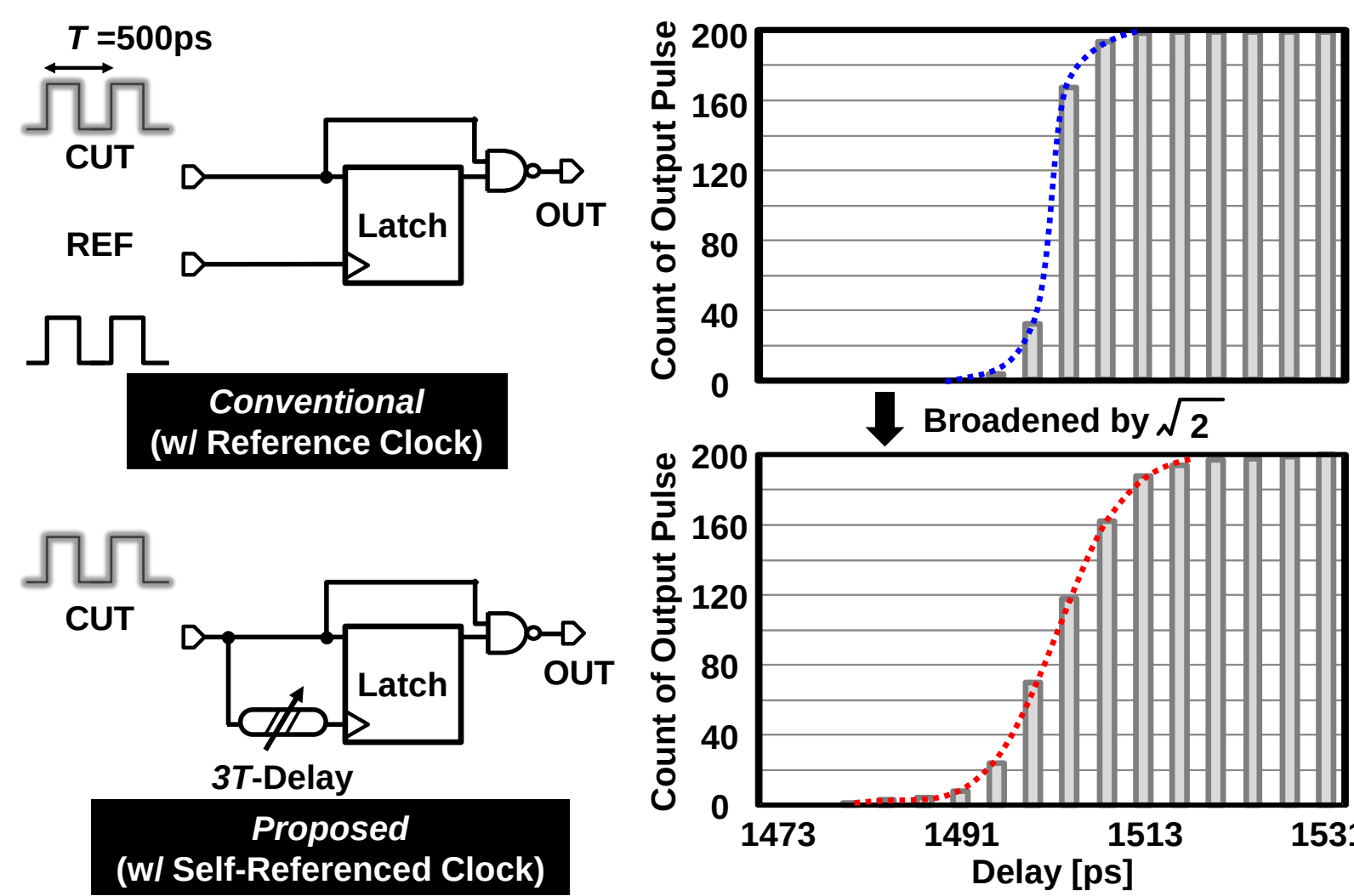
従来手法 (参照クロックあり)



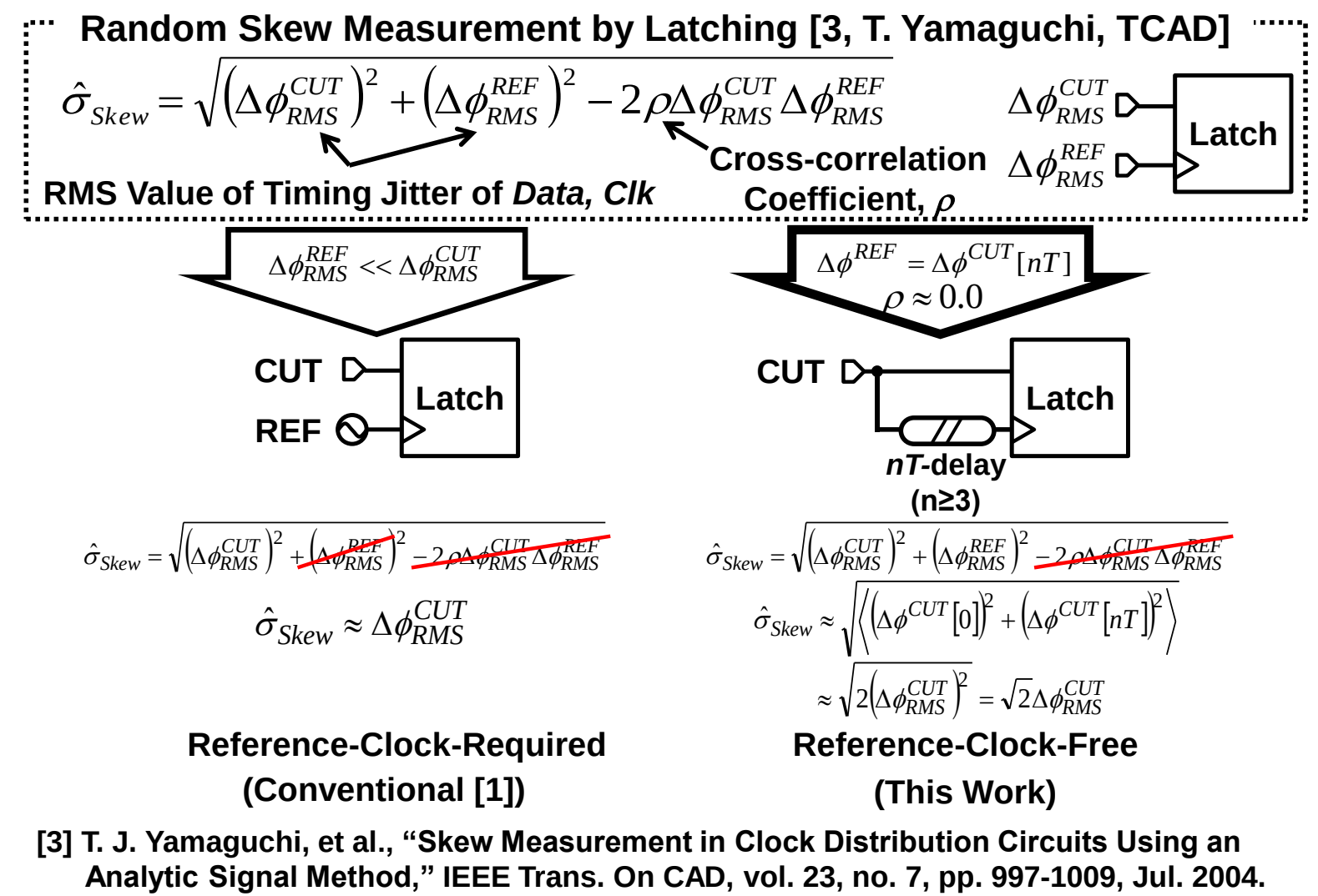
提案手法 (参照クロックなし)



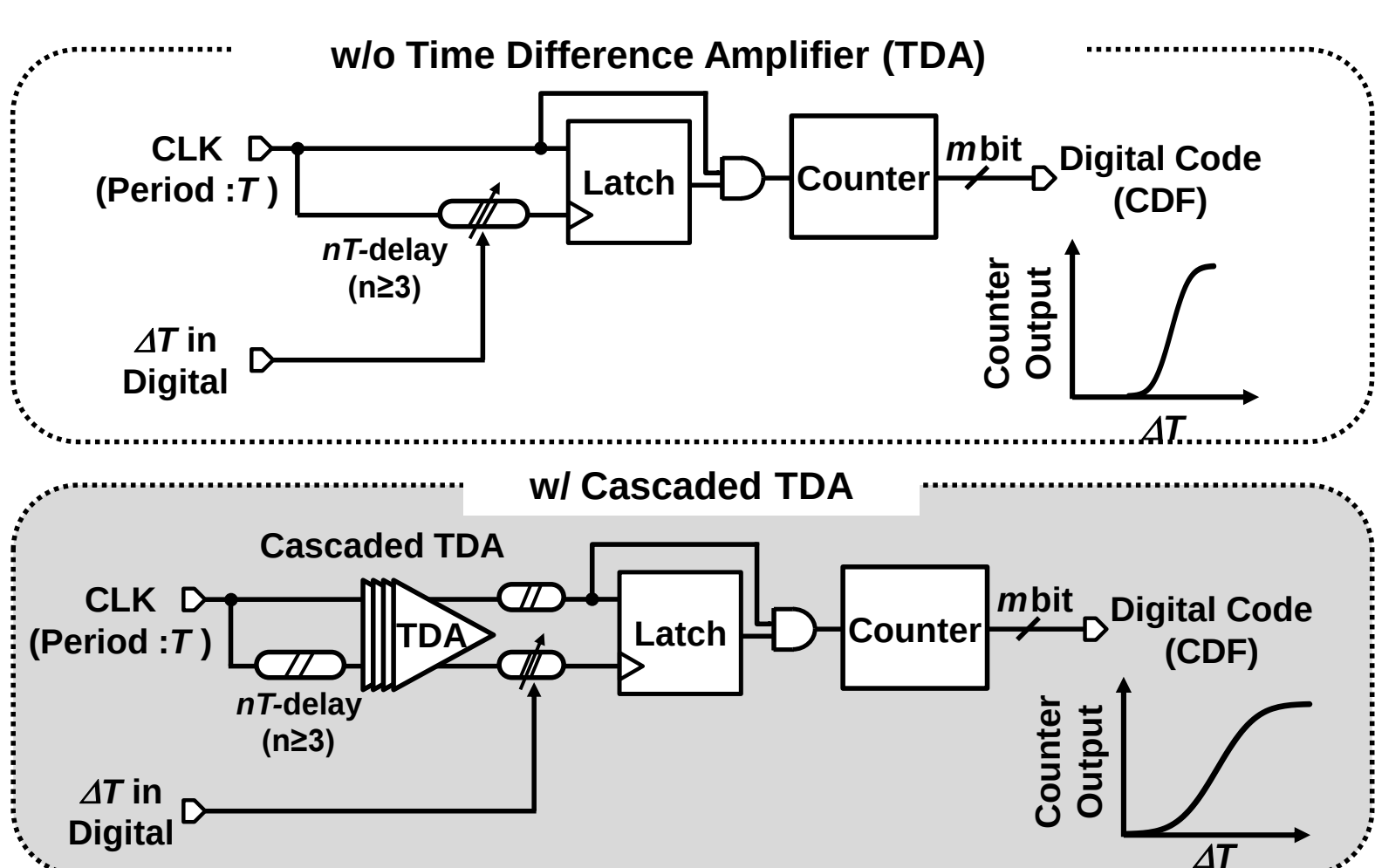
従来手法と提案手法の比較



理論的背景 (“√2” 倍に広がる理由)

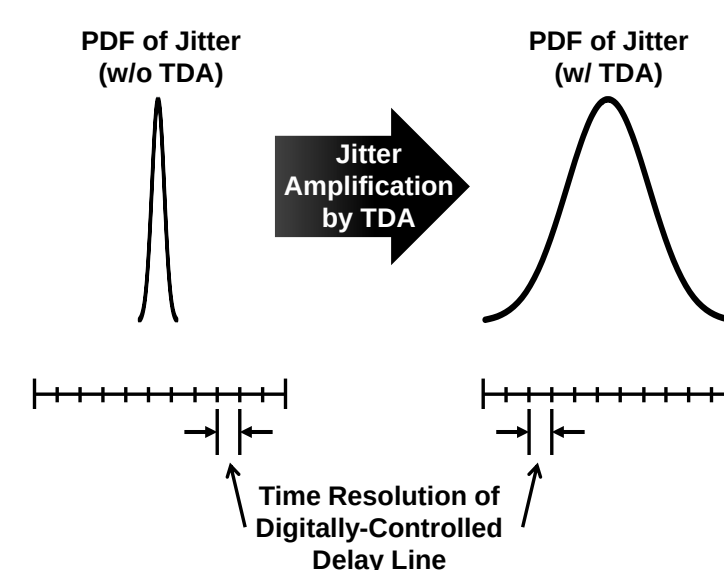


実装回路

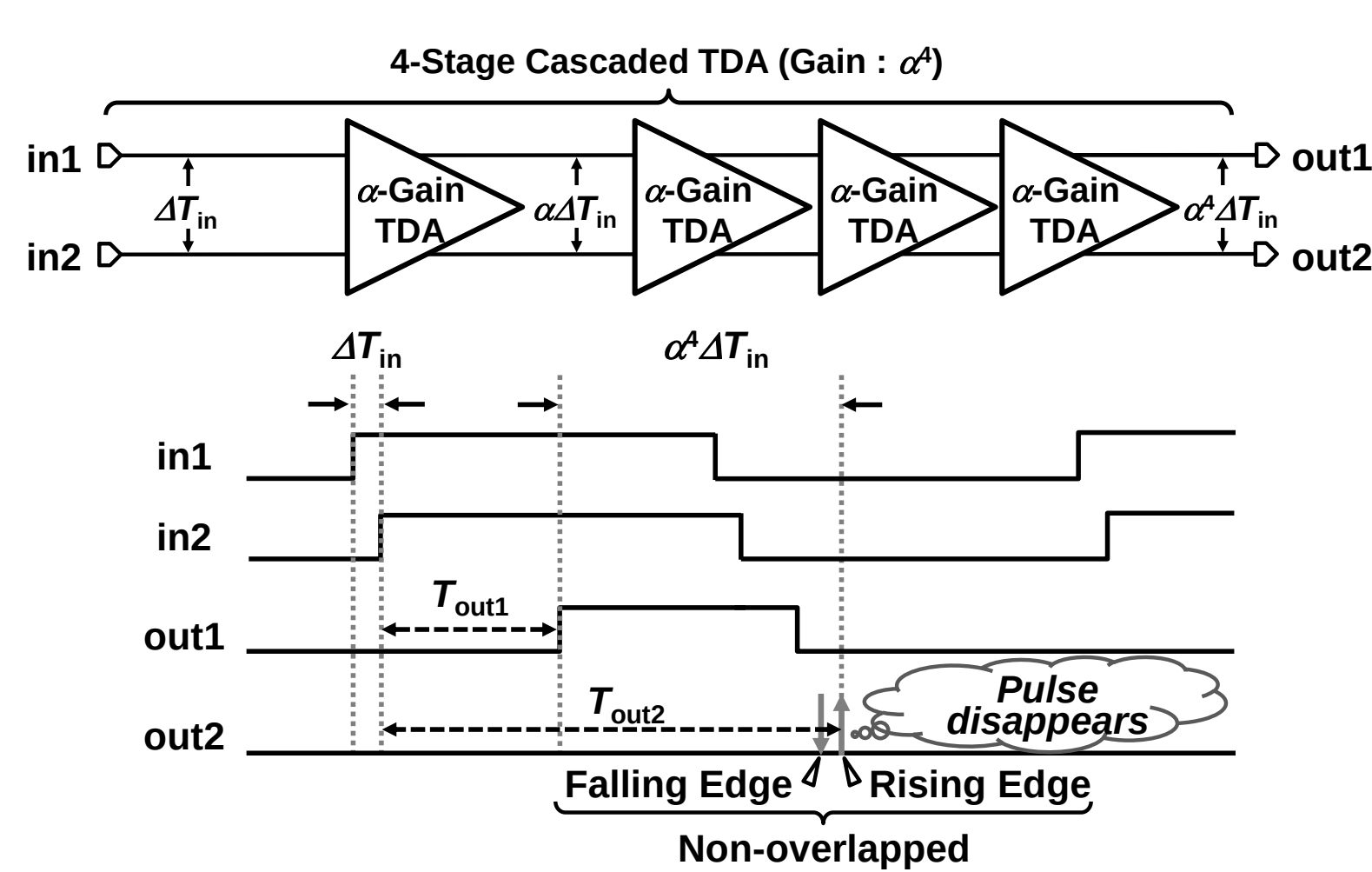


時間差増幅器によるジッタ増幅

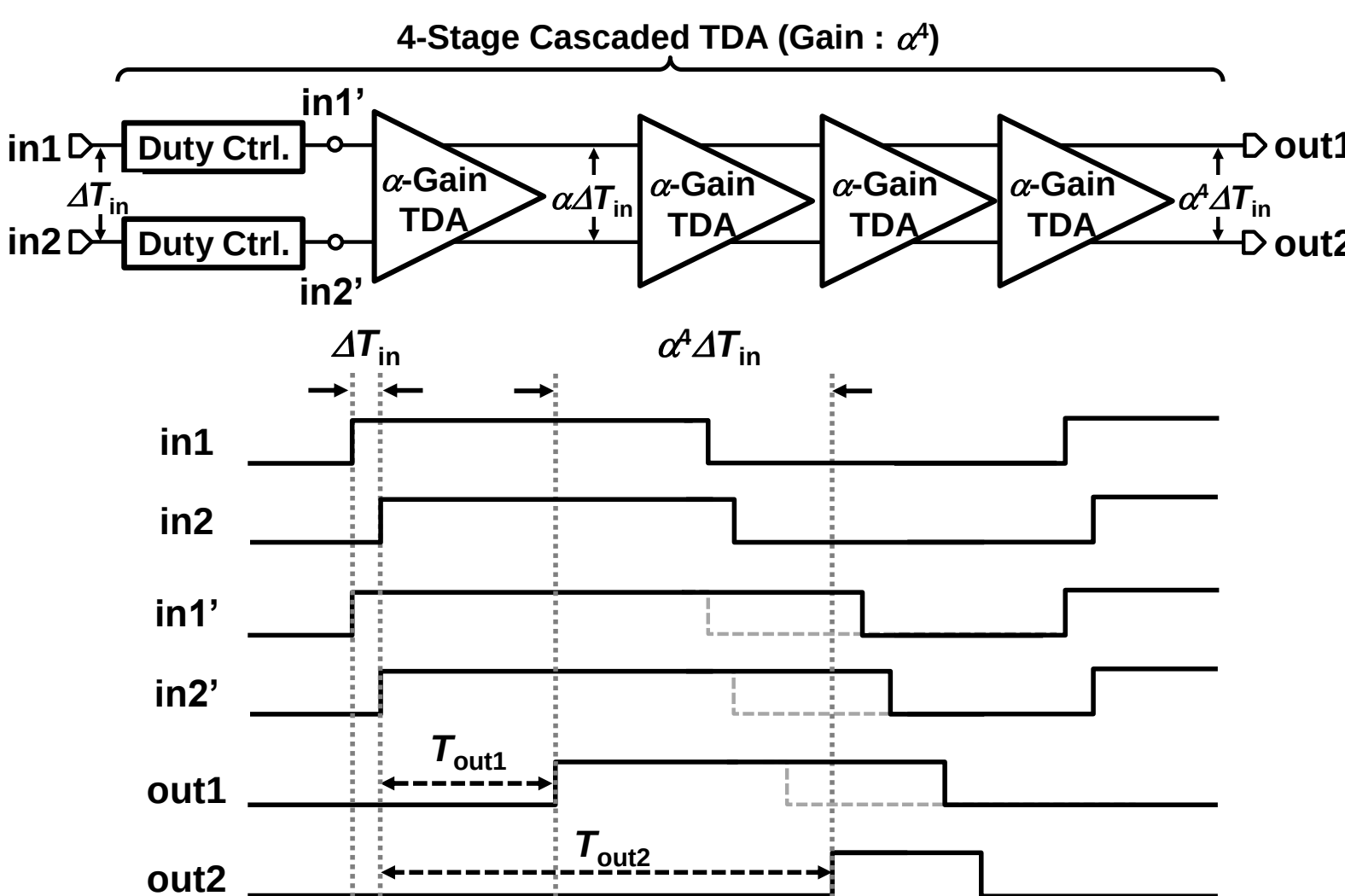
- 時間差増幅器を用いたジッタ増幅により 28 fs 分解能を達成
 - デジタル制御遅延線の分解能 : 4 ps
 - 自己参照クロックによる分布の広がり : $\times \sqrt{2}$
 - 4段のカスケード接続型時間差増幅器のゲイン : 約100
- 高ゲインの時間差増幅器は動作速度が低下
 - ➡ デューティサイクル補償 (670 MHz → 820 MHz)



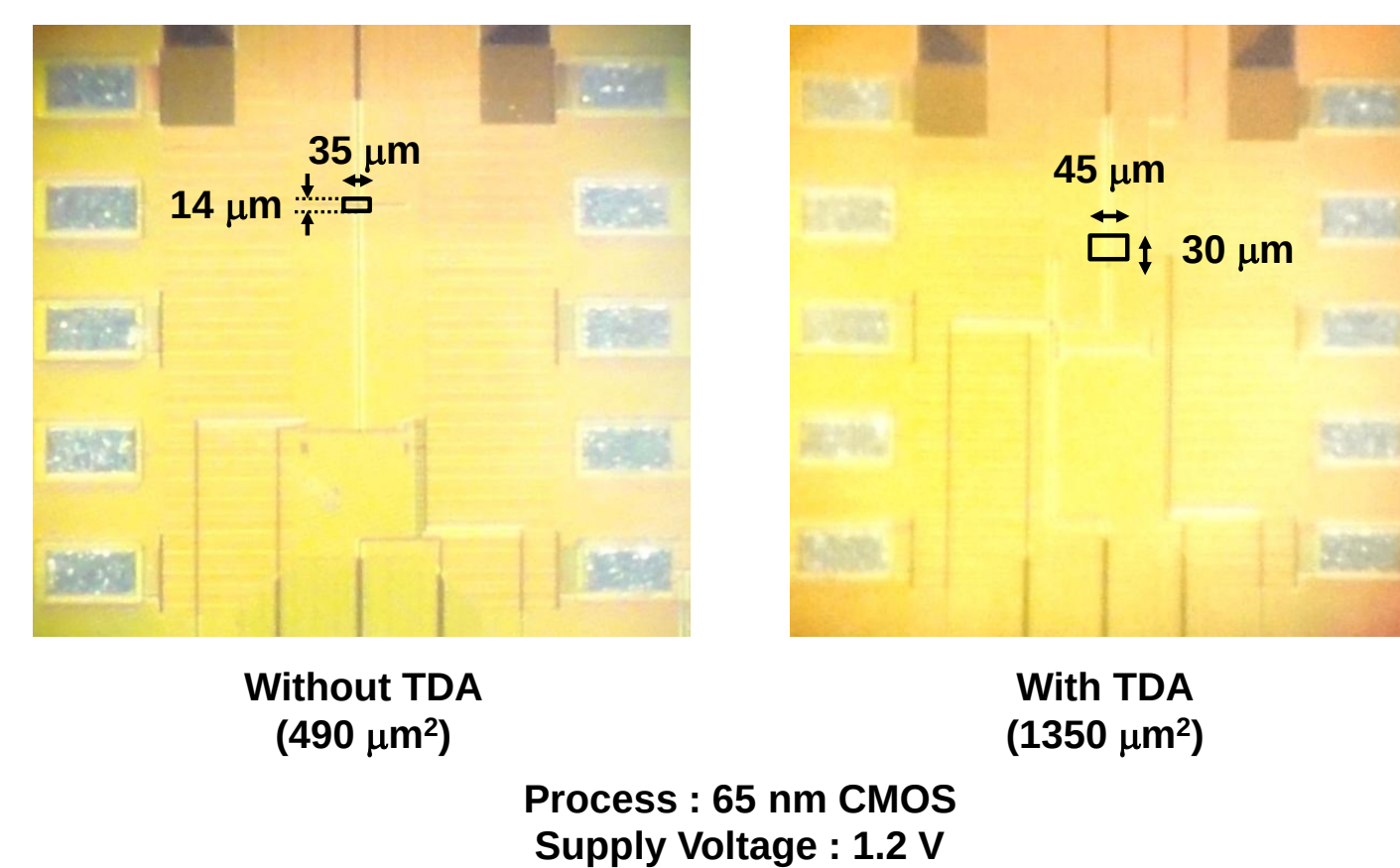
デューティサイクル補償の必要性



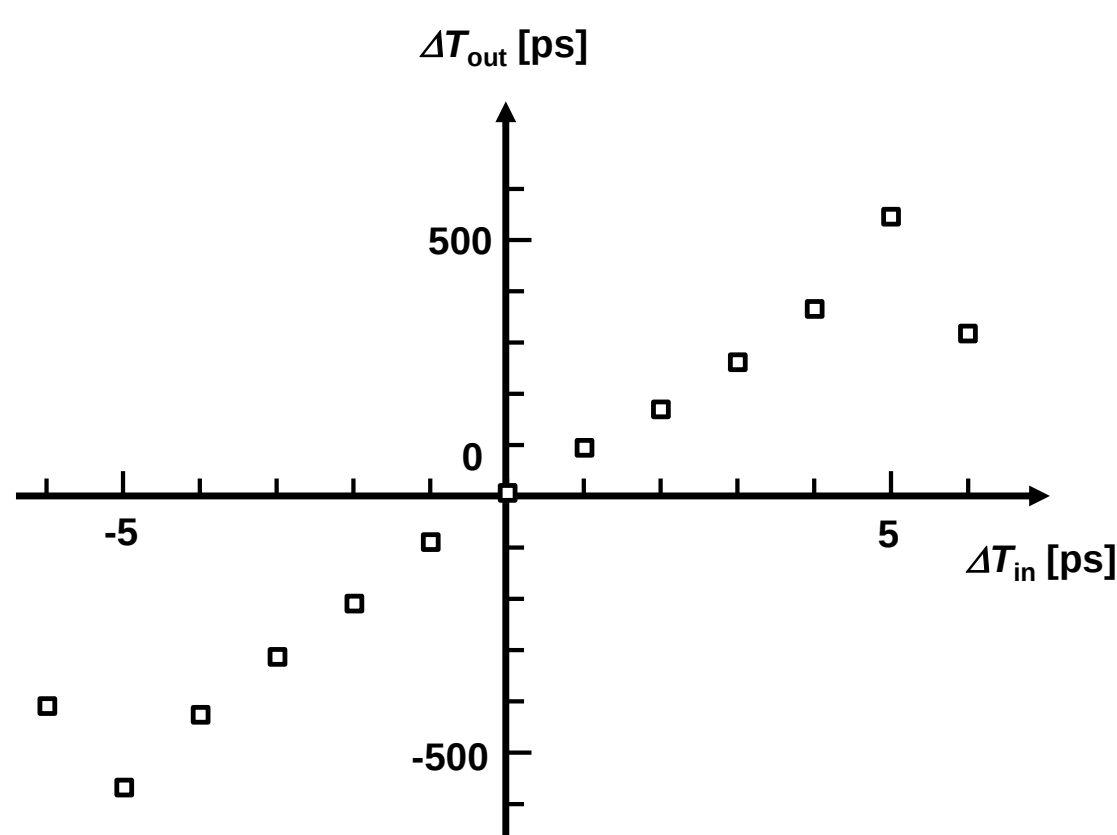
デューティサイクル補償の効果



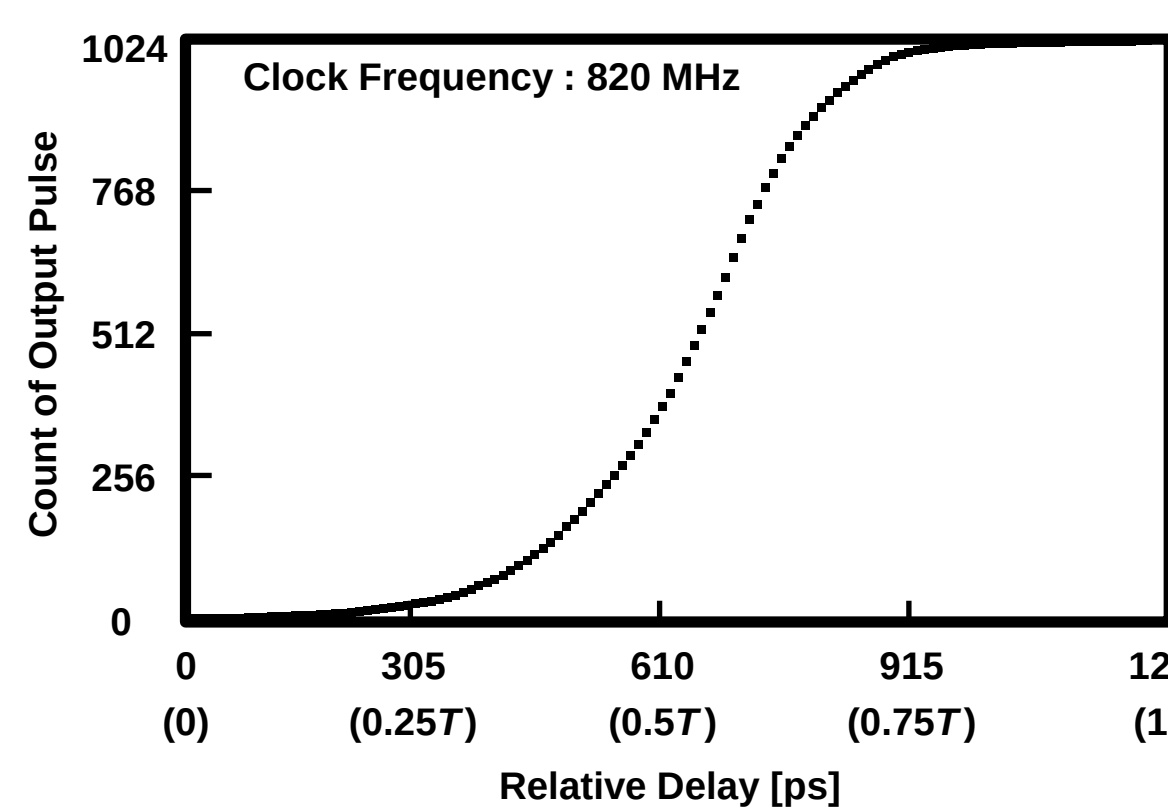
テストチップ写真



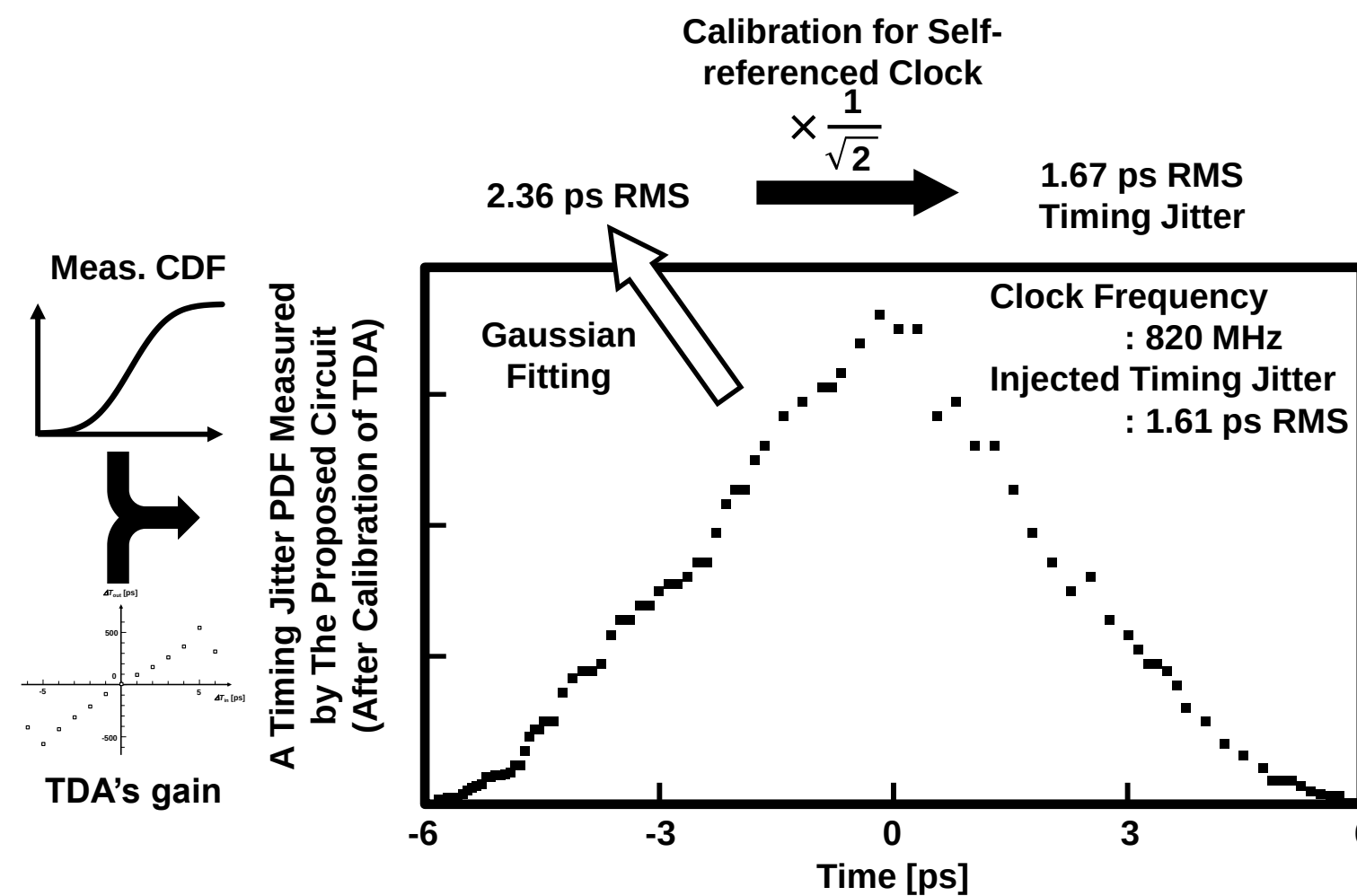
時間差増幅器のゲイン



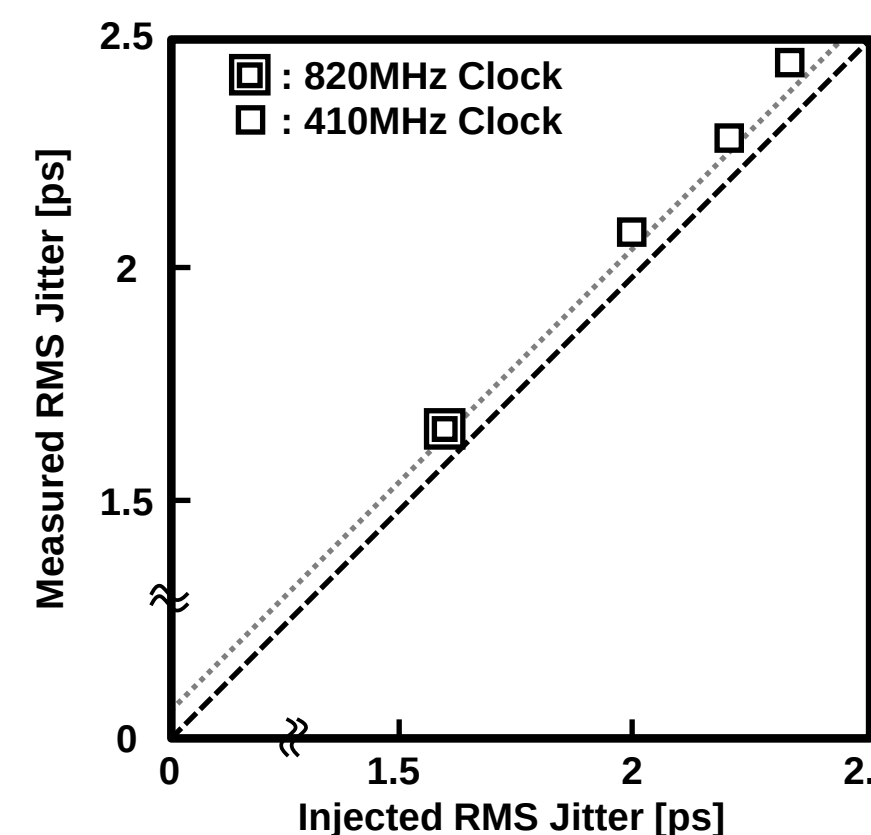
Cumulative Distribution Function (CDF)



Probability Distribution Function (PDF)



ジッタ測定結果



性能比較

	This Work w/o TDA	This Work w/ TDA	Conventional (1, IBM)	Conventional (2, Advantest)
Measured Jitter	Timing (√2 Times)	Timing (√2 Times)	Timing (Direct)	Timing (Σ Period)
Reference Clock	Unnecessary	Unnecessary	Necessary	Unnecessary
Output Signal	Digital	Digital	Digital	High-Speed Analog
Process	65 nm	65 nm	130 nm	130 nm
Frequency	3.5 GHz	820 MHz	2.5 GHz	2 GHz
Resolution	2.8 ps	28 fs	400 fs	N/A
Area	490 μm ²	1350 μm ²	3200 μm ²	117000 μm ² + I/O Pad

まとめ

- 参照クロック不要, 高分解能であるタイミングジッタ測定を実証
 - 自己参照クロックは参照クロックの要求を取り除く
 - カスケード接続型時間差増幅器により高分解能化が可能
- 65 nm CMOSで試作を行い, 提案回路の効果を検証
 - 1.61 ps RMSジッタ(誤差4%)の検出に成功
 - 820 MHz, 28 fs 分解能

関連発表論文および特許出願

- 1) K. Niitsu, M. Sakurai, N. Harigai, D. Hirabayashi, T. J. Yamaguchi, and H. Kobayashi, “A Reference-Clock-Free On-Chip Timing Jitter Measurement Circuit Using a Cascaded Time Difference Amplifier in 65nm CMOS,” accepted to *IEEE/ACM Asia and South Pacific Design Automations Conf. (ASP-DAC 2012, University LSI Design Contest)*, Jan. 2012.
- 2) N. Harigai, K. Niitsu, D. Oki, M. Sakurai, T. J. Yamaguchi, and H. Kobayashi, “A Twistedly-Cascaded Time Difference Amplifier for High Robustness Against Process Variation,” in *Proc. Int. Conf. on Solid-State Devices and Materials (SSDM 2011)*, Sep. 2011, pp. 184-185.
- 3) M. Sakurai, K. Niitsu, N. Harigai, D. Hirabayashi, D. Oki, T. J. Yamaguchi, and H. Kobayashi, “Analysis of Jitter Accumulation in Interleaved Phase Frequency Detectors for High-Accuracy On-Chip Jitter Measurements,” in *Proc. Int. Soc. Design Conf. (ISOC 2011)*, Nov. 2011, pp. 146-149.
- 4) K. Niitsu, M. Sakurai, N. Harigai, T. J. Yamaguchi, and H. Kobayashi, “An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation,” in *Proc. IEEE Asian Solid-State Circuits Conf. (A-SSCC 2011)*, Nov. 2011, pp. 201-204.
- 5) 新津葵一、針谷尚裕、櫻井正人、小林春夫、「時間差増幅回路」、出願番号:特願2011-206258、出願日:平成23年9月21日
- 6) 新津葵一、小林春夫、「オンチップジッタデータ取得回路、ジッタ測定装置、及びその方法」、出願番号:特願2010-219286、出願日:平成22年9月29日