

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-172467  
(P2013-172467A)

(43) 公開日 平成25年9月2日(2013.9.2)

(51) Int.Cl. F I テーマコード (参考)  
**HO2M 3/155 (2006.01)** HO2M 3/155 V 5H730  
 HO2M 3/155 H

審査請求 未請求 請求項の数 2 O L (全 15 頁)

(21) 出願番号 特願2012-32817 (P2012-32817)  
 (22) 出願日 平成24年2月17日 (2012.2.17)

(71) 出願人 504145364  
 国立大学法人群馬大学  
 群馬県前橋市荒牧町四丁目2番地  
 (71) 出願人 303046277  
 旭化成エレクトロニクス株式会社  
 東京都千代田区神田神保町一丁目105番地  
 (74) 代理人 110001243  
 特許業務法人 谷・阿部特許事務所  
 (72) 発明者 小堀 康功  
 群馬県桐生市天神町一丁目5番1号 国立  
 大学法人群馬大学内  
 (72) 発明者 小野澤 昌徳  
 群馬県桐生市天神町一丁目5番1号 国立  
 大学法人群馬大学内

最終頁に続く

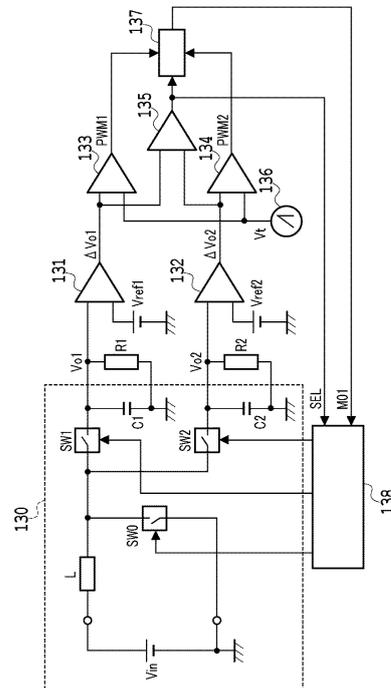
(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】 (修正有)

【課題】 負荷変動時の出力電圧リップルを小さくするとともに、クロスレギュレーションの影響を小さくするようにした単一インダクタ多出力DC/DC変換回路であるスイッチング電源回路を提供することにある。

【解決手段】 単一インダクタ多出力DC/DC変換回路は、複数のチャンネルを有し、該複数のチャンネルの各チャンネルからは、インダクタを時分割してスイッチングを行うことにより、それぞれの出力電圧を得る単一インダクタ多出力DC/DC変換回路と、前記の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に、該単一インダクタ多出力DC/DC変換回路の各チャンネルにおける出力電圧と所望の電圧との誤差が最も大きいチャンネルを選択し、該選択したチャンネルについてのみ、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力DC/DC変換回路の各出力電圧の制御を行う制御回路とを備えていることを特徴とする。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

単一インダクタ多出力 DC / DC 変換回路の各出力電圧を制御するスイッチング電源回路において、

入力電圧を複数の出力電圧に変換する単一インダクタ多出力 DC / DC 変換回路であって、該単一インダクタ多出力 DC / DC 変換回路は、複数のチャンネルを有し、該複数のチャンネルの各チャンネルからは、インダクタを時分割して、スイッチングを行うことにより、それぞれ 1 の出力電圧を得る、単一インダクタ多出力 DC / DC 変換回路と、

前記 1 の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に、該単一インダクタ多出力 DC / DC 変換回路の各チャンネルにおける出力電圧と所望の電圧との誤差が最も大きいチャンネルを選択し、該選択したチャンネルについてのみ、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力 DC / DC 変換回路の各出力電圧の制御を行う制御回路と

を備えていることを特徴とするスイッチング電源回路。

## 【請求項 2】

前記単一インダクタ多出力 DC / DC 変換回路は、

前記各チャンネルにおいて前記出力電圧と前記所望の電圧との誤差を出力するエラーアンプを備え、

前記制御回路は、

前記各チャンネルにおける前記エラーアンプの出力を比較して、前記各チャンネルのうちエラーアンプの出力の大きなチャンネルを選択して、該選択したチャンネルについてのみ、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力 DC / DC 変換回路の各出力電圧の制御を行うこと特徴とする請求項 1 に記載のスイッチング電源回路

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スイッチング電源回路に関し、より詳細には、負荷変動時の出力電圧リップルを小さくするとともに、クロスレギュレーションの影響を小さくするようにした単一インダクタ・マルチ出力スイッチング電源回路に関する。

## 【背景技術】

## 【0002】

近年の電子機器は、小型でありながらも高性能化や多機能化が進んでおり、これらの電子機器の電源は、入力電圧変動及び負荷変動などの外乱に対する高い出力電圧安定性や高速な負荷応答特性などといった高い性能が求められている。

## 【0003】

また、家庭用電源から AC / DC パワーサプライを用いてパソコンなどの DC 入力機器を用いる場合には、交流電源から平滑回路を用いて AC 整流を行なうが、非安定な直流電流しか得られないので、DC / DC コンバータを用いて安定な直流電流を得る必要がある。そのためには、DC 入力機器に各 IC の駆動電圧を生成するための DC / DC コンバータが組み込まれている。これらの DC / DC コンバータの求められる性能としては、高効率化や高速過渡応答などがある。これらの要求に答えるためには、DC / DC コンバータの制御部から改善しなければならない。また、DC / DC コンバータには小型化や低コスト化が求められている。そのためには、DC / DC コンバータのパワーステージから改善しなければならない。

## 【0004】

従来から知られているスイッチング電源装置として、PWM 制御による DC / DC コンバータがある。この PWM 制御による DC / DC コンバータは、パワーステージとして入力電圧を降圧又は昇圧するためのスイッチング素子やインダクタを含み、制御部としてパルス幅が入力信号に比例した PWM 信号によりスイッチング素子のオンオフを制御する P

10

20

30

40

50

WM変調器を備えている。

【0005】

また、近年、携帯電話を始め、電子機器の多機能化が進み、一つの電子機器に多くの電子部品が搭載されている。また、電子機器の小型化の要求もあり、単一のバッテリーで駆動される電子機器が普及しつつある。

【0006】

ところで、電子機器における各電子部品は、駆動するための電源電圧が異なるので、単一のバッテリーで電力を供給するためには、単一のバッテリーの電圧から各電子部品を駆動するための電源電圧を生成するDC/DCコンバータが、電子部品ごとに必要となる。ところが、電子部品ごとにDC/DCコンバータを用意することは、部品数の増加を招くという問題がある。そこで、電子部品ごとにDC/DCコンバータを用意するのではなく、インダクタを共有化、つまり、単一のインダクタで構成し、複数の電源電圧を生成する多出力電源装置が知られている（例えば、特許文献1参照）。

10

【0007】

DC/DCコンバータは、電源の出力電圧変化に応じてPWM信号のパルス幅を変化させて出力電圧を補正する性質があり、この特徴を生かして電源の設計をすることにより、スイッチング電源の出力状態に変化の少ない定常状態のときには、スイッチング電源のPWM信号のパルス幅の変化は少なくなる。一方、負荷電流が大きく変化して、電源の出力が変化する過渡状態のとき、PWM信号のパルス幅の変化は大きくなる。さらに、過渡状態のとき、スイッチング電源のスイッチング周波数を高くする等の工夫により出力電圧の急激な変化に対して高速な応答を可能とするといった動作が可能となる。

20

【0008】

図1(a)、(b)は、従来の多出力DC/DCコンバータを示す構成回路図である。図1(a)は、多出力DC/DCコンバータの構成回路図であり、図1(b)は、図1(a)に示された制御回路の具体的な回路構成図である。この図1(a)、(b)は、特許文献1に記載された図で、単一インダクタとPWM制御を用いた多出力DC/DCコンバータである。

【0009】

図1(a)に示された多出力DC/DCコンバータは、入力直流電源1に接続され入力直流電圧 $E_i$ が入力されている。この多出力DC/DCコンバータには、NチャンネルMOSFETの第1の主スイッチ21、PチャンネルMOSFETの第2の主スイッチ22、インダクタ31、ダイオードの第1の整流手段51、コンデンサの第1の平滑手段61、ダイオードの第2の整流手段52、コンデンサの第2の平滑手段62を備えている。さらに第1の主スイッチ21と第2の主スイッチ22をそれぞれ所定のオン期間とオフ期間で駆動する制御回路81が設けられている。第1の平滑手段61の両端には第1の負荷71が接続され、昇圧出力電圧 $V_{o1}$ が第1の負荷71へ出力される。第2の平滑手段62の両端には第2の負荷72が接続され、反転出力電圧 $V_{o2}$ が第2の負荷72へ出力される。入出力条件は、 $V_{o1} > E_i > 0 > V_{o2}$ である。第2の主スイッチ22がオン状態の時、第1の主スイッチ21とインダクタ31と第1の整流手段51と第1の平滑手段61が、昇圧コンバータとして動作する。一方、第1の主スイッチ21がオン状態の時は、第2の主スイッチ22とインダクタ31と第2の整流手段52と第2の平滑手段62が反転コンバータとして動作する。

30

40

【0010】

図1(b)において、抵抗801と抵抗802は昇圧出力電圧 $V_{o1}$ を検出し、抵抗803と抵抗804は反転出力電圧 $V_{o2}$ を検出する。各検出電圧は、誤差増幅器805及び誤差増幅器806によって基準電圧源807の基準電圧とそれぞれ比較され、昇圧出力用誤差信号 $V_{e1}$ と反転出力用誤差信号 $V_{e2}$ がそれぞれ出力される。抵抗801～804、誤差増幅器805、誤差増幅器806及び基準電圧源807により、検出回路90が構成されている。発振回路808は、所定の周期で電位が増減する三角波電圧 $V_t$ と、三角波電圧 $V_t$ が増加している時に“H”となり、減少している時に“L”となる信号 $V_t$

50

1 を出力する。比較器 809 は昇圧出力用誤差信号  $V_{e1}$  と三角波電圧  $V_t$  とを比較する。比較器 810 は反転出力用誤差信号  $V_{e2}$  と三角波電圧  $V_t$  とを比較する。各比較器 809, 810 の出力信号は、それぞれ AND 回路 811 及び 812 によって信号  $V_{t1}$  との論理積を示す信号  $V_1$  及び信号  $V_2$  として出力される。ここで、信号  $V_1$  は昇圧出力用パルス信号であり、信号  $V_2$  は反転出力用パルス信号である。比較器 809, 810 と AND 回路 811, 812 とにより PWM 回路 91 が構成されている。分周回路である T フリップフロップ 813 には信号  $V_{t1}$  が入力され、信号  $V_{t2}$  を出力する。OR 回路 814 には信号  $V_1$  と信号  $V_{t2}$  が入力され、駆動信号  $V_{g21}$  を出力する。駆動信号  $V_{g21}$  は N チャネル MOSFET である第 1 の主スイッチ 21 を駆動し、“H” で第 1 の主スイッチ 21 をオン状態にする。NOR 回路 815 は信号  $V_2$  と信号  $V_{t2}$  の反転信号が入力され、駆動信号  $V_{g22}$  を出力する。駆動信号  $V_{g22}$  は P チャネル MOSFET である第 2 の主スイッチ 22 を駆動し、“L” で第 2 の主スイッチ 22 をオン状態にする。駆動信号  $V_{g21}$  と駆動信号  $V_{g22}$  が主スイッチ駆動信号である。OR 回路 814 及び NOR 回路 815 により論理回路 92 が構成されている。

10

【0011】

また、非特許文献 1 及び 2 には、単一インダクタ正負 2 出力 DC / DC コンバータが記載されている。

【先行技術文献】

【特許文献】

【0012】

20

【特許文献 1】特開 2003 - 164143 号公報

【非特許文献】

【0013】

【非特許文献 1】電気情報通信学会論文「擬似連続モードを用いた単一インダクタ正負 2 出力 DC - DC コンバータの検討」(津志田健吾他 8 名 第 22 回 回路とシステム(軽井沢)ワークショップ)

【非特許文献 2】第 22 回 回路とシステム軽井沢ワークショップ「単一インダクタ正負 2 出力 DC - DC コンバータの検討」(津志田健吾他 13 名 4.19 ~ 20、2010)

【発明の概要】

30

【発明が解決しようとする課題】

【0014】

$n$  個 ( $n$  は 2 以上の整数) のチャンネルの電源の昇降圧動作を均等に時分割して制御する多出力 DC / DC コンバータにおいて、1 つのチャンネルの出力端子における負荷電流が大きく変動して出力電圧が変動した場合、そのチャンネルの出力電圧が安定するまでに多くの時間を必要とし、出力電圧リップルが大きくなるという問題がある。一般的に、1 出力 DC / DC コンバータでは、負荷電流が大きく変化してから安定するまで 10 スイッチングサイクル以上の時間が必要であり、 $n$  個のチャンネルを有する他出力 DC / DC コンバータでは、その  $n$  倍の時間が必要となり、出力電圧リップルが大きくなる。また、1 つのチャンネルの負荷電流が変動して、一つの出力端子の出力電圧の昇降圧動作から他の出力端子の出力電圧の昇降圧動作に切り替えたとき、前の昇降圧動作時にインダクタに充電した充電電流が、他の出力端子に漏れるという問題がある。すなわち、一つの出力端子に転送すべき充電電流が、他の出力端子に転送されてその出力電圧が変動するクロスレギュレーションの影響が大きいという問題がある。

40

【0015】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、負荷変動時の出力電圧リップルを小さくするとともにクロスレギュレーションの影響を小さくするようにした単一インダクタ多出力 DC / DC 変換回路であるスイッチング電源回路を提供することにある。

【課題を解決するための手段】

50

## 【0016】

本発明は、このような目的を達成するためになされたもので、その目的とするところは、クロスレギュレーションの影響を小さくするようにした単一インダクタ多出力DC/DC変換回路であるスイッチング電源回路を提供することにある。

## 【0017】

単一インダクタ多出力DC/DC変換回路の各出力電圧を制御する本発明のスイッチング電源回路は、入力電圧を複数の出力電圧に変換する単一インダクタ多出力DC/DC変換回路であって、該単一インダクタ多出力DC/DC変換回路は、複数のチャネルを有し、該複数のチャネルの各チャネルからは、インダクタを時分割して、スイッチングを行うことにより、それぞれ1の出力電圧を得る、単一インダクタ多出力DC/DC変換回路と、前記1の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に、該単一インダクタ多出力DC/DC変換回路の各チャネルにおける出力電圧と所望の電圧との誤差が最も大きいチャネルを選択し、該選択したチャネルについてのみ、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力DC/DC変換回路の各出力電圧の制御を行う制御回路とを備えていることを特徴とする。

10

## 【0018】

また、本発明の単一インダクタ多出力DC/DC変換回路は、前記各チャネルにおいて前記出力電圧と前記所望の電圧との誤差を出力するエラーアンプをさらに備えており、前記エラーアンプの出力を比較して、前記各チャネルのうちエラーアンプの出力の大きなチャネルを選択して、該選択したチャネルについてのみ、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力DC/DC変換回路の各出力電圧の制御を行う制御回路とを備えていることを特徴とする。

20

## 【発明の効果】

## 【0019】

以上説明したように、本発明によれば、各チャネルにおける出力信号の値と所望の値との誤差が最も大きいチャネルのスイッチングを行うため、負荷変動による出力電圧の変化を最小に抑え、つまり負荷変動時の出力電圧リップルを小さくできるとともにクロスレギュレーションの影響を小さくすることが可能となる。

## 【0020】

また、クロスレギュレーションの影響を小さくする装置は、従来は複雑な構成を必要とするが、本発明では、クロスレギュレーションの影響を小さくする方法をチャネル選択のみで行うため、構成が簡単で、単一インダクタ多出力DC/DC変換回路の省スペース化を図ることができる。

30

## 【図面の簡単な説明】

## 【0021】

【図1】従来の多出力DC/DCコンバータを示す構成回路図で、(a)は、多出力DC/DCコンバータの構成回路図であり、(b)は、(a)に示された制御回路の具体的な回路構成図である。

【図2】従来から用いられていたPWM制御によるスイッチング電源回路の構成ブロック図で、(a)はスイッチング電源回路の全体構成図、(b)は鋸歯状波とエラーアンプ(誤差増幅器)の出力の関係を示す図、(c)は、PWM回路の出力信号を示す図である。

40

【図3】単一インダクタ2出力DC/DC変換回路を説明するための図で、(a)は従来の2出力DC/DC変換回路、(b)は単一インダクタ2出力DC/DC変換回路を示す図である。

【図4】単一インダクタ2出力DC/DC変換回路の原理図で、(a)は、2出力昇圧コンバータの回路構成図、(b)はそのインダクタの電流波形を示す図である。

【図5】多出力DC/DC変換回路におけるクロスレギュレーションを説明するための図である。

【図6】本発明に係る多出力DC/DC変換回路を備えたスイッチング電源回路を説明するための回路構成図である。

50

【図7】図6におけるスイッチ制御回路の具体的な回路構成図で、(a)はセレクタ及び第3のコンパレータの出力を受けて各スイッチを操作する概念図、(b)はスイッチ制御回路の回路構成図、(c)は真理値表を示す図である。

【図8】図6に示した本発明のスイッチング電源回路の負荷電流変化と制御比率CDの変化の出力シミュレーション結果を示す図である。

【発明を実施するための形態】

【0022】

本発明に係るスイッチング電源回路の実施例について説明する前に、まずPWM制御によるスイッチング電源回路について以下に説明する。

【0023】

図2(a)、(b)は、PWM制御によるスイッチング電源回路を説明するための図で、図2(a)はスイッチング電源回路の全体構成図、図2(b)は、鋸歯状波とエラーアンプ(増幅誤差器)との関係を示す図である。

【0024】

図2(a)において、入力電圧がDC/DC変換回路(DC/DCコンバータ)101に入力されると、入力電圧が昇圧もしくは降圧されて、出力電圧が出力される。その出力電圧がエラーアンプ102に入力され、基準電圧Vrefからの誤差に対応する誤差信号がPWM回路105に出力される。そして、PWM回路105を構成するコンパレータ103によって鋸歯状波発生回路104からの鋸歯状波とエラーアンプ102からの誤差信号とが比較される。ここで鋸歯状波とエラーアンプの誤差信号との関係は、例えば図2(b)のようになる。つまり、鋸歯状波の1周期が1のスイッチングサイクルとなり、スイッチングサイクルごとにエラーアンプ102の誤差信号は変化し、PWM回路105の制御信号は、図2(c)のような、パルス幅の異なる信号が出力される。ここで、パルス幅はスイッチング電源回路の出力電圧の基準電圧からの誤差に対応する。スイッチ制御回路106を介して、DC/DC変換回路101でパルス幅に応じたスイッチング動作が行われ、入力電圧を昇圧もしくは降圧した出力電圧が、スイッチング電源回路の出力電圧として得られる。

【0025】

次に、多出力DC/DC変換回路について以下に説明する。

【0026】

図3(a)(b)は、単一インダクタ2出力DC/DC変換回路を説明するための図で、図3(a)は、従来の2出力DC/DC変換回路、図3(b)は、単一インダクタ2出力DC/DC変換回路を示している。

【0027】

従来の2出力DC/DC変換回路111a、111bは、インダクタLが2個必要であり、サイズもコストも大きい。これに対して、単一のインダクタ2出力DC/DC変換回路112は、インダクタLが1個であり、サイズもコストも小さい。

【0028】

図3(a)に示すように、電子機器における各電子部品は、駆動するための電源電圧が異なるので、単一のバッテリーで電力を供給するためには、単一のバッテリーの電圧から各電子部品を駆動するための電源電圧を生成するDC/DC変換回路が、電子部品ごとに必要となる。ところが、電子部品ごとにDC/DC変換回路を用意することは、部品数の増加を招くという問題がある。そこで、電子部品ごとにDC/DC変換回路を用意するのではなく、図3(b)のように、インダクタを共有化、つまり、単一のインダクタで構成し、複数の電源電圧を生成する多出力電源装置が必要になる。つまり、単一インダクタ多出力(SIMO(Single-Inductor, Multiple Output))DC/DC変換回路が有用である。

【0029】

図4(a)、(b)は、単一インダクタ2出力DC/DC変換回路の原理図で、図4(a)は、単一インダクタ2出力DC/DC変換回路の回路構成図、図4(b)は、そのイ

10

20

30

40

50

ンダクタ電流波形を示している。

【0030】

単一インダクタ2出力DC/DC変換回路121は2つのチャンネルを有し、第1のチャンネルからは第1の出力電圧 $V_{o1}$ が得られ、第1の電源を構成する。また、第2のチャンネルからは第2の出力電圧 $V_{o2}$ が得られ、第2の電源を構成する。

【0031】

まず、第1のチャンネルは、入力電圧 $V_{in}$ を入力する電源EとインダクタLとスイッチSW0及びSW1と容量C1から構成される。ここで、インダクタLの一端は電源Eのプラス側に接続され、他端はスイッチSW0およびSW1に接続される。また、スイッチSW0の一端は、グラウンドに接地されている。スイッチSW1は、容量C1と抵抗R1の一端に接続され、第1の出力電圧 $V_{o1}$ を得る第1の電源を構成する。容量C1と抵抗R2の他端は、それぞれグラウンドに接地されている。また、容量C1の両端は、電子機器等の負荷R1に接続される。

10

【0032】

次に、第2のチャンネルは、入力電圧 $V_{in}$ を入力する電源EとインダクタLとスイッチSW0及びSW2と容量C2から構成される。ここで、インダクタLの一端は電源Eのプラス側に接続され、他端はスイッチSW0およびSW2に接続される。また、スイッチSW0の一端は、グラウンドに接地されている。スイッチSW2は、容量C2と抵抗R2の一端に接続され、第2の出力電圧 $V_{o2}$ を得る第2の電源を構成する。容量C2と抵抗R2の他端は、それぞれグラウンドに接地されている。また、容量C2の両端は、電子機器等の負荷R2に接続される。

20

【0033】

次に、図4(a)に示した単一インダクタ2出力DC/DC変換回路121の動作を説明する。このときのインダクタLに流れる充電電流 $I_L$ の波形を図4(b)に例示する。例示した波形は、スイッチSW0～SW2をPWM信号によりスイッチング動作を行ったときの波形であり、安定した定常状態における波形である。

【0034】

単一インダクタ2出力DC/DC変換回路121は、2つの出力電圧 $V_{o1}$ 、 $V_{o2}$ を得るために、容量C1、C2に電荷を充電する上記スイッチングサイクルを2つ設けて、インダクタを時分割して利用することで、充電を行う。すなわち、2つのサイクルのうち、1つ目のサイクル(第1のスイッチングサイクル)では、第1の電源として第1の出力電圧 $V_{o1}$ を得るための昇圧動作を行い、2つのサイクルのうち2つ目のサイクル(第2のスイッチングサイクル)では、第2の電源として第2の出力電圧 $V_{o2}$ を得るための昇圧動作を行う。第1のスイッチングサイクル及び第2のスイッチングサイクルの時間は、それぞれ鋸歯状波の1つの周期の時間と等しく、均等に交互に制御される。

30

【0035】

まず、第1のスイッチングサイクルにおいて、スイッチSW2はオフし、スイッチSW0、SW1のオンオフで昇圧動作を行う。最初にスイッチSW0がオンし、スイッチSW1がオフして、インダクタLに充電電流が充電される(1up:図4(b)の $V_{o1}$ 期間の上り傾斜部)。次に、スイッチSW0がオフし、スイッチSW1がオンして、インダクタLに充電された充電電流が容量C1に放電され、容量C1は充電される(1down:図4(b)の $V_{o1}$ 期間の下り傾斜部)。そして、第1の出力電圧 $V_{o1}$ が得られる。このとき、1周期に対する上り傾斜部の時間の比率を時比率(デューティ)と呼び、デューティは、入力電圧 $V_{in}$ と出力電圧 $V_{o1}$ との比率により決定される。

40

【0036】

次に、第2のスイッチングサイクルにおいて、スイッチSW1はオフし、スイッチSW0、SW2のオンオフで昇圧動作を行う。最初にスイッチSW0がオンし、スイッチSW2がオフして、インダクタLに充電電流が充電される(2up:図4(b)の $V_{o2}$ 期間の上り傾斜部)。次にスイッチSW0がオフし、スイッチSW2がオンして、インダクタLに充電された充電電流が容量C2に放電され、容量C2は充電される(2down:図

50

4 ( b ) の  $V_{o2}$  期間の下り傾斜部)。そして第 2 の出力電圧  $V_{o2}$  が得られる。このような回路によってインダクタを時分割して交互に利用することで、2 つの出力電圧を得ることができる。この場合もデューティは、入力電圧  $V_{in}$  と出力電圧  $V_{o2}$  の比率により決定される。

【 0 0 3 7 】

図 5 は、P W M 制御方式の多出力 D C / D C 変換回路におけるクロスレギュレーションの影響を説明するための図である。多出力電源において、片方の電源の出力で負荷電流が変動した場合、他方の電源の出力電圧に変動 ( リプル ) が現れる現象をクロスレギュレーションという。第 1 の出力電圧  $V_{o1}$  側の負荷が重負荷になり、第 2 の出力電圧  $V_{o2}$  が定常状態のときのクロスレギュレーションの様子を図 5 に示す。

10

【 0 0 3 8 】

つまり、複数の出力を取り出す場合、ある出力が他の出力に与える影響である。図 4 ( a ) に示す 2 出力 D C / D C コンバータの場合、片方の出力で負荷変動が生じると、スイッチに与える P W M 信号のパルス幅が変動する。例えば、第 1 の出力電圧側の負荷が重負荷になったとき、第 1 のスイッチングサイクルにおいて、スイッチ S W 0、S W 1 に与えられる P W M 信号のパルス幅は大きくなる。すなわち、インダクタに充電される充電電流  $I_L$  は大きくなる。そして、充電電流  $I_L$  が容量 C 1 にすべて放電される前に、第 2 のスイッチングサイクルに移行するため、第 2 のスイッチングサイクルにおいて、放電されなかった充電電流  $I_L$  が容量 C 2 に一部充電され、第 2 の出力  $V_{o2}$  に変動が生じるという問題がある。

20

【 0 0 3 9 】

P W M 制御の場合、第 1 の出力において負荷変動が生じ、第 2 の出力が定常状態のとき、1 つのスイッチングサイクルにおいて一方の電源しか制御できないため、チャンネルの出力電圧が安定するまでに多くの時間を必要とし、出力リプルが大きくなる。つまり、第 1 のスイッチングサイクルと第 2 のスイッチングサイクルとが交互にしかこないため、パルス幅を調整して出力誤差電圧を小さくするのに、次の第 1 のスイッチングサイクルまで待たなければならず、出力電圧リプルは大きくなり、ひいてはクロスレギュレーションの影響が大きくなる。一方で、出力電圧誤差が大きなチャンネルの出力電圧のみを優先的に制御できれば、出力電圧リプルを短時間で小さくすることができることがわかる。

30

【 0 0 4 0 】

以下、図面を参照して本発明の実施例について説明する。

【 0 0 4 1 】

図 6 は、本発明に係る単一インダクタ 2 出力 D C / D C 変換回路を備えたスイッチング電源回路を説明するための回路構成図である。

【 0 0 4 2 】

本発明に係るスイッチング電源回路は、単一インダクタ 2 出力 D C / D C 変換回路 ( デュアル昇圧コンバータ ) 1 3 0 と、第 1 の出力電圧  $V_{o1}$  及び第 1 の基準電圧  $V_{ref1}$  を入力する第 1 のエラーアンプ ( 誤差増幅器 ) 1 3 1 と、この第 1 のエラーアンプ 1 3 1 及び鋸歯状波発生回路 1 3 6 に接続された第 1 のコンパレータ ( 比較器 ) 1 3 3 と、第 2 の出力電圧  $V_{o2}$  及び第 2 の基準電圧  $V_{ref2}$  を入力する第 2 のエラーアンプ ( 誤差増幅器 ) 1 3 2 と、この第 2 のエラーアンプ 1 3 2 及び鋸歯状波発生回路 1 3 6 に接続された第 2 のコンパレータ ( 比較器 ) 1 3 4 と、この第 1 のコンパレータ 1 3 3 及び第 2 のコンパレータ 1 3 4 に接続された第 3 のコンパレータ 1 3 5 ( 比較器 ) と、第 1 のコンパレータ 1 3 3 の出力、第 2 のコンパレータの出力 1 3 4 及び第 3 のコンパレータ 1 3 5 の出力とを入力するセレクトア 1 3 7 と、第 3 のコンパレータ 1 3 5 の出力及びセレクトア 1 3 7 の出力を入力するスイッチ制御回路 1 3 8 から構成されている。なお、単一インダクタ 2 出力 D C / D C 変換回路 1 3 0 については、図 4 ( a ) に示した単一インダクタ 2 出力 D C / D C 変換回路 1 2 1 と等しい。

40

【 0 0 4 3 】

つまり、本発明に係るスイッチング電源回路は、単一インダクタ 2 出力 D C / D C 変換

50

回路を備えており、2電源の誤差アンプの出力の比較により、PWMクロック周期毎（スイッチングサイクル毎）に制御対象となる電源を決定し、スイッチング素子を切り替え制御する。このスイッチング電源回路は2つのチャンネルを有し、第1のチャンネルからは第1の出力電圧 $V_{o1}$ が得られ、第1の電源を構成する。また、第2のチャンネルからは第2の出力電圧 $V_{o2}$ が得られ、第2の電源を構成する。また、本発明のスイッチング電源回路は、第3のコンパレータ135とセレクタ137とスイッチ制御回路138とで単一インダクタ差出力DC/DC変換回路130を各チャンネルにおける出力信号との所望の値との誤差が最も大きいチャンネルを選択し、その選択したチャンネルをスイッチング制御する制御回路を構成する。

【0044】

入力電圧が単一インダクタ2出力DC/DC変換回路130に入力されると、その出力電圧が、第1及び第2のエラーアンプ131、132と第1及び第2のコンパレータ133、134と第3のコンパレータ135とセレクタ137とスイッチ制御回路138とを介して制御され、単一インダクタ2出力DC/DC変換回路130からの出力電圧を得る。

【0045】

図6に示した本発明のスイッチング電源回路の動作を以下に説明する。

【0046】

本発明のスイッチング電源回路は、2つの出力電圧 $V_{o1}$ 、 $V_{o2}$ を得るために、容量 $C1$ 、 $C2$ に電荷を充電するためのスイッチングサイクルを設けて、インダクタを時分割して利用することで、充電制御を行う。すなわち、2つのスイッチングサイクルのうち第1のスイッチングサイクルでは、第1の電源として第1の出力電圧 $V_{o1}$ を得るための昇圧動作を行い、2つのスイッチングサイクルのうち第2のスイッチングサイクルでは、第2の電源として第2の出力電圧 $V_{o2}$ を得るための昇圧動作を行う。

【0047】

まず、第1のスイッチングサイクルにおいて、スイッチ $SW2$ はオフし、スイッチ $SW0$ 、 $SW1$ のオンオフで昇圧動作を行う。最初にスイッチ $SW0$ がオンし、スイッチ $SW1$ がオフして、インダクタ $L$ に充電電流が充電される。次に、スイッチ $SW0$ がオフし、スイッチ $SW1$ がオンして、インダクタ $L$ に充電された充電電流が容量 $C1$ に放電され、容量 $C1$ はわずかに充電される。そして、インダクタ $L$ の充放電の動作を1つのスイッチングサイクルの間、繰り返すことで、第1の出力電圧 $V_{o1}$ が得られる。つまり、1つのスイッチングサイクルの間、1個ずつのパルスがスイッチ $SW0$ 、 $SW1$ に入力されて、昇圧動作が行われる。

【0048】

第1の出力電圧 $V_{o1}$ は、第1のエラーアンプ131によって基準電源電圧 $V_{ref1}$ と比較され、第1の出力誤差電圧 $V_{o1}$ が出力される。基準電源電圧 $V_{ref1}$ は、所望の第1の出力電圧に対応した電圧である。鋸歯状波発生回路136は、所定の周期で電圧が始点から終点に向かって線形に増加し、終点と次の周期の始点とが直線で結ばれる鋸歯状波電圧 $V_t$ を出力する。第1のコンパレータ133は第1の出力用誤差電圧 $V_{o1}$ と鋸歯状波電圧 $V_t$ とを比較してPWM信号PWM1を出力する。なお、スイッチングサイクルの周期は、鋸歯状波電圧 $V_t$ の周期と等しい。

【0049】

次に、第2のスイッチングサイクルにおいて、スイッチ $SW1$ はオフし、スイッチ $SW0$ 、 $SW2$ のオンオフで昇圧動作を行う。最初にスイッチ $SW0$ がオンし、スイッチ $SW2$ がオフして、インダクタ $L$ に充電電流が充電される。次に、スイッチ $SW0$ がオフし、スイッチ $SW2$ がオンして、インダクタ $L$ に充電された充電電流が容量 $C2$ に放電され、容量 $C2$ は充電される。そして、インダクタ $L$ に充電された充電電流が容量 $C2$ に放電され、第2の出力電圧 $V_{o2}$ が得られる。

【0050】

第2の出力電圧 $V_{o2}$ は、第2のエラーアンプ132によって基準電源電圧 $V_{ref2}$

10

20

30

40

50

と比較され、第2の出力誤差電圧  $V_{o2}$  が出力される。基準電源電圧  $V_{ref2}$  は、所望の第2の出力電圧に対応した電圧である。第2のコンパレータ134は第2の出力用誤差電圧  $V_{o2}$  と鋸歯状波電圧  $V_t$  とを比較してPWM信号PWM2を出力する。

#### 【0051】

ここで、制御対象となる電源は、第1の出力誤差電圧  $V_{o1}$  と、第2の出力誤差電圧  $V_{o2}$  とを比較して、出力誤差電圧  $V_o$  の大きい方の電源に決定される。この比較は第3のコンパレータ135によって行われる。第3のコンパレータ135は、第1の出力誤差電圧  $V_{o1}$  と、第2の出力誤差電圧  $V_{o2}$  とを比較して、出力誤差電圧  $V_o$  の大きい方の電源を選択する旨の選択信号SELを、セレクタ137及びスイッチ制御回路138に送信する。例えば、1つのスイッチングサイクルの開始時に  $V_{o1}$  と  $V_{o2}$  を比較して、そのクロック周期の制御対象を  $V_{o1}$  と  $V_{o2}$  のどちらか大きい方の電源に決定する。今クロックの開始時に  $V_{o1}$  が  $V_{o2}$  より大きい場合、第1の電源を制御対象に決定し、その制御周期ではセレクタ137は第1のコンパレータの出力であるPWM1を適用して、インダクタのスイッチSW0とSW1をON/OFF制御して、出力コンデンサC1に電荷を供給して出力電圧  $V_{o1}$  を補正制御する。その結果により  $V_{o1}$  はわずかに変化し、次のクロックの開始時に再度  $V_{o1}$  と  $V_{o2}$  を比較して新たな制御対象を決定する。この結果、 $V_{o2}$  の方が大きくなった場合、今度は第2のコンパレータ134の出力であるPWM2を適用して、インダクタLのスイッチSW0とスイッチSW2をON/OFF制御駆動して、出力コンデンサC2に電荷を供給し出力電圧  $V_{o2}$  を制御駆動する。以降、この動作を繰返す。

10

20

#### 【0052】

以上の結果、逐次  $V_{o1}$  と  $V_{o2}$  を比較して、適切な電源のスイッチを制御することにより、2つの異なる出力電圧は正確に制御出力される。この場合、2つの出力電圧や負荷電流に依存することなく制御される。

#### 【0053】

負荷変動が生じるとクロスレギュレーションが生じやすくなり、そのため電圧が不安定になり出力電圧誤差が大きくなる。出力電圧誤差が大きいほうの電源を優先的に選択せず、各電源を交互に補正制御している場合（第1及び第2のスイッチングサイクルが交互に繰り返される場合）、1つの制御期間（スイッチングサイクル）が終了すると次の制御期間（スイッチングサイクル）は、他の電源の制御期間であり、制御できる頻度は半分になるため出力電圧を続けて補正制御できないことになる。ここで、出力電圧誤差が大きい方の電源を優先的に制御対象とすることにより、制御対象となった電源は、誤差を縮小する方向に制御され、誤差が大きいほうの電源を安定化させる。そのため、各電源を一定の期間交互に制御するような場合よりも、負荷電流に変動があった場合、出力電圧が安定するまでの時間を早くすること、つまり負荷応答特性を高速化することができるため、出力電源リップルを小さくし、ひいてはクロスレギュレーションの影響をすばやく減少することができる。すなわち、出力電圧リップルの発生時間（出力電圧と所望の電圧との誤差が大きくなっている時間）を短くすることにより、1つのチャンネルへ流すべき充電電流が他のチャンネルに漏れる量を少なくしてクロスレギュレーションを低減できる。

30

40

#### 【0054】

図7(a)乃至(c)は、図6におけるスイッチ制御回路の具体的な回路構成図で、図7(a)は、セレクタ137の選択信号SEL及び第3のコンパレータ135の出力により選択されたPWM1又はPWM2の出力を受けて各スイッチを操作する概念図、図7(b)は、スイッチ制御回路の回路構成図、図7(c)は、真理値表を示している。

#### 【0055】

スイッチ制御回路は、セレクタ137の出力信号M01、選択信号SELを入力し、スイッチSW0～SW2にPWM信号を出力する。選択信号SELは、第1のスイッチングサイクル、第2のスイッチングサイクルを決める信号である。第1のスイッチングサイクルは、選択信号SELの論理値が0（ローレベル）のときで、第2のスイッチングサイクルは、論理値が1（ハイレベル）のときである。

50

## 【0056】

選択信号SELが0のとき、第1のコンパレータ133からの出力PWM1が出力信号M01として選択され、スイッチSW0には、M01が出力され、スイッチSW1には、出力信号M01を反転した信号が出力され、スイッチSW2には、0が出力される。

## 【0057】

選択信号SELが1のとき、第2のコンパレータ134からの出力PWM2が出力信号M01として選択され、スイッチSW0には、M01が出力され、スイッチSW1には、0が出力され、スイッチSW2には、出力信号M01を反転した信号が出力される。

## 【0058】

このように、SW1とSW2とが同時にオンすることなく、第1のコンパレータ133からの出力PWM1及び第2のコンパレータ134からの出力PWM2とを時分割して、スイッチSW0～SW2に与えることができる。なお、スイッチSW0～SW2は0が入力されたときにオフし、1が入力されたときにオンするスイッチである。

10

## 【0059】

このように、選択信号SELにより、Vo1とVo2の制御を選択する。

## 【0060】

図8は、図7(b)に示したスイッチ制御回路を介して得られた本発明のスイッチング電源回路の負荷電流変化と制御比率CD(Control Duty)の変化の出力シミュレーション結果を示す図であり、(a)は、第1の電源が重負荷で安定していた状態から、第1の電源の負荷電流を下げた場合の制御信号の出力シミュレーション結果を示し、(b)は、(a)の状態の後、第1の電源の負荷電流を上げた場合の制御信号の出力シミュレーション結果を示す図である。

20

## 【0061】

ここで、負荷電流Ioの大きい方が制御比率が高くなる。SEL信号がL(ローレベル：論理値0)のときに出力電圧Vo1を制御し、H(ハイレベル：論理値1)のときに出力電圧Vo2を制御する。

## 【0062】

第1の電源が重負荷で安定していた状態から、第1の電源の負荷電流Io1を下げる場合、第1の電源の負荷電流Io1を下げる前の定常特性の状態では、SEL信号Hのパルスが1スイッチングサイクル分に対して、Lのパルスが3スイッチングサイクル分となっていることから、第2の電源の制御が1スイッチングサイクル分行われた後に第1の電源の制御が3スイッチングサイクル分繰り返され、第1の電源の制御比率が高い、つまり第1の電源の負荷電流Io1が大きい状態で安定している。その後、負荷変動が生じ、第1の電源の負荷電流Io1が下がり、第2の電源の負荷電流Io2と同じ値になると、過渡応答の状態に移り、第1の電源と第2の電源との負荷電流の差がなくなるため、HのパルスとLのパルスが、1スイッチングサイクル分ごとにほぼ交互に繰り返される。ここで、第1の電源の負荷電流を下げた直後は、過渡応答状態となりクロスレギュレーションが生じ、SEL信号のHとLの切り替えがやや不安定な状態となるが、その後、出力誤差電圧が減少すると、SEL信号のHとLの切り替えが安定し、HのパルスとLのパルスが、ほぼ交互に繰り返されることになる。

30

40

## 【0063】

その後、第1の電源と第2の電源の負荷電流Io1とIo2が同じ値の状態から、第1の電源の負荷電流Io1を上げた場合、再度負荷変動が生じ、第1の電源の負荷電流Io1が大きくなると、第1の電源の制御比率を上げなければならないため、SEL信号Lのパルス数がHのパルス数よりも多くなる。これにより、重負荷となった第1の電源の誤差を縮小するようにSEL信号は第1の電源の制御を優先的に行う。ここでも、第1の電源の負荷電流Io1を上げた直後は、クロスレギュレーションが生じ、SEL信号のHとLの切り替えがやや不安定な状態となるが、その後、クロスレギュレーションが減少すると、SEL信号のHとLの切り替えが安定し、Hのパルスが1スイッチングサイクル分に対し、Lのパルスが3スイッチングサイクルで繰り返されることになる。

50

## 【 0 0 6 4 】

以上は、単一インダクタ 2 出力 DC / DC 変換回路を用いた場合について説明したが、単一インダクタ多出力 DC / DC 変換回路を用いることも可能である。つまり、単一インダクタ多出力 DC / DC 変換回路として、単一インダクタ  $n$  ( $n$  は 2 以上の整数) 出力 DC / DC 変換回路を用いる場合には、この単一インダクタ  $n$  出力回路の出力電圧と基準電圧との差分を増幅した誤差電圧を  $n$  個の比較器に出力する  $n$  個のエラーアンプと、エラーアンプから出力された誤差電圧と鋸歯状波との比較した PWM 信号をセレクタに出力する  $n$  個の比較器と、 $n$  個の誤差電圧により最大電圧を選択する最大電圧検出回路が必要になる。

## 【 符号の説明 】

10

## 【 0 0 6 5 】

- 1 入力直流電源
- 2 1 第 1 の主スイッチ
- 2 2 第 2 の主スイッチ
- 3 1 インダクタ
- 5 1 第 1 の整流手段
- 5 2 第 2 の整流手段
- 6 1 第 1 の平滑手段
- 6 2 第 2 の平滑手段
- 7 1 第 1 の負荷
- 7 2 第 2 の負荷
- 8 1 制御回路
- 9 0 検出回路
- 9 1 PWM 回路
- 9 2 論理回路
- 1 0 1 DC / DC 変換回路
- 1 0 2 エラーアンプ
- 1 0 3 コンパレータ
- 1 0 4 鋸歯状波発生回路
- 1 0 5 PWM 回路
- 1 0 6 スイッチ制御回路
- 1 1 1 従来の 2 出力 DC / DC 変換回路
- 1 1 2、1 2 1、1 3 0 単一インダクタ多出力 DC / DC 変換回路
- 1 3 1 第 1 のエラーアンプ
- 1 3 2 第 2 のエラーアンプ
- 1 3 3 第 1 のコンパレータ
- 1 3 4 第 2 のコンパレータ
- 1 3 5 第 3 のコンパレータ
- 1 3 6 鋸歯状波発生回路
- 1 3 7 セレクタ
- 1 3 8 スイッチ制御回路
- 8 0 1、8 0 2、8 0 3、8 0 4 抵抗
- 8 0 5、8 0 6 誤差増幅器
- 8 0 7 基準電圧源
- 8 0 8 発振回路
- 8 0 9、8 1 0 比較器
- 8 1 1、8 1 2 AND 回路
- 8 1 3 T フリップフロップ
- 8 1 4 OR 回路
- 8 1 5 NOR 回路

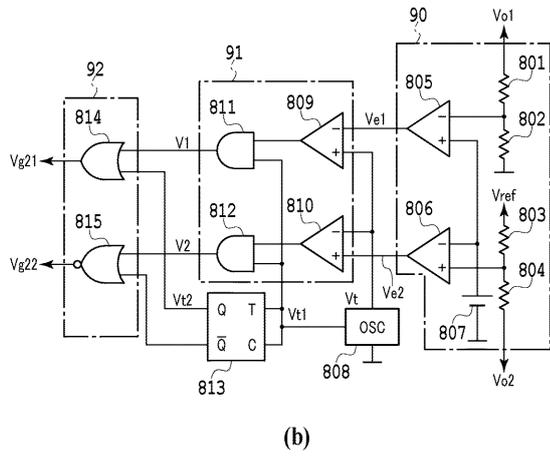
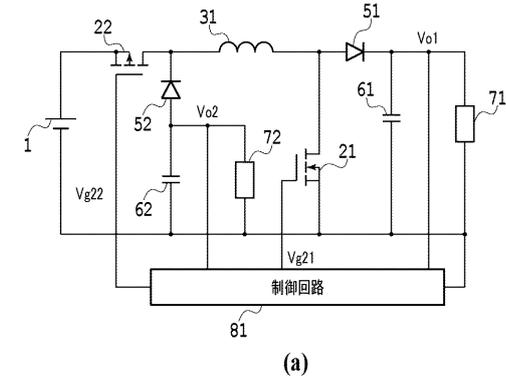
20

30

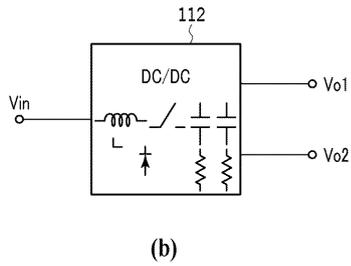
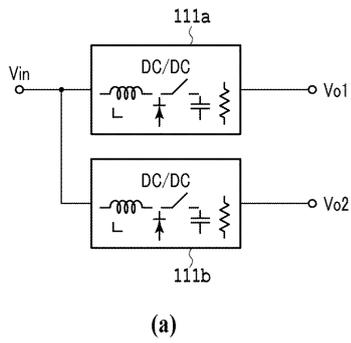
40

50

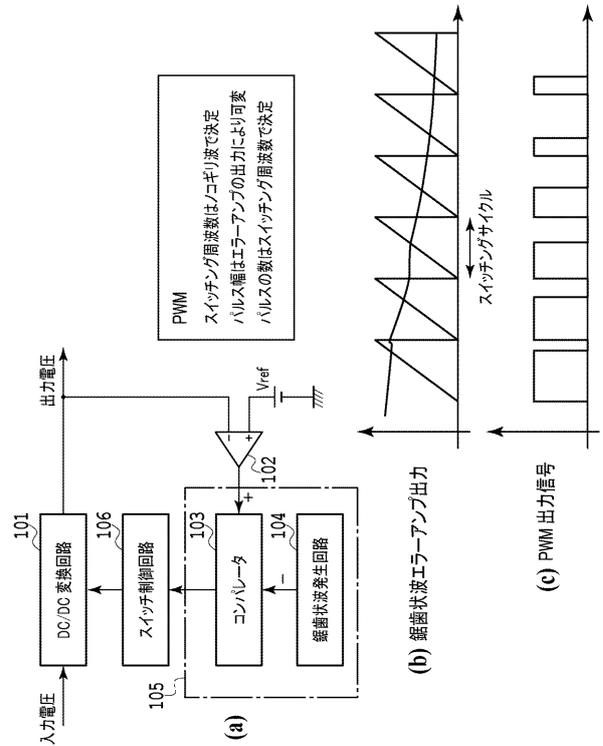
【 図 1 】



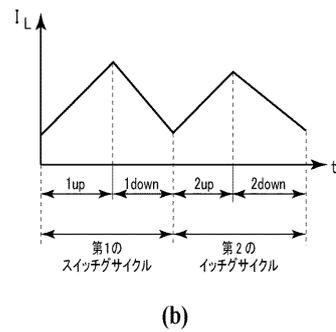
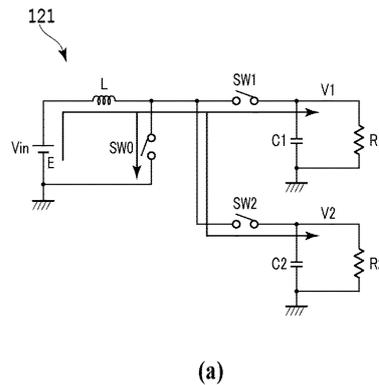
【 図 3 】



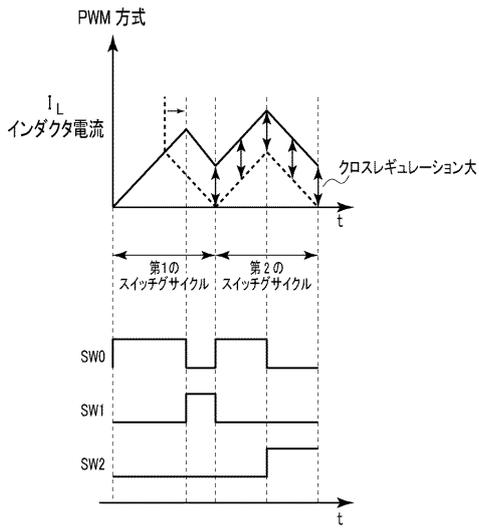
【 図 2 】



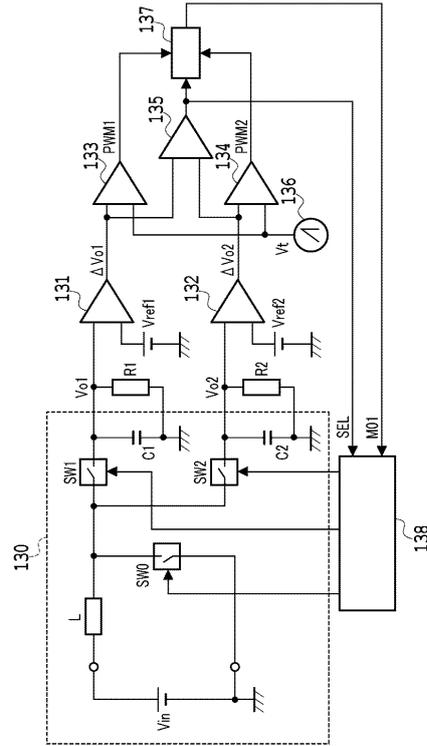
【 図 4 】



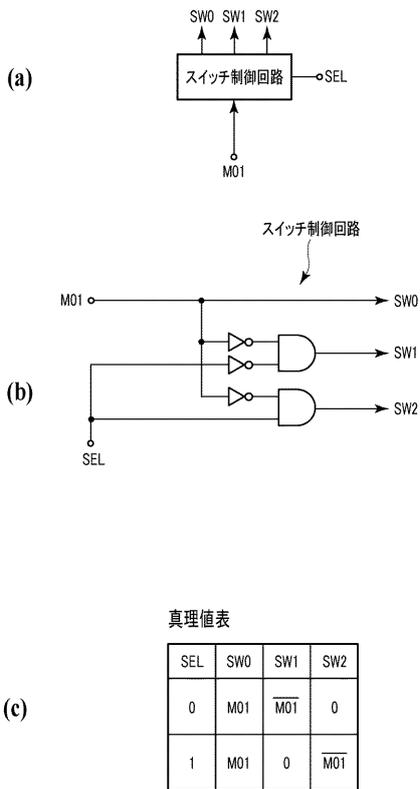
【 図 5 】



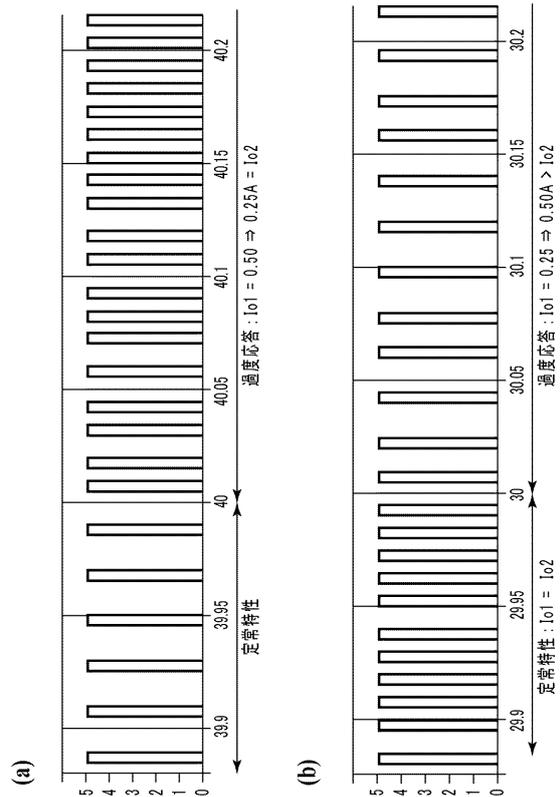
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(72)発明者 朱 秋霖

群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内

(72)発明者 高井 伸和

群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内

(72)発明者 小林 春夫

群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内

(72)発明者 大森 武志

埼玉県朝霞市泉水3丁目13番45号 A K Mテクノロジー株式会社内

Fターム(参考) 5H730 AA04 AS01 BB14 BB57 BB83 BB89 BB98 DD02 EE59 EE60

FD01 FF02 FG05 FV05