

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-172468
(P2013-172468A)

(43) 公開日 平成25年9月2日(2013.9.2)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 W 5H730
 HO2M 3/155 P

審査請求 未請求 請求項の数 4 O L (全 22 頁)

(21) 出願番号 特願2012-32819(P2012-32819)
 (22) 出願日 平成24年2月17日(2012.2.17)

(71) 出願人 504145364
 国立大学法人群馬大学
 群馬県前橋市荒牧町四丁目2番地
 (71) 出願人 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 (72) 発明者 小堀 康功
 群馬県桐生市天神町一丁目5番1号 国立
 大学法人群馬大学内
 (72) 発明者 岩瀬 浩之
 群馬県桐生市天神町一丁目5番1号 国立
 大学法人群馬大学内

最終頁に続く

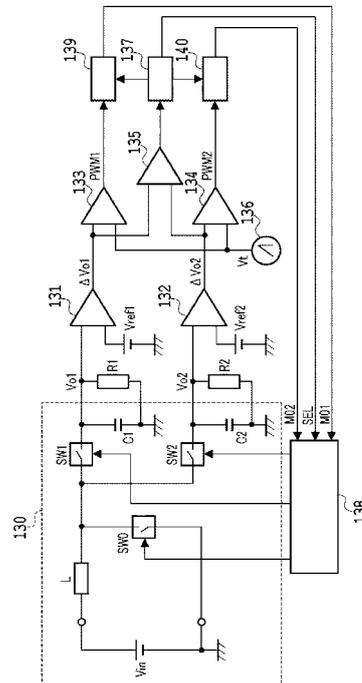
(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】クロスレギュレーションの影響を小さくするようにした単一インダクタ多出力DC/DC変換回路であるスイッチング電源回路を提供する。

【解決手段】単一インダクタ多出力DC/DC変換回路の各出力電圧を制御する本発明のスイッチング電源回路は、入力電圧を複数の出力電圧に変換する単一インダクタ多出力DC/DC変換回路であって、1の出力電圧を得るチャンネルを複数有している単一インダクタ多出力DC/DC変換回路と、前記1の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に該単一インダクタ多出力DC/DC変換回路の各チャンネルにおける出力電圧と所望の電圧との誤差が最も大きいチャンネルを選択し、各チャンネルの制御周期の合計時間は変更せずに、出力電圧の制御周期を変更して、スイッチングを行うことにより出力電圧を得る制御回路とを備えていることを特徴とする。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

単一インダクタ多出力 DC / DC 変換回路の各出力電圧を制御するスイッチング電源回路において、

入力電圧を複数の出力電圧に変換する単一インダクタ多出力 DC / DC 変換回路であって、該単一インダクタ多出力 DC / DC 変換回路は、複数のチャンネルを有し、該複数のチャンネルの各チャンネルからは、インダクタを時分割して、スイッチングを行うことにより 1 の出力電圧を得る、単一インダクタ多出力 DC / DC 変換回路と、

前記 1 の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に該単一インダクタ多出力 DC / DC 変換回路の各チャンネルにおける出力電圧と所望の電圧との誤差が最も大きいチャンネルを選択し、各チャンネルの制御周期の合計時間は変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を選択しないチャンネルにおける出力電圧の制御周期に対して相対的に大きく変更し、前記選択しないチャンネルにおける出力電圧の制御周期を選択したチャンネルにおける出力電圧の制御周期に対して相対的に小さく変更して、前記各チャンネルについて、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行う制御回路とを備えていることを特徴とするスイッチング回路。

10

【請求項 2】

前記単一インダクタ多出力 DC / DC 変換回路は、

前記各チャンネルにおいて前記出力電圧と前記所望の電圧との誤差を出力するエラーアンプを備え、

20

前記制御回路は、

前記各チャンネルにおける前記エラーアンプの出力を比較して、前記各チャンネルのうちエラーアンプの出力の大きなチャンネルを選択して、各チャンネルの制御周期の合計時間は変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を選択しないチャンネルにおける出力電圧の制御周期に対して相対的に大きく変更し、前記選択しないチャンネルにおける出力電圧の制御周期を選択したチャンネルにおける出力電圧の制御周期に対して相対的に小さく変更して、前記各チャンネルについて、前記スイッチング制御を行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行うこと特徴とする請求項 1 に記載のスイッチング電源回路。

30

【請求項 3】

単一インダクタ多出力 DC / DC 変換回路の各出力電圧を制御するスイッチング電源回路において、

入力電圧を複数の出力電圧に変換する単一インダクタ多出力 DC / DC 変換回路であって、該単一インダクタ多出力 DC / DC 変換回路は、複数のチャンネルを有し、該複数のチャンネルの各チャンネルからは、インダクタを時分割して、スイッチングを行うことによりそれぞれ 1 の出力電圧を得る、単一インダクタ多出力 DC / DC 変換回路と、

前記 1 の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に該単一インダクタ多出力 DC / DC 変換回路の各チャンネルにおける出力電圧と所望の電圧との誤差が最も大きいチャンネル以外のチャンネルを選択し、各チャンネルのスイッチングサイクルは変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を前記スイッチングサイクルに対して相対的に小さくして、前記各チャンネルについて、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行う制御回路とを備えていることを特徴とするスイッチング回路。

40

【請求項 4】

前記単一インダクタ多出力 DC / DC 変換回路は、

前記各チャンネルにおいて前記出力電圧と前記所望の電圧との誤差を出力するエラーアンプを備え、

前記制御回路は、

50

前記各チャンネルにおける前記エラーアンプの出力を比較して、前記各チャンネルのうちエラーアンプの出力が最も大きなチャンネル以外のチャンネルを選択して、各チャンネルの制御周期の合計時間は変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を選択しないチャンネルに対して相対的に小さくして、前記各チャンネルについて、前記スイッチング制御を行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行うことを特徴とする請求項3に記載のスイッチング電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源回路に関し、より詳細には、負荷応答時の出力電圧リップルを小さくするとともに、クロスレギュレーションの影響を小さくするようにした単一インダクタ・マルチ出力電源におけるスイッチング電源回路に関する。

10

【背景技術】

【0002】

近年の電子機器は、小型でありながらも高性能化や多機能化が進んでおり、これらの電子機器の電源は、入力電圧変動及び負荷変動などの外乱に対する高い出力電圧安定性や高速な負荷応答特性などといった高い性能が求められている。

【0003】

また、家庭用電源からAC/DCパワーサプライを用いてパソコンなどのDC入力機器を用いる場合には、交流電源から平滑回路を用いてAC整流を行なうが、非安定な直流電流しか得られないので、DC/DCコンバータを用いて安定な直流電流を得る必要がある。そのためには、DC入力機器に各ICの駆動電圧を生成するためのDC/DCコンバータが組み込まれている。これらのDC/DCコンバータの求められる性能としては、高効率化や高速過渡応答などがある。これらを要求に答えるためには、DC/DCコンバータの制御部から改善しなければならない。また、DC/DCコンバータには小型化や低コスト化が求められている。そのためには、DC/DCコンバータのパワーステージから改善しなければならない。

20

【0004】

従来から知られているスイッチング電源装置として、PWM制御によるDC/DCコンバータがある。このPWM制御によるDC/DCコンバータは、パワーステージとして入力電圧を降圧又は昇圧するためのスイッチング素子やインダクタを含み、制御部としてパルス幅が入力信号に比例したPWM信号によりスイッチング素子のオンオフを制御するPWM変調器を備えている。

30

【0005】

また、近年、携帯電話を始め、電子機器の多機能化が進み、一つの電子機器に多くの電子部品が搭載されている。また、電子機器の小型化の要求もあり、単一のバッテリーで駆動される電子機器が普及しつつある。

【0006】

ところで、電子機器における各電子部品は、駆動するための電源電圧が異なるので、単一のバッテリーで電力を供給するためには、単一のバッテリーの電圧から各電子部品を駆動するための電源電圧を生成するDC/DCコンバータが、電子部品ごとに必要となる。ところが、電子部品ごとにDC/DCコンバータを用意することは、部品数の増加を招くという問題がある。そこで、電子部品ごとにDC/DCコンバータを用意するのではなく、インダクタを共有化、つまり、単一のインダクタで構成し、複数の電源電圧を生成する多出力電源装置が知られている（例えば、特許文献1参照）。

40

【0007】

DC/DCコンバータは、電源の出力電圧変化に応じてPWM信号のパルス幅を変化させて出力電圧を補正する性質を有する。この特徴を生かして電源の設計をすることにより、スイッチング電源の出力状態に変化の少ない定常状態のときには、スイッチング電源のPWM信号のパルス幅の変化は小さくなる。一方、負荷電流を大きく変化して、電源の出

50

力が変化する過渡状態のとき、PWM信号のパルス幅は大きくなる。さらに、過渡状態のとき、スイッチング電源のスイッチング周波数を高くする等の工夫により出力電圧の急激な変化に対して高速な応答が可能となるといった動作が可能となる。

【0008】

図1(a), (b)は、従来の多出力DC/DCコンバータを示す構成回路図である。図1(a)は、多出力DC/DCコンバータの構成回路図であり、図1(b)は、図1(a)に示された制御回路の具体的な回路構成図である。この図1(a), (b)は、特許文献2に記載されたもので、単一インダクタとPWM制御を用いた多出力DC/DCコンバータである。

【0009】

図1(a)に示された多出力DC/DCコンバータは、入力直流電源1に接続され入力直流電圧 E_i が入力されている。この多出力DC/DCコンバータには、NチャンネルMOSFETの第1の主スイッチ21、PチャンネルMOSFETの第2の主スイッチ22、インダクタ31、ダイオードの第1の整流手段51、コンデンサの第1の平滑手段61、ダイオードの第2の整流手段52、コンデンサの第2の平滑手段62を備えている。さらに、第1の主スイッチ21と第2の主スイッチ22をそれぞれ所定のオン期間とオフ期間で駆動する制御回路81が設けられている。第1の平滑手段61の両端には第1の負荷71が接続され、昇圧出力電圧 V_{o1} が第1の負荷71へ出力される。第2の平滑手段62の両端には第2の負荷72が接続され、反転出力電圧 V_{o2} が第2の負荷72へ出力される。入出力条件は、 $V_{o1} > E_i > 0 > V_{o2}$ である。第2の主スイッチ22がオン状態の時、第1の主スイッチ21とインダクタ31と第1の整流手段51と第1の平滑手段61が、昇圧コンバータとして動作する。一方、第1の主スイッチ21がオン状態の時は、第2の主スイッチ22とインダクタ31と第2の整流手段52と第2の平滑手段62が反転コンバータとして動作する。

【0010】

図1(b)において、抵抗801と抵抗802は昇圧出力電圧 V_{o1} を検出し、抵抗803と抵抗804は反転出力電圧 V_{o2} を検出する。各検出電圧は、誤差増幅器805及び誤差増幅器806によって基準電圧源807の基準電圧とそれぞれ比較され、昇圧出力用誤差信号 V_{e1} と反転出力用誤差信号 V_{e2} がそれぞれ出力される。抵抗801~804、誤差増幅器805、誤差増幅器806及び基準電圧源807により、検出回路90が構成されている。発振回路808は、所定の周期で電位が増減する三角波電圧 V_t と、三角波電圧 V_t が増加している時に“H”となり、減少している時に“L”となる信号 V_{t1} を出力する。比較器809は昇圧出力用誤差信号 V_{e1} と三角波電圧 V_t とを比較する。比較器810は反転出力用誤差信号 V_{e2} と三角波電圧 V_t とを比較する。各比較器809, 810の出力信号は、それぞれAND回路811及び812によって信号 V_{t1} との論理積を示す信号 V_1 及び信号 V_2 として出力される。ここで、信号 V_1 は昇圧出力用パルス信号であり、信号 V_2 は反転出力用パルス信号である。比較器809, 810とAND回路811, 812とによりPWM回路91が構成されている。分周回路であるTフリップフロップ813には信号 V_{t1} が入力され、信号 V_{t2} を出力する。OR回路814には信号 V_1 と信号 V_{t2} が入力され、駆動信号 V_{g21} を出力する。駆動信号 V_{g21} はNチャンネルMOSFETである第1の主スイッチ21を駆動し、“H”で第1の主スイッチ21をオン状態にする。NOR回路815は信号 V_2 と信号 V_{t2} の反転信号が入力され、駆動信号 V_{g22} を出力する。駆動信号 V_{g22} はPチャンネルMOSFETである第2の主スイッチ22を駆動し、“L”で第2の主スイッチ22をオン状態にする。駆動信号 V_{g21} と駆動信号 V_{g22} が主スイッチ駆動信号である。OR回路814及びNOR回路815により論理回路92が構成されている。

【0011】

また、非特許文献1及び2には、単一インダクタ正負2出力DC/DCコンバータが記載されている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0012】

【特許文献1】特開2003-164143号公報

【非特許文献】

【0013】

【非特許文献1】電気情報通信学会論文「擬似連続モードを用いた単一インダクタ正負2出力DC-DCコンバータの検討」(津志田健吾他8名 第22回 回路とシステム(軽井沢)ワークショップ)

【非特許文献2】第22回 回路とシステム軽井沢ワークショップ「単一インダクタ正負2出力DC-DCコンバータの検討」(津志田健吾他13名 4.19~20、2010)

10

【発明の概要】

【発明が解決しようとする課題】

【0014】

n 個(n は2以上の整数)のチャンネルの電源の昇圧動作を均等に時分割して制御する多出力DC/DCコンバータにおいて、1つのチャンネルの出力端子における負荷電流が大きく変化して出力電圧が変動した場合、そのチャンネルの出力電圧が安定するまでに多くの時間を必要とし、出力電圧リップルが大きくなるという問題がある。一般的に、1出力DC/DCコンバータでは、負荷電流が大きく変化してから安定するまでに10スイッチングサイクル以上の時間が必要であり、 n 個のチャンネルを有する多出力DC/DCコンバータでは、その n 倍の時間が必要となり、出力電圧リップルが大きくなる。一つの出力端子の出力電圧の昇降圧動作から他の出力端子の出力電圧の昇降圧動作に切り替えたとき、前の昇降圧動作時にインダクタに充電した充電電流が、他の出力端子に漏れるという問題がある。すなわち、一つの出力端子に転送すべき充電電流が、他の出力端子に転送されてその出力電圧が変動するクロスレギュレーションの影響が大きいという問題がある。

20

【0015】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、負荷変動時の出力電圧リップルを小さくするとともに、クロスレギュレーションの影響を小さくするようにした単一インダクタ多出力DC/DC変換回路であるスイッチング電源回路を提供することにある。

30

【課題を解決するための手段】

【0016】

本発明は、このような目的を達成するためになされたもので、その目的とするところは、負荷変動時の出力電圧リップルを小さくするとともに、クロスレギュレーションの影響を小さくするようにした単一インダクタ多出力DC/DC変換回路であるスイッチング電源回路を提供することにある。

【0017】

単一インダクタ多出力DC/DC変換回路の各出力電圧を制御する本発明のスイッチング電源回路は、入力電圧を複数の出力電圧に変換する単一インダクタ多出力DC/DC変換回路であって、該単一インダクタ多出力DC/DC変換回路は、複数のチャンネルを有し、該複数のチャンネルの各チャンネルからは、インダクタを時分割して、スイッチングを行うことにより1の出力電圧を得る、単一インダクタ多出力DC/DC変換回路と、前記1の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に該単一インダクタ多出力DC/DC変換回路の各チャンネルにおける出力電圧の値と所望の電圧との誤差が最も大きいチャンネルを選択し、各チャンネルの制御周期の合計時間は変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を選択しないチャンネルにおける出力電圧の制御周期に対して相対的に大きく変更し、前記選択しないチャンネルにおける出力電圧の制御周期を選択したチャンネルにおける出力電圧の制御周期に対して相対的に小さく変更して、前記各チャンネルについて、前記スイッチング制御を行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行う制御回路とを備えていることを特徴

40

50

とする。

【0018】

また、本発明の前記単一インダクタ多出力DC/DC変換回路は、前記各チャンネルにおいて前記出力電圧と前記所望の電圧との誤差を出力するエラーアンプを備え、前記制御回路は、前記各チャンネルにおける前記エラーアンプの出力を比較して、前記各チャンネルのうちエラーアンプの出力の大きなチャンネルを選択して、各チャンネルの制御周期の合計時間は変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を選択しないチャンネルにおける出力電圧の制御周期に対して相対的に大きく変更し、前記選択しないチャンネルにおける出力電圧の制御周期を選択したチャンネルにおける出力電圧の制御周期に対して相対的に小さく変更して、前記各チャンネルについて、前記スイッチング制御を行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行うこと特徴とする。

10

【0019】

単一インダクタ多出力DC/DC変換回路の各出力電圧を制御する本発明のスイッチング電源回路は、入力電圧を複数の出力電圧に変換する単一インダクタ多出力DC/DC変換回路であって、該単一インダクタ多出力DC/DC変換回路は、複数のチャンネルを有し、該複数のチャンネルの各チャンネルからは、インダクタを時分割して、スイッチングを行うことによりそれぞれ1の出力電圧を得る、単一インダクタ多出力DC/DC変換回路と、前記1の出力電圧を得るための前記スイッチングの各スイッチングサイクル毎に該単一インダクタ多出力DC/DC変換回路の各チャンネルにおける出力電圧と所望の電圧との誤差が最も大きいチャンネル以外のチャンネルを選択し、各チャンネルのスイッチングサイクルは変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を前記スイッチングサイクルに対して相対的に小さくして、前記各チャンネルについて、前記スイッチングを行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行う制御回路とを備えていることを特徴とする。

20

【0020】

また、本発明の前記単一インダクタ多出力DC/DC変換回路は、前記各チャンネルにおいて前記出力電圧と前記所望の電圧との誤差を出力するエラーアンプを備え、前記制御回路は、前記各チャンネルにおける前記エラーアンプの出力を比較して、前記各チャンネルのうちエラーアンプの出力が最も大きなチャンネル以外のチャンネルを選択して、各チャンネルの制御周期の合計時間は変更せずに、前記選択したチャンネルにおける出力電圧の制御周期を選択しないチャンネルに対して相対的に小さくして、前記各チャンネルについて、前記スイッチング制御を行うことにより出力電圧を得て、前記単一インダクタ多出力電源回路の各出力電圧の制御を行うことを特徴とする。

30

【発明の効果】

【0021】

本発明によれば、各チャンネルの負荷変動に応じて各チャンネルの電源の制御期間又は制御周期を制御して、出力電圧が安定するまでの時間を早くすることができるため、負荷変動時の出力電圧リップルを小さくできるとともに、クロスレギュレーションの影響を小さくすることができる。

40

【図面の簡単な説明】

【0022】

【図1】従来の多出力DC/DCコンバータを示す構成回路図である。(a)は、多出力DC/DCコンバータの構成回路図であり、(b)は、(a)に示された制御回路の具体的な回路構成図である。

【図2】従来から用いられていたPWM制御によるスイッチング電源回路の構成ブロック図で、(a)はスイッチング電源回路の全体構成図、(b)は鋸歯状波とエラーアンプ(誤差増幅器)の出力の関係を示す図、(c)は、PWM回路の出力信号を示す図である。

【図3】単一インダクタ2出力DC/DC変換回路を説明するための図で、(a)は従来の2出力DC/DC変換回路、(b)は単一インダクタ2出力DC/DC変換回路を示す

50

図である。

【図4】単一インダクタ2出力DC/DC変換回路の原理図で、(a)は、2出力昇圧コンバータの回路構成図、(b)はそのインダクタの電流波形を示す図である。

【図5】多出力DC/DC変換回路におけるクロスレギュレーションを説明するための図である。

【図6】本発明に係る多出力DC/DC変換回路を備えたスイッチング電源回路を説明するための回路構成図である。

【図7】図7は、図6の本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路において、クロック開始時にいずれかの電源のPWM期間を短縮する方法を行った場合のインダクタ電流の波形を示す図である。

10

【図8】図8は、図6の本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路において、クロック開始時に2つの電源の制御デューティを可変して、制御する方法を行った場合のインダクタ電流の波形を示す図である。

【図9】図6におけるスイッチ制御回路の具体的な回路構成図で、(a)は制御比率発生器及び差動増幅器の出力を受けて各スイッチを操作する概念図、(b)はスイッチ制御回路の回路構成図、(c)は真理値表を示す図である。

【図10】本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路を説明するための図であり、各チャネルのエラーアンプからスイッチ制御回路までの回路構成図である。

【図11】図10に示した回路における各ノードの波形を示した図である。

20

【発明を実施するための形態】

【0023】

本発明に係るスイッチング電源回路の実施例について説明する前に、まずPWM制御によるスイッチング電源回路について以下に説明する。

【0024】

図2(a)乃至(b)は、PWM制御によるスイッチング電源回路を説明するための図で、図2(a)はスイッチング電源回路の全体構成図、図2(b)は、鋸歯状波とエラーアンプ(増幅誤差器)との関係を示す図である。

【0025】

図2(a)において、入力電圧がDC/DC変換回路(DC/DCコンバータ)101に入力されると、入力電圧が昇圧もしくは降圧されて、出力電圧が出力される。その出力電圧がエラーアンプ102に入力され、基準電圧Vrefからの誤差に対応する誤差信号がPWM回路105に出力される。そして、PWM回路105を構成するコンパレータ103によって鋸歯状波発生回路104からの鋸歯状波とエラーアンプ102からの誤差信号とが比較される。ここで鋸歯状波とエラーアンプの出力の関係は、例えば図2(b)のようになる。つまり、鋸歯状波の1周期が1のスイッチングサイクルとなり、スイッチングサイクルごとにエラーアンプ102の誤差信号は変化し、PWM回路105の出力信号は、図2(c)のような、パルス幅の異なる信号が出力される。ここで、パルス幅はスイッチング電源回路の出力電圧の所望の出力電圧からの誤差に対応する。スイッチ制御回路106を介して、DC/DC変換回路101でパルス幅に応じたスイッチング動作が行われ、入力電圧を昇圧もしくは降圧した出力電圧が、スイッチング電源回路の出力電圧として得られる。

30

【0026】

次に、多出力DC/DC変換回路について以下に説明する。

【0027】

図3(a)(b)は、単一インダクタ2出力DC/DC変換回路を説明するための図で、図3(a)は、従来の2出力DC/DC変換回路、図3(b)は、単一インダクタ2出力DC/DC変換回路を示している。

【0028】

従来の2出力DC/DC変換回路111a、111bは、インダクタLが2個必要であ

50

り、サイズもコストも大きい。これに対して、単一のインダクタ2出力DC/DC変換回路112は、インダクタLが1個であり、サイズもコストも小さい。

【0029】

図3(a)に示すように、電子機器における各電子部品は、駆動するための電源電圧が異なるので、単一のバッテリーで電力を供給するためには、単一のバッテリーの電圧から各電子部品を駆動するための電源電圧を生成するDC/DC変換回路が、電子部品ごとに必要となる。ところが、電子部品ごとにDC/DC変換回路を用意することは、部品数の増加を招くという問題がある。そこで、電子部品ごとにDC/DC変換回路を用意するのではなく、図3(b)のように、インダクタを共有化、つまり、単一のインダクタで構成し、複数の電源電圧を生成する多出力電源装置が必要になる。つまり、単一インダクタ多出力(SIMO(Single-Inductor, Multiple Output))DC/DC変換回路が有用である。

10

【0030】

図4(a)、(b)は、単一インダクタ2出力DC/DC変換回路の原理図で、図4(a)は、単一インダクタ2出力DC/DC変換回路の回路構成図、図4(b)は、そのインダクタ電流波形を示している。

【0031】

単一インダクタ2出力DC/DC変換回路121は2つのチャンネルを有し、第1のチャンネルからは第1の出力電圧 V_{o1} が得られ、第1の電源を構成する。また、第2のチャンネルからは第2の出力電圧 V_{o2} が得られ、第2の電源を構成する。

20

【0032】

まず、第1のチャンネルは、入力電圧 V_{in} を入力する電源EとインダクタLとスイッチSW0及びSW1と容量C1から構成される。ここで、インダクタLの一端は電源Eのプラス側に接続され、他端はスイッチSW0およびSW1に接続される。また、スイッチSW0の一端は、グラウンドに接地されている。スイッチSW1は、容量C1と抵抗R1の一端に接続され、第1の出力電圧 V_{o1} を得る第1の電源を構成する。容量C1と抵抗R1の他端は、それぞれグラウンドに接地されている。また、容量C1の両端は、電子機器等の負荷R1に接続される。

【0033】

次に、第2のチャンネルは、入力電圧 V_{in} を入力する電源EとインダクタLとスイッチSW0及びSW2と容量C2から構成される。ここで、インダクタLの一端は電源Eのプラス側に接続され、他端はスイッチSW0およびSW2に接続される。また、スイッチSW0の一端は、グラウンドに接地されている。スイッチSW2は、容量C2と抵抗R2の一端に接続され、第2の出力電圧 V_{o2} を得る第2の電源を構成する。容量C2と抵抗R2の他端は、それぞれグラウンドに接地されている。また、容量C2の両端は、電子機器等の負荷R2に接続される。

30

【0034】

次に、図4(a)に示した単一インダクタ2出力DC/DC変換回路121の動作を説明する。このときのインダクタLに流れる充電電流 I_L の波形を図4(b)に例示する。例示した波形は、スイッチSW0～SW2をPWM信号によりスイッチング動作を行ったときの波形であり、安定した定常状態における波形である。

40

【0035】

単一インダクタ2出力DC/DC変換回路121は、2つの出力電圧 V_{o1} 、 V_{o2} を得るために、容量C1、C2に電荷を充電するスイッチングサイクルを2つ設けて、インダクタを時分割して利用することで、充電を行う。すなわち、2つの期間のうち、1つ目のサイクル(第1のスイッチングサイクル)では、第1の出力電圧 V_{o1} を得るための昇圧動作を行い、2つの期間のうち2つ目のサイクル(第2のスイッチングサイクル)では、第2の出力電圧 V_{o2} を得るための昇圧動作を行う。

【0036】

まず、第1のスイッチングサイクルにおいて、スイッチSW2はオフし、スイッチSW

50

0、SW1のオンオフで昇圧動作を行う。最初にスイッチSW0がオンし、スイッチSW1がオフして、インダクタLに充電電流が充電される(1up:図4(b)のVo1期間の上り傾斜部)。次に、スイッチSW0がオフし、スイッチSW1がオンして、インダクタLに充電された充電電流が容量C1に放電され、容量C1は充電される(1down:図4(b)のVo1期間の下り傾斜部)。そして、第1の出力電圧Vo1が得られる。このとき、1周期に対する上り傾斜部の時間の比率を時比率(デューティ)と呼び、デューティは、入力電圧Vinと出力電圧Vo1の比率により決定される。

【0037】

次に、第2のスイッチングサイクルにおいて、スイッチSW1はオフし、スイッチSW0、SW2のオンオフで昇圧動作を行う。最初にスイッチSW0がオンし、スイッチSW2がオフして、インダクタLに充電電流が充電される(2up:図4(b)のVo2期間の上り傾斜部)。次にスイッチSW0がオフし、スイッチSW2がオンして、インダクタLに充電電流が容量C2に放電され、容量C1は充電される(2down:図4(b)のVo2期間の下り傾斜部)。そして第2の出力電圧Vo2が得られる。このような回路によってインダクタを時分割して交互に利用することで、2つの出力電圧を得ることができる。この場合のデューティは、入力電圧Vinと出力電圧Vo2の比率により決定される。

10

【0038】

図5は、PWM制御方式の多出力DC/DC変換回路におけるクロスレギュレーションの影響を説明するための図である。多出力電源において、片方の電源の出力で負荷電流が変動した場合、他方の電源の出力電圧に変動(リップル)が現れる現象をクロスレギュレーションという。第1の出力電圧Vo1側の負荷が重負荷になり、第2の出力電圧Vo2が定常状態のときのクロスレギュレーションの様子を図5に示す。

20

【0039】

つまり、複数の出力を取り出す場合、ある出力が他の出力に与える影響である。図4(a)に示す2出力DC/DCコンバータの場合、片方の出力で負荷変動が生じると、スイッチに与えるPWM信号のパルス幅が変動する。例えば、第1の出力電圧側の負荷が重負荷になったとき、第1の期間において、スイッチSW0、SW1に与えられるPWM信号のパルス幅は大きくなる。すなわち、インダクタに充電される充電電流ILは大きくなる。そして、充電電流ILが容量C1にすべて放電される前に、第2の期間に移行するため、第2の期間において、放電されなかった充電電流ILが容量C2に一部充電され、第2の出力Vo2に変動が生じるという問題がある。

30

【0040】

PWM制御の場合、第1の出力において負荷変動が生じ、第2の出力が定常状態のとき、1つの期間において一方の電源しか制御できないため、チャンネルの出力電圧が安定するまでに多くの時間を必要とし、出力電源リップルが大きくなる。つまり、第1の期間と第2の期間とが交互にしかこないため、パルス幅を調整して出力誤差電圧を小さくするのに、次の第1の期間まで待たなければならず、出力電圧リップルは大きくなり、ひいてはクロスレギュレーションの影響が大きくなる。一方で、各チャンネルの出力誤差電圧に応じて各チャンネルの電源の制御期間又は制御周期を制御できれば、一方の電源の制御期間にインダクタLに充電された充電電流が、他方の電源の制御期間に移行する前に容量にすべて放電されるため、出力電圧リップルを短時間で小さくすることができ、ひいてはクロスレギュレーションの影響を小さくできることがわかる。

40

【0041】

以下、図面を参照して本発明の実施例1について説明する。

【0042】

図6は、本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路を説明するための回路構成図である。

【0043】

本発明に係るスイッチング電源回路は、単一インダクタ2出力DC/DC変換回路(デ

50

ュアル昇圧コンバータ) 130と、第1の出力電圧 V_{o1} 及び第1の基準電圧 V_{ref1} を入力する第1のエラーアンプ(誤差増幅器) 131と、この第1のエラーアンプ131及び鋸歯状発信回路136に接続された第1のコンパレータ(比較器) 133と、第2の出力電圧 V_{o2} 及び第2の基準電圧 V_{ref2} を入力する第2のエラーアンプ132(誤差増幅器)と、この第2のエラーアンプ132及び鋸歯状波発生回路136に接続された第2のコンパレータ(比較器) 134と、この第1のコンパレータ133及び第2のコンパレータ134に接続された差動増幅器135と、差動増幅器135の出力とを入力する制御比率発生器137と、第1のコンパレータ133の出力及び制御比率発生器137の出力を入力する第1の周波数シンセサイザ139と、第2のコンパレータの出力134及び制御比率発生器137の出力を入力する第2の周波数シンセサイザ140と、制御比率発生器137、第1の周波数シンセサイザ139の出力及び第2の周波数シンセサイザ140の出力を入力するスイッチ制御回路138から構成されている。なお、単一インダクタ2出力DC/DC変換回路130については、図4(a)に示した単一インダクタ2出力DC/DC変換回路121と同様である。

10

20

30

40

50

【0044】

つまり、本発明に係るスイッチング電源回路は、単一インダクタ2出力DC/DC変換回路を備えており、2電源の誤差アンプの出力の比較あるいは2電源の負荷電流の比較により、PWMクロック周期毎に2電源の各制御比率又は各制御期間を決定し、スイッチング素子を切り替え制御する。このスイッチング電源回路は2つのチャンネルを有し、第1のチャンネルからは第1の出力電圧 V_{o1} が得られ、第1の電源を構成する。また、第2のチャンネルからは第2の出力電圧 V_{o2} が得られ、第2の電源を構成する。また、本発明に係るスイッチング電源回路は、差動増幅器135と制御比率発生器137と第1の周波数シンセサイザ139と第2の周波数シンセサイザ140とで、単一インダクタ多出力DC/DC変換回路の各チャンネルにおける出力信号の値と所望の値との誤差が最も大きいチャンネルを選択し、その選択したチャンネルにおける出力信号の制御周期を相対的に大きくして、出力信号をスイッチング制御する制御回路、又は単一インダクタ多出力DC/DC変換回路の各チャンネルにおける出力信号の値と所望の値との誤差が最も大きいチャンネルを選択し、その選択したチャンネルにおける出力信号の制御周期のみを短縮して、出力信号をスイッチング制御する制御回路を構成する。

【0045】

入力電圧が単一インダクタ2出力DC/DC変換回路130に入力されると、その出力電圧が、第1及び第2のエラーアンプ131、132と第1及び第2のコンパレータ133、134と第1の周波数シンセサイザ139及び第2の周波数シンセサイザ140とスイッチ制御回路138とを介して制御され、単一インダクタ2出力DC/DC変換回路130からの出力電圧を得る。

【0046】

図6に示した本発明のスイッチング電源回路の動作を以下に説明する。

【0047】

本発明のスイッチング電源回路は、2つの出力電圧 V_{o1} 、 V_{o2} を得るために、容量 $C1$ 、 $C2$ に電荷を充電する期間を設けて、インダクタを時分割して利用することで、充電を行う。すなわち、2つの期間のうち第1の期間では、第1の電源として第1の出力電圧 V_{o1} を得るための昇圧動作を行い、2つの期間のうち第2の期間では、第2の電源として第2の出力電圧 V_{o2} を得るための昇圧動作を行う。

【0048】

まず、第1のスイッチングサイクルにおいて、スイッチ $SW2$ はオフし、スイッチ $SW0$ 、 $SW1$ のオンオフで昇圧動作を行う。最初にスイッチ $SW0$ がオンし、スイッチ $SW1$ がオフして、インダクタ L に充電電流が充電される。次に、スイッチ $SW0$ がオフし、スイッチ $SW1$ がオンして、インダクタ L に充電された充電電流が容量 $C1$ に放電され、容量 $C1$ は充電される。そして、インダクタ L の充放電の動作を第1の期間に行うことを繰り返すことで、第1の出力電圧 V_{o1} が得られる。つまり、第1の期間の間、それぞれ

1個のパルスがスイッチSW0、SW1に入力されて、昇圧動作が行われる。

【0049】

第1の出力電圧 V_{o1} は、第1のエラーアンプ131によって基準電源電圧 V_{ref1} と比較され、第1の出力誤差電圧 V_{o1} が出力される。基準電源電圧 V_{ref1} は、所望の第1の出力電圧に対応した電圧である。鋸歯状波発生回路136は、所定の周期で電圧が増加する鋸歯状波電圧 V_t を出力する。第1のコンパレータ133は第1の出力誤差電圧 V_{o1} と鋸歯状波電圧 V_t とを比較してPWM信号PWM1を出力する。ここで、負荷R1が重負荷となったとき、第1の出力誤差電圧 V_{o1} は、電圧値が正でその絶対値が大きくなる。つまり、第1の出力誤差電圧 V_{o1} は、電圧値が大きな値となる。一方、負荷R1が軽負荷となったとき、第1の出力誤差電圧 V_{o1} は、電圧値が負でその絶対値が大きくなる。つまり、第1の出力誤差電圧 V_{o1} は、電圧値が小さな値となる。

10

【0050】

次に、第2のスイッチングサイクルにおいて、スイッチSW1はオフし、スイッチSW0、SW2のオンオフで昇圧動作を行う。最初にスイッチSW0がオンし、スイッチSW2がオフして、インダクタLに充電電流が充電される。次に、スイッチSW0がオフし、スイッチSW2がオンして、インダクタLに充電された充電電流が容量C2に放電され、容量C2は充電される。そして、インダクタLに充電された充電電流が容量C2に放電され、第2の出力 V_{o2} が得られる。つまり、第2のスイッチングサイクルの間、それぞれ1個のパルスがスイッチSW0、SW2に入力されて、昇圧動作が行われる。

20

【0051】

第2の出力電圧 V_{o2} は、第2のエラーアンプ132によって基準電源電圧 V_{ref2} と比較され、第2の出力誤差電圧 V_{o2} が出力される。基準電源電圧 V_{ref2} は、所望の第2の出力電圧に対応した電圧である。鋸歯状波発生回路136は、所定の周期で電圧が増加する鋸歯状波電圧 V_t を出力する。第2のコンパレータ134は第2の出力用誤差電圧 V_{o2} と鋸歯状波電圧 V_t とを比較してPWM信号PWM2を出力する。ここで、負荷R2が重負荷となったとき、第2の出力誤差電圧 V_{o2} は、電圧値が正でその絶対値が大きくなる。つまり、第2の出力誤差電圧 V_{o2} は、電圧値が大きな値となる。一方、負荷R2が軽負荷となったとき、第2の出力誤差電圧 V_{o2} は、電圧値が負でその絶対値が大きくなる。つまり、第2の出力誤差電圧 V_{o2} は、電圧値が小さな値となる。

30

【0052】

チャンネルの切り替えは、まず、第1のスイッチングサイクルにおいて、第1の出力電圧 V_{o1} を容量C1に充電し、次に、第2のスイッチングサイクルにおいて、第2の出力電圧 V_{o2} を容量C2に充電する。これを1つのチャンネル切り替えサイクルとして、このチャンネル切り替えサイクルを繰り返し行う。

【0053】

ここで、制御対象となる出力電圧は、第1の出力誤差電圧 V_{o1} と、第2の出力誤差電圧 V_{o2} とを比較して決定される。この比較は、差動増幅器135によって行われる。

40

【0054】

第1の方法は、1つのチャンネル切り替えサイクルのうちの第1のスイッチングサイクル開始時に、各電源のスイッチングサイクルの期間自体は変更せずに、いずれか1つの電源を制御する周期を短くする方法である。例えば、今クロックの開始時に V_{o1} が V_{o2} より大きい場合、出力電圧 V_{o2} の制御に対応する周期を短くする。ただし、第2のスイッチングサイクルの期間自体が変更短縮されることはない。第2の電源制御の期間周期を短くすると、相対的に第1の制御周期が長くなり、第1の電源が優先的に制御されて第1の出力電源誤差 V_{o1} が小さくなるように補正される。出力電圧が安定するまでの時間を早くすることができるため、負荷変動時の出力電源リップルを小さくできる。また、インダクタLに充電された充電電流は、その電源の制御期間が終了する前に十分に容量Cに

50

放電され、クロスレギュレーションの影響を少なくすることができる。

【0055】

まず、差動増幅器135は、第1の出力誤差電圧 V_{o1} と、第2の出力誤差電圧 V_{o2} とを比較して、出力誤差電圧 V_{o1} が大きい場合はローレベル（論理値0）の信号を、出力誤差電圧 V_{o2} が大きい場合はハイレベル（論理値1）の信号を、スイッチングサイクル開始時に制御比率発生器137に送信する。制御比率発生器137は、差動増幅器135から送信された信号から、制御周期を短縮する電源及び制御周期を決定する。短縮する制御周期は、例えば制御比率発生器137に内蔵する参照電源の比較等により決定する。制御比率発生器137は、さらにその短縮する制御周期を信号化し、PWM期間を短縮する側の電源に対応する周波数シンセサイザに送信する。

10

【0056】

例えばセクタ制御比率発生器137がローレベルの信号を受信した場合、制御比率発生器137は、決定した制御周期を第1の周波数シンセサイザ139に送信する。第1の周波数シンセサイザ139は第1のコンパレータ133から送信されたPWM1の期間（制御周期）を制御比率発生器137により決定された期間に短縮して信号M01とし、信号M01を、スイッチ制御回路138に送信する。一方、第2の周波数シンセサイザ140は第2のコンパレータ134から送信されたPWM信号をそのまま信号M02とし、信号M02を、スイッチ制御回路138に送信する。この場合、第1のスイッチングサイクルにおいて、スイッチ制御回路138は、信号M01に基づいてスイッチSW0とSW1をON/OFF制御して、出力コンデンサC1に電荷を供給して第1の電源を制御することにより出力電圧 V_{o1} を補正する。その後、第2のスイッチングサイクルにおいて信号M02に基づいてインダクタLのスイッチSW0とスイッチSW2をON/OFF駆動して、出力コンデンサC2に電荷を供給し第2の電源を制御する。

20

【0057】

また、制御比率発生器137がハイレベルの信号を受信した場合、制御比率発生器137は、決定した制御周期を第2の周波数シンセサイザ140に送信する。第2の周波数シンセサイザ140は第2のコンパレータ134から送信されたPWM2の期間（制御周期）を制御比率発生器137により決定された期間に短縮して信号M02とし、信号M02を、スイッチ制御回路138に送信する。一方、第1の周波数シンセサイザ139は第1のコンパレータ133から送信されたPWM信号をそのまま信号M01とし、信号M01を、スイッチ制御回路138に送信する。この場合、第1のスイッチングサイクルにおいて、スイッチ制御回路138は、信号M01に基づいてスイッチSW0とSW1をON/OFF制御して、出力コンデンサC1に電荷を供給して第1の電源を制御する。その後、第2のスイッチングサイクルにおいて信号M02に基づいてインダクタLのスイッチSW0とスイッチSW2をON/OFF駆動して、出力コンデンサC2に電荷を供給し第2の電源を制御して出力電圧 V_{o2} を補正する。

30

【0058】

第1の出力誤差電圧 V_{o1} が第2の出力誤差電圧 V_{o2} より小さい場合、第1の電源の制御周期は短縮されるが、第2の電源の制御周期は短縮されない。一方で、第2の出力電圧誤差 V_{o2} が第1の出力電圧誤差 V_{o1} より小さい場合、第1の電源の制御周期は短縮されないが、第2の電源の制御周期は短縮される。

40

【0059】

図7は、図6の本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路において、スイッチングサイクル開始時にいずれかの電源の制御周期を短縮する方法を行った場合のインダクタ電流の波形を表したものである。

【0060】

図7(a)は、第2の出力誤差電圧 V_{o2} が第1の出力誤差電圧 V_{o1} より小さい場合のインダクタ電流の波形例を示す。この場合、第1の電源の制御周期は短縮されないが、第2の電源の制御周期は短縮される。

【0061】

50

図7(b)は、第1の出力誤差電圧 V_{o1} が第2の出力誤差電圧 V_{o2} より小さい場合のインダクタ電流の波形例を示す。この場合第2の電源の制御周期は短縮されないが、第1の電源の制御周期は短縮される。

【0062】

図6に戻って、第2の方法は、1つのチャンネル切り替えサイクルのうちの第1のスイッチングサイクル開始時に2つの電源の制御デューティを可変して、制御する方法である。例えば、スイッチングサイクルの開始時に V_{o1} が V_{o2} より大きい場合、1つのチャンネル切り替えサイクルの期間は変更せずに、出力電圧 V_{o1} の制御に対応する第1のスイッチングサイクルの期間の割合を増やし、出力電圧 V_{o2} の制御に対応する第2のスイッチングサイクルの期間の割合をその分だけ少なくする。出力誤差電圧 V_{o1} 、 V_{o2} のうち大きいほうの電源の制御期間を長くすることにより、早く出力誤差電圧を小さくすることが、つまり出力電圧が安定するまでの時間を早くすることができるため負荷変動時の出力電圧リップルを小さくできる。また、インダクタLに充電される電流は、その電源の制御期間が終了するまでに十分に容量C1に放電され、クロスレギュレーションの影響を少なくすることができる。

10

【0063】

まず、差動増幅器135は、第1の出力誤差電圧 V_{o1} と、第2の出力誤差電圧 V_{o2} とを比較して、出力誤差電圧 V_{o1} が大きい場合はローレベル(論理値0)の信号を、出力誤差電圧 V_{o2} が大きい場合はハイレベル(論理値1)の信号を、制御比率発生器137に送信する。制御比率発生器137は、時間変位 Δt を決定する。ここで、 Δt は、 -1 から 1 とし、ローレベルの信号を受信した場合には、正の数とし、ハイレベルの信号を受信した場合には、負の数とする。また、その大きさは制御比率発生器137に内蔵する基準電圧源との比較等により決定する。制御比率発生器137は、決定した時間変位 Δt を信号化し、第1の周波数シンセサイザ139及び第2のシンセサイザ140に送信する。第1の周波数シンセサイザ139は、第1のコンパレータ133から送信されたPWM1及び制御比率発生器137から送信された時間変位 Δt によりスイッチングサイクルの期間を決定する。本発明では各電源の通常のスイッチングサイクルの期間(PWM期間)を T_o とすると、第1のスイッチングサイクルの期間(第1の電源の制御周期)を $(1 + \Delta t / T_o) T_o$ とした制御信号M01に可変し、スイッチ制御回路に送信する。また、第2の周波数シンセサイザ140は、第2のコンパレータ134から送信されたPWM2及び制御比率発生器137から送信された時間変位 Δt により制御周期を決定する。本実施例では第2のスイッチングサイクルの期間(第2の電源の制御周期)を $(1 - \Delta t / T_o) T_o$ とした制御信号M02に可変し、スイッチ制御回路138に送信する。

20

30

【0064】

制御比率発生器137はさらに第1の電源又は第2の電源を選択する信号である選択信号SELを、その期間を変更してスイッチ制御回路に送信する。選択信号SELは通常、ローレベル(論理値0)とハイレベル(論理値1)を交互に繰り返し、各期間はともに1のスイッチングサイクルの期間と同一である。本実施例の場合、制御比率発生器137は選択信号SELのローレベルの期間 T_o を $(1 + \Delta t / T_o) T_o$ に変更し、ハイレベルの期間 T_o を $(1 - \Delta t / T_o) T_o$ に変更し、スイッチ制御回路138に送信する。ただし、ローレベルの期間と、ハイレベルの期間の合算期間は変わらない。

40

【0065】

この第1のスイッチングサイクルにおいて、スイッチ制御回路138は、信号M01に基づいてスイッチSW0とSW1をON/OFF制御して、出力コンデンサC1に電荷を供給して出力電圧 V_{o1} を補正制御する。その後、第2のスイッチングサイクルにおいて、スイッチ制御回路138は、信号M02に基づいてインダクタLのスイッチSW0とスイッチSW2をON/OFF駆動して、出力コンデンサC2に電荷を供給し出力電圧 V_{o2} を制御駆動する。以降、この動作を繰り返す。

【0066】

第1の出力電圧誤差 V_{o1} が第2の出力電圧誤差 V_{o2} より大きい場合、第1のス

50

スイッチングサイクルは長くなり、第2のスイッチングサイクルは短くなる。一方で、第2の出力電源誤差 V_{o2} が第1の出力電源誤差 V_{o1} より大きい場合、第1のスイッチングサイクルは短くなり、第2のスイッチングサイクルは長くなる。

【0067】

図8は、図6の本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路において、クロック開始時に2つの電源の制御デューティを可変して、制御する方法を行った場合のインダクタ電流の波形を表したものである。

【0068】

図8(a)は第1の出力電圧誤差 V_{o1} が第2の出力電圧誤差より大きい場合のインダクタ電流の波形例を示す。この場合 $0 < D_1 < 1$ となり、第1のスイッチングサイクルが通常第1のスイッチングサイクルの期間より長くなり ($(1 + D_2)$ 倍)、第2のスイッチングサイクルが通常第2のスイッチングサイクルの期間よりも短くなる ($(1 - D_2)$ 倍)。

10

【0069】

図8(b)は、第2の出力誤差電圧 V_{o2} が第1の出力誤差電圧 V_{o1} より大きい場合のインダクタ電流の波形例を示す。この場合 $-1 < D_1 < 0$ となり、第1のスイッチングサイクルが通常第1のスイッチングサイクルの期間より短くなり ($(1 + D_2)$ 倍)、第2のスイッチングサイクルが通常第2のスイッチングサイクルの期間よりも長くなる ($(1 - D_2)$ 倍)。

20

【0070】

一方の出力において負荷変動が生じると、出力コンデンサの電荷が一時的に充放電されて出力電圧が変化し、出力電圧誤差が大きくなる。このような場合に、出力電圧誤差が大きいほうの電源を優先的に制御対象とすることにより、制御対象となった電源は、誤差を縮小する方向にすばやく制御され、誤差が大きいほうの電源をより早く安定化させる。そのため、出力電圧リップルを小さくすることができるとともに、クロスレギュレーションの影響をすばやく減少することができる。

【0071】

図9(a)乃至(c)は、図6におけるスイッチ制御部の具体的な回路構成図で、図9(a)は、第1の周波数シンセサイザ139の出力M01及び第2の周波数シンセサイザ140の出力M02を受けて各スイッチを操作する概念図、図9(b)は、スイッチ制御回路138の回路構成図、図9(c)は、真理値表を示している。

30

【0072】

スイッチ制御回路138は、第1の周波数シンセサイザ139の出力信号M01、第2の周波数シンセサイザ140の出力信号M02、選択信号SELを入力し、スイッチSW0～SW2にPWM信号を出力する。選択信号SELは、第1の期間、第2の期間を決める信号である。第1の期間は、ローレベル(論理値が0)のときで、第2の期間は、ハイレベル(論理値が1)のときである。

【0073】

選択信号SELが0のとき、第1の周波数シンセサイザ139の出力信号M01はイネーブルされ、第2の周波数シンセサイザ140の出力信号M02はディスイネーブルされる。そして、スイッチSW0には、第1の周波数シンセサイザ139の出力信号M01が出力され、スイッチSW1には、第1の周波数シンセサイザ139の出力信号M01を反転した信号が出力され、スイッチSW2には、0が出力される。

40

【0074】

選択信号SELが1のとき、第1の周波数シンセサイザ139の出力信号M01はディスイネーブルされ、第2の周波数シンセサイザ140の出力信号M02はイネーブルされる。そして、スイッチSW0には、第2の周波数シンセサイザ140の出力信号M02が出力され、スイッチSW1には、0が出力され、スイッチSW2には、第2の周波数シンセサイザ140の出力信号M02を反転した信号が出力される。

【0075】

50

このように、SW1とSW2とが同時にオンすることなく、第1の周波数シンセサイザ139からの出力M01及び第2の周波数シンセサイザ140からの出力M02とを時分割して、スイッチSW0～SW2に与えることができる。このように、選択信号SELにより、Vo1とVo2の制御を選択する。

【0076】

なお、上記2つの実施例では、2つの出力電圧誤差Vo1とVo2との比較により制御する電源及びそのスイッチング期間を決定したが、他の実施例では、出力誤差電圧Voに代えて、第1及び第2の電源の負荷電流Io1及びIo2を比較して、制御する電源及びそのスイッチング期間を決定することもできる。

【0077】

以上は、単一インダクタ2出力DC/DC変換回路を用いた場合について説明したが、単一インダクタ多出力DC/DC変換回路を用いることも可能である。つまり、単一インダクタ多出力変換回路として、単一インダクタn(nは2以上)出力DC/DC変換回路を用いる場合には、この単一のインダクタn出力回路の出力電圧と基準電圧との差分を増幅した誤差電圧をn個の比較器に出力するnこのエラーアンプと、エラーアンプから出力された誤差電圧と鋸歯状波との比較したPWM信号を制御比率発生器に出力するn個の比較器が必要になる。

【0078】

次に、本発明の実施例2について説明する。

【0079】

図10は、本発明に係る単一インダクタ2出力DC/DC変換回路を備えたスイッチング電源回路を説明するための図であり、各チャネルのエラーアンプからスイッチ制御回路までの回路構成図である。

【0080】

本発明に係るスイッチング電源回路は、単一インダクタ2出力DC/DC変換回路(デュアル昇圧コンバータ)130と、第1の出力電圧Vo1及び第1の基準電圧Vref1を入力する第1のエラーアンプ(誤差増幅器)131と、第2の出力電圧Vo2及び第2の基準電圧Vref2を入力する第2のエラーアンプ132と、この第1のエラーアンプ131の出力と第2のエラーアンプ132の出力とを入力とする差動増幅器135と、第1の鋸歯状波発生回路141と、この第1の鋸歯状波発生回路141の出力と差動増幅器135の出力を入力とする制御比率信号発生器142と、この制御比率信号発生器142の出力を入力とする第2及び第3の鋸歯状波発生回路143、144と、第1のエラーアンプ131の出力Vo1と第2の鋸歯状波発生回路143の出力を入力とする第1のコンパレータ145と、第2のエラーアンプ132の出力Vo2と第2の鋸歯状波発生回路144の出力を入力とする第2のコンパレータ146から構成されている。制御比率信号発生器142はコンパレータで構成されており、第1の電源と第2の電源のうち制御対象を選択する選択信号SELをスイッチ制御回路138に出力する。

【0081】

なお、実施例2では、スイッチ制御回路138については実施例1と同じであり、単一インダクタ2出力DC/DC変換回路130については、図4(a)に示した単一インダクタ2出力DC/DC変換回路121と同様である。

【0082】

つまり、本発明に係るスイッチング電源回路は、単一インダクタ2出力DC/DC変換回路を備えており、2電源のエラーアンプの出力の比較あるいは2電源の負荷電流の比較により、第1の鋸歯状波発生回路141の周期毎に2電源の各制御比率又は各制御期間を決定し、スイッチング素子を切り替え制御する。このスイッチング電源回路は2つのチャネルを有し、第1のチャネルからは第1の出力電源Vo1が得られ、第1の電源を構成する。また、第2のチャネルからは第2の出力電源Vo2が得られ、第2の電源を構成する。

【0083】

10

20

30

40

50

入力電圧が単一インダクタ2出力DC/DC変換回路130に入力されると、その出力電圧が、第1及び第2のエラーアンプ131、132と第1及び第2のコンパレータ133、134とスイッチ制御回路138とを介して制御され、単一インダクタ2出力DC/DC変換回路130からの出力電圧を得る。

【0084】

図10に示した本発明のスイッチング電源回路の動作を以下に説明する。

【0085】

本発明のスイッチング電源回路は、2つの出力電圧 V_{o1} 、 V_{o2} を得るために、容量 $C1$ 、 $C2$ に電荷を充電する期間を設けて、インダクタを時分割して利用することで、充電を行う。すなわち、2つの期間のうち第1の期間では、第1の電源として第1の出力電圧 V_{o1} を得るための昇圧動作を行い、2つの期間のうち第2の期間では、第2の電源として第2の出力電圧 V_{o2} を得るための昇圧動作を行う。

10

【0086】

まず、第1の期間(スイッチングサイクル)において、スイッチ $SW2$ はオフし、スイッチ $SW0$ 、 $SW1$ のオンオフで昇圧動作を行う。最初にスイッチ $SW0$ がオンし、スイッチ $SW1$ がオフして、インダクタ L に充電電流が充電される。次に、スイッチ $SW0$ がオフし、スイッチ $SW1$ がオンして、インダクタ L に充電された充電電流が容量 $C1$ に放電され、容量 $C1$ は充電される。そして、インダクタ L の充放電の動作を行う1つの期間を繰り返すことで、第1の出力電圧 V_{o1} が得られる。つまり、交互にくる第1の期間の間、それぞれ1個のパルスがスイッチ $SW0$ 、 $SW1$ に入力されて、昇圧動作が行われる。

20

【0087】

次に、第2の期間(スイッチングサイクル)において、スイッチ $SW1$ はオフし、スイッチ $SW0$ 、 $SW2$ のオンオフで昇圧動作を行う。最初にスイッチ $SW0$ がオンし、スイッチ $SW2$ がオフして、インダクタ L に充電電流が充電される。次に、スイッチ $SW0$ がオフし、スイッチ $SW2$ がオンして、インダクタ L に充電された充電電流が容量 $C2$ に放電され、容量 $C2$ は充電される。そして、インダクタ L の充放電の動作を行う1つの期間を繰り返すことで、第2の出力 V_{o2} が得られる。つまり、第2のスイッチングサイクルの間、それぞれ1個のパルスがスイッチ $SW0$ 、 $SW2$ に入力されて、昇圧動作が行われる。

30

【0088】

第1のエラーアンプ131の出力 V_{o1} と第2のエラーアンプ132の出力 V_{o2} は、差動増幅器135にその差分が増幅される。この差動増幅器135の出力と第1の鋸歯状波発生回路141の出力を入力とする制御比率信号発生回路142において比較され、制御対象の電源を選択する制御比率パルス SEL を出力する。この SEL 信号は次段の第2及び第3の鋸歯状波発生回路143、144に入力され、 SEL 信号のL期間及びH期間にあった幅の鋸歯状波をそれぞれ発生する。第2の鋸歯状波発生回路143は、 SEL 信号がL期間のとき、鋸歯状波を発生し、H期間のとき、停止する。第3の鋸歯状波発生回路144は、 SEL 信号がL期間のとき、停止し、H期間のとき、鋸歯状波を発生する。

40

【0089】

第1のコンパレータ145は第1の出力誤差電圧 V_{o1} と第2の鋸歯状波発生回路143の出力とを比較し、PWM信号 $PWM1$ を出力する。第2のコンパレータ146は第2の出力用誤差電圧 V_{o2} と第3の鋸歯状波発生回路144の出力とを比較してPWM信号 $PWM2$ を出力する。

【0090】

チャンネルの切り替えは SEL 信号により行われ、まず、第1のスイッチングサイクルにおいて、第1の出力電圧 V_{o1} を容量 $C1$ に充電し、次に、第2のスイッチングサイクル

50

において、第2の出力電圧 V_{o2} を容量 C_2 に充電する。これを1つのチャンネル切り替えサイクルとして、このチャンネル切り替えサイクルを繰り返し行う。このチャンネル切り替えサイクルの周期は、第1の鋸歯状波発生回路141の周期に一致している。

【0091】

図11は、図10に示した回路における各ノードの波形を示した図である。

【0092】

上述のように、制御比率信号生成回路142が、出力誤差電圧 V_{o1} と V_{o2} との差に応じたデューティのPWM信号をSEL信号として出力する。

【0093】

そして、SEL信号のL期間のとき鋸波状波を出力してH期間のとき停止する第2の鋸波状波発生回路143の出力と、出力誤差電圧 V_{o1} とを比較して、第1の電源を制御するPWM信号PWM1をM01として第1のコンパレータ145より出力する。

10

【0094】

また、SEL信号のL期間のとき停止してH期間のとき鋸波状波を出力する第3の鋸波状波発生回路144の出力と、出力誤差電圧 V_{o2} とを比較して、第2の電源を制御するPWM信号PWM2をM02として第2のコンパレータ146より出力する。

このようにして、各チャンネルにおける電源の出力電圧誤差の比率に応じた期間、各チャンネルの電源の制御を行うことができる。これにより、出力誤差電圧が大きい方のチャンネルを優先的に制御すること、すなわち負荷電流が大きい方のチャンネルを優先的に制御することができる。つまり負荷電流が大きい方のチャンネルを他のチャンネルに比べて相対的に多く制御することができるため、出力電圧が安定するまでの時間を早くすることができる。

20

【0095】

したがって、負荷変動時の出力電圧リップルを小さくできるとともに、クロスレギュレーションの影響を小さくすることができる。

【符号の説明】

【0096】

- 1 入力直流電源
- 21 第1の主スイッチ
- 22 第2の主スイッチ
- 31 インダクタ
- 51 第1の整流手段
- 52 第2の整流手段
- 61 第1の平滑手段
- 62 第2の平滑手段
- 71 第1の負荷
- 72 第2の負荷
- 81 制御回路
- 90 検出回路
- 91 PWM回路
- 92 論理回路
- 101 DC/DC変換回路
- 102 エラーアンプ
- 103 コンパレータ
- 104 鋸歯状波発生回路
- 105 PWM回路
- 106 スイッチ制御回路
- 111 従来2出力DC/DC変換回路
- 112、121、130 単一インダクタ多出力DC/DC変換回路
- 131 第1のエラーアンプ
- 132 第2のエラーアンプ

30

40

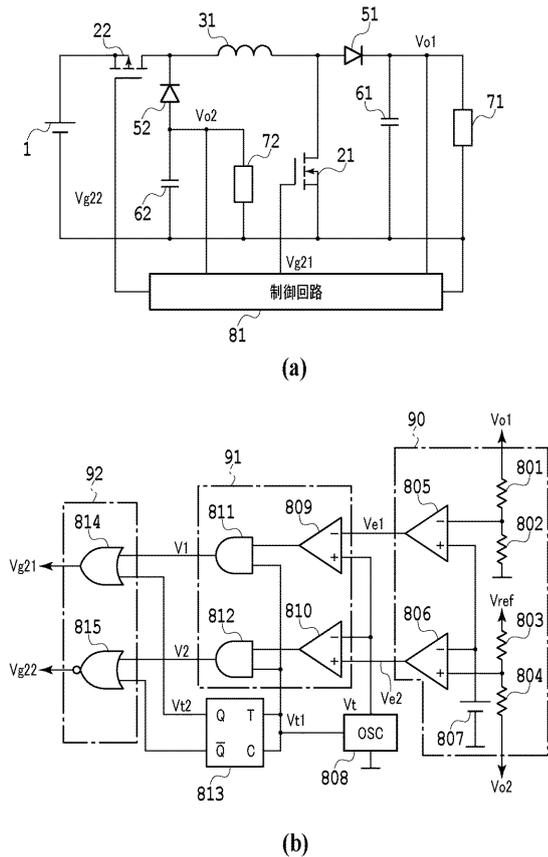
50

- 1 3 3 第 1 のコンパレータ
- 1 3 4 第 2 のコンパレータ
- 1 3 5 差動増幅器
- 1 3 6 鋸歯状波発生回路
- 1 3 7 制御比率発生器
- 1 3 8 スイッチ制御回路
- 1 3 9 第 1 の周波数シンセサイザ
- 1 4 0 第 2 の周波数シンセサイザ
- 1 4 1 第 1 の鋸歯状波発生回路
- 1 4 2 制御比率信号発生器
- 1 4 3 第 2 の鋸歯状波発生回路
- 1 4 4 第 3 の鋸歯状波発生回路
- 1 4 5 第 1 のコンパレータ
- 1 4 6 第 2 のコンパレータ
- 8 0 1、8 0 2、8 0 3、8 0 4 抵抗
- 8 0 5、8 0 6 誤差増幅器
- 8 0 7 基準電圧源
- 8 0 8 発振回路
- 8 0 9、8 1 0 比較器
- 8 1 1、8 1 2 AND 回路
- 8 1 3 Tフリップフロップ
- 8 1 4 OR 回路
- 8 1 5 NOR 回路

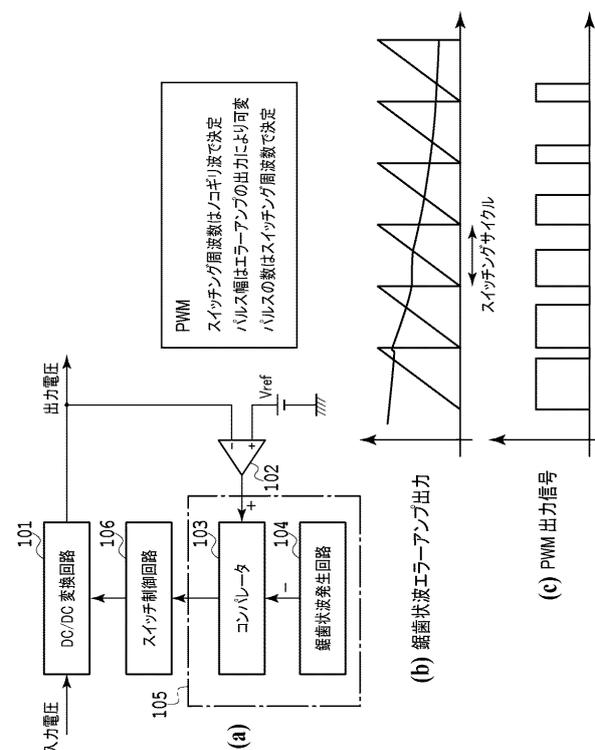
10

20

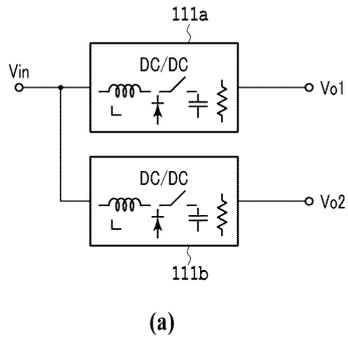
【 図 1 】



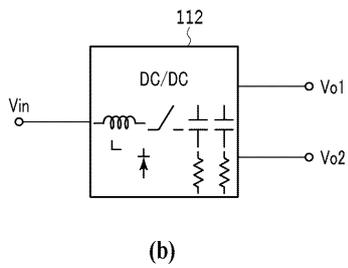
【 図 2 】



【 図 3 】

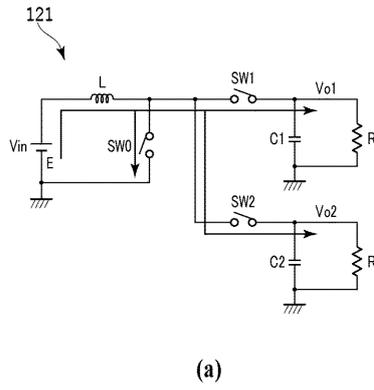


(a)

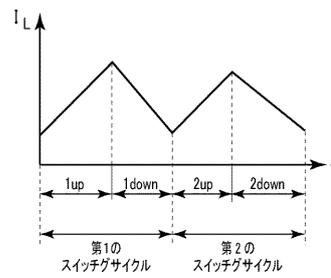


(b)

【 図 4 】

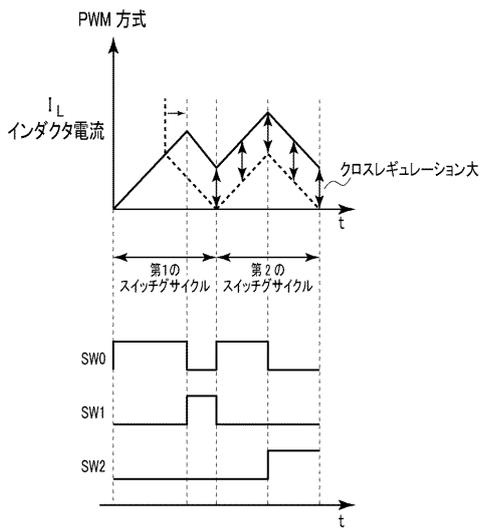


(a)

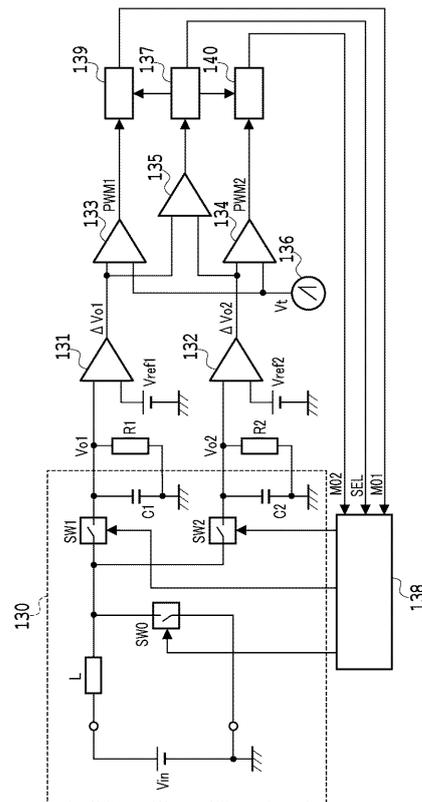


(b)

【 図 5 】

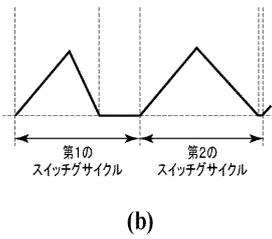
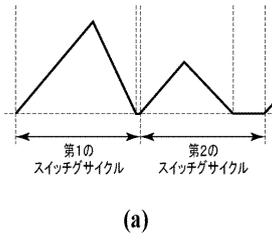


【 図 6 】



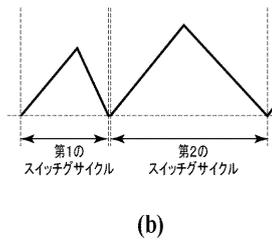
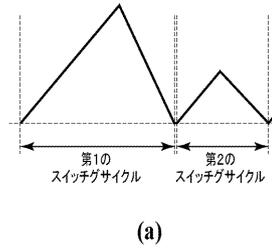
【 図 7 】

個々のスイッチングサイクルは一定であるが、一方の制御周期を可変制御

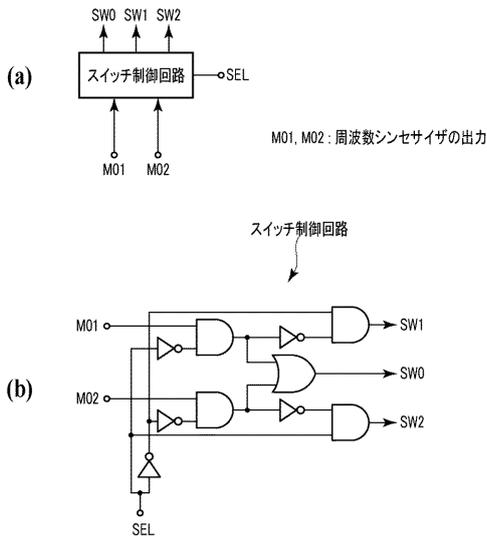


【 図 8 】

2電源の制御周期合計は一定であるが、個々の周期を可変制御



【 図 9 】

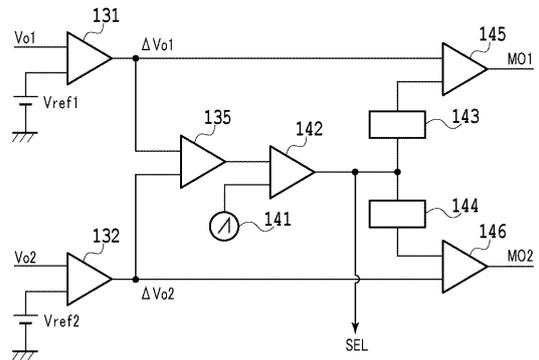


真理値表

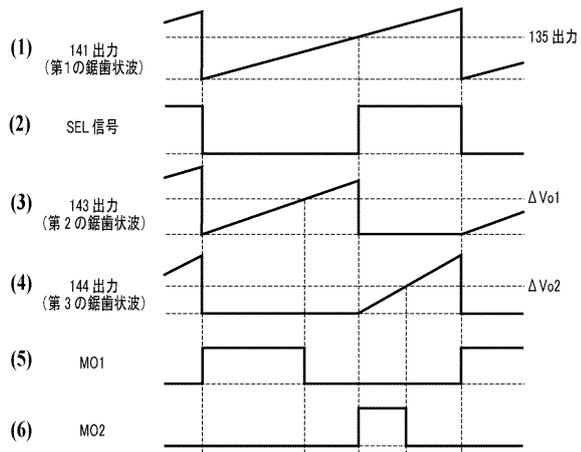
(c)

SEL	SW0	SW1	SW2
0	M01	$\overline{M01}$	0
1	M02	0	$\overline{M02}$

【 図 10 】



【 図 1 1 】



フロントページの続き

- (72)発明者 岡田 考志
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 長島 辰徳
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 堺 昂浩
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 都木 新太郎
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 高井 伸和
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 小林 春夫
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 大森 武志
埼玉県朝霞市泉水3丁目13番45号 A K Mテクノロジー株式会社内
- Fターム(参考) 5H730 AA04 BB13 BB82 BB88 DD04 EE59 FD01 FF11 FF13 FG05