

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-192204

(P2013-192204A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int.Cl.		F I	テーマコード (参考)	
<b>H03M</b>	<b>1/50</b>	<b>(2006.01)</b>	H03M 1/50	5J022
<b>H03M</b>	<b>1/36</b>	<b>(2006.01)</b>	H03M 1/36	5J064
<b>H03M</b>	<b>3/02</b>	<b>(2006.01)</b>	H03M 3/02	

審査請求 有 請求項の数 5 O L (全 23 頁)

(21) 出願番号 特願2012-264178 (P2012-264178)  
 (22) 出願日 平成24年12月3日 (2012.12.3)  
 (31) 優先権主張番号 特願2012-31484 (P2012-31484)  
 (32) 優先日 平成24年2月16日 (2012.2.16)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 396023993  
 株式会社半導体理工学研究センター  
 神奈川県横浜市港北区新横浜3丁目17番  
 地2 友泉新横浜ビル6階  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100103034  
 弁理士 野河 信久  
 (74) 代理人 100095441  
 弁理士 白根 俊郎

最終頁に続く

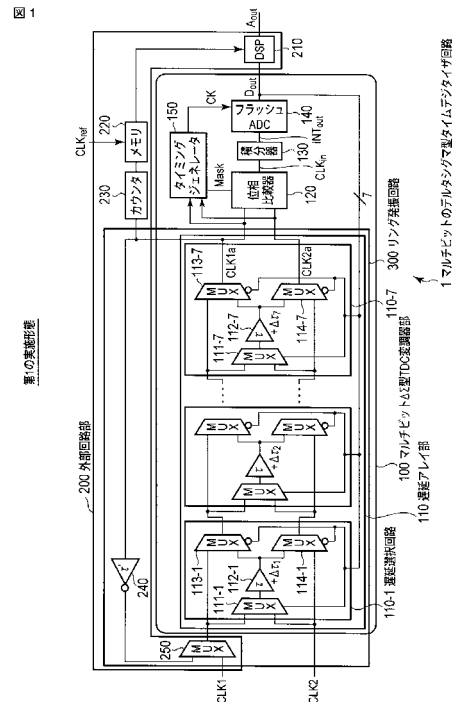
(54) 【発明の名称】 マルチビットのデルタシグマ型タイムデジタル回路及びその校正方法

(57) 【要約】 (修正有)

【課題】 出力の線形性の向上を図る。

【解決手段】 マルチビットのデルタシグマ型タイムデジタル回路1は、複数の遅延選択回路110-1~110-7で構成され、第1及び第2クロック信号の一方を遅延させる遅延アレイ部110と、遅延アレイ部の出力信号に応じた時間差を求める位相比較器120と、位相比較器から出力される時間差を積分する積分器130と、積分器の積分結果に応じたデジタル変換を行うフラッシュ型のAD変換器140と、遅延アレイ部を含んで構成されたリング発振回路300と、リング発振回路を通るクロック信号のパルス数を計測するカウンタ230と、パルス数に基づく発振周波数から求めた遅延素子の遅延値を記憶するメモリ220と、遅延アレイ部に入力される第1及び第2クロック信号間の立ち上がりタイミング間隔を測定する際、メモリに記憶された遅延値に基づいてAD変換器の出力結果を補正するプロセッサ210と、を具備する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 及び第 2 クロック信号間の立ち上がりタイミング間隔を測定するマルチビットのデルタシグマ型タイムデジタイザ回路であって、

遅延素子とマルチプレクサとをそれぞれ有する複数の遅延選択回路で構成され、前記第 1 及び第 2 クロック信号の一方を遅延させる遅延アレイ部と、

前記遅延アレイ部の出力信号に応じた時間差を求める位相比較器と、

前記位相比較器から出力される前記時間差を積分する積分器と、

前記積分器の積分結果に応じたデジタル変換を行うフラッシュ型の A/D 変換器と、

前記遅延アレイ部を含んで構成されたリング発振回路と、

前記リング発振回路を通るクロック信号のパルス数を計測するカウンタと、

前記パルス数に基づく発振周波数から求めた前記遅延素子の遅延値を記憶するメモリと

10

、  
前記遅延アレイ部に入力される前記第 1 及び第 2 クロック信号間の前記立ち上がりタイミング間隔を測定する際、前記メモリに記憶された前記遅延値に基づいて前記 A/D 変換器の出力結果を補正するプロセッサと、

を具備するマルチビットのデルタシグマ型タイムデジタイザ回路。

**【請求項 2】**

前記リング発振回路は、

前記遅延アレイ部の出力に接続されたインバータと、

前記インバータの出力と前記遅延アレイ部の入力とに接続されたセレクトアと、

を有する、請求項 1 によるマルチビットのデルタシグマ型タイムデジタイザ回路。

20

**【請求項 3】**

第 1 及び第 2 クロック信号間の立ち上がりタイミング間隔を測定するマルチビットのデルタシグマ型タイムデジタイザ回路の校正方法であって、

前記立ち上がりタイミング間隔を測定する前に、複数の遅延素子の遅延値をそれぞれ測定するステップと、

前記立ち上がりタイミング間隔を測定する時に、前記測定した遅延値を基に、前記立ち上がりタイミング間隔の測定結果を補正するステップと、

を具備するマルチビットのデルタシグマ型タイムデジタイザ回路の校正方法。

30

**【請求項 4】**

前記遅延値を測定するステップは、前記複数の遅延素子からなる遅延アレイ部を含んで構成されたリング発振回路を用いて行う、

請求項 3 によるマルチビットのデルタシグマ型タイムデジタイザ回路の校正方法。

**【請求項 5】**

前記遅延値を測定するステップでは、前記リング発振回路を通るクロック信号のパルス数を計測し、前記パルス数に基づく発振周波数から前記遅延素子の前記遅延値を求める、

請求項 4 によるマルチビットのデルタシグマ型タイムデジタイザ回路の校正方法。

**【発明の詳細な説明】****【技術分野】**

40

**【0001】**

本発明は、出力の線形性を向上させるマルチビットのデルタシグマ型タイムデジタイザ回路及びその校正方法に関する。

**【背景技術】****【0002】**

近年、2つの繰り返しクロック間の時間差を高時間分解能及び簡単な回路で計測するための型 TDC (Time-to-Digital Converter) が提案されている (例えば、非特許文献 1 乃至 3 参照)。この型 TDC をマルチビット化することにより、同じ測定時間で、1 ビットの場合よりも細かく測定することができる。

**【0003】**

50

しかし、マルチビット方式では、遅延素子が増えることで、複数の遅延素子の遅延値が相対的にばらつく恐れがある。このような遅延ミスマッチが生じる場合、そのまま出力計算を行うと、出力結果が非線形となり、測定誤差が生じてしまう。

【 0 0 0 4 】

また、型 A D C の内部 D A C の誤差成分をデジタル的に推定し誤差補正を行う手法が報告されている（例えば、非特許文献 4 参照）。この手法では、出力時に推定した誤差分を差し引くことで補正を行う。しかし、この誤差補正の方式は、T D C では用いられていない。

【先行技術文献】

【非特許文献】

10

【 0 0 0 5 】

【非特許文献 1】D.-W. Jee, Y.-H. Seo, H.-J. Park, J.-Y. Sim, "A 2 GHz Fractional-N Digital PLL with 1b Noise Shaping TDC," IEEE VLSI Circuit Symp. 11-4, Kyoto (June 2011)

【非特許文献 2】B. Young, K. Sunwoo, A. Elshazly, P. K. Hanumoulu, "A 2.4ps Resolution 2.1mW Second-Order Noise-Shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth," IEEE Custom Integrated Circuits, San Jose (Sept. 2010)

【非特許文献 3】Y. Cao, P. Leroux, W. D. Cock, M. Steyaert, "A 1.7mW 11b 1-1-1 MASH Time-to-Digital Converter," ISSCC (Feb. 2011)

【非特許文献 4】J. G. Kauffman, P. Witte, J. Becker, M. Ortmanns, "An 8mW 50MS/s CT Modulator with 81dB SFDR and Digital Background DAC Linearization," ISSCC Dig. Tech. Papers, pp. 472-474, Feb. 2011

20

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明は、出力の線形性の向上を図ることが可能なマルチビットのデルタシグマ型タイムデジタル回路及びその校正方法を提供する。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の第 1 の態様によるデルタシグマ型タイムデジタル回路は、第 1 及び第 2 クロック信号間の立ち上がりタイミング間隔を測定するマルチビットのデルタシグマ型タイムデジタル回路であって、遅延素子とマルチプレクサとをそれぞれ有する複数の遅延選択回路で構成され、前記第 1 及び第 2 クロック信号の一方を遅延させる遅延アレイ部と、前記遅延アレイ部の出力信号に応じた時間差を求める位相比較器と、前記位相比較器から出力される前記時間差を積分する積分器と、前記積分器の積分結果に応じたデジタル変換を行うフラッシュ型の A D 変換器と、前記遅延アレイ部を含んで構成されたリング発振回路と、前記リング発振回路を通るクロック信号のパルス数を計測するカウンタと、前記パルス数に基づく発振周波数から求めた前記遅延素子の遅延値を記憶するメモリと、前記遅延アレイ部に入力される前記第 1 及び第 2 クロック信号間の前記立ち上がりタイミング間隔を測定する際、前記メモリに記憶された前記遅延値に基づいて前記 A D 変換器の出力結果を補正するプロセッサと、を具備する。

30

40

【 0 0 0 8 】

本発明の第 2 の態様によるデルタシグマ型タイムデジタル回路の校正方法は、第 1 及び第 2 クロック信号間の立ち上がりタイミング間隔を測定するマルチビットのデルタシグマ型タイムデジタル回路の校正方法であって、前記立ち上がりタイミング間隔を測定する前に、複数の遅延素子の遅延値をそれぞれ測定するステップと、前記立ち上がりタイミング間隔を測定する時に、前記測定した遅延値を基に、前記立ち上がりタイミング間隔の測定結果を補正するステップと、を具備する。

【発明の効果】

【 0 0 0 9 】

50

本発明によれば、出力の線形性の向上を図ることが可能なマルチビットのデルタシグマ型タイムデジタイザ回路及びその校正方法を提供できる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路の回路構成を示す図。

【図2】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路の自己校正方法の概要を示すフロー図。

【図3】本発明の第1の実施形態による、図2のST1による遅延値の測定及び計算、メモリへの格納の方法を示すフロー図。

【図4】本発明の第1の実施形態による、図2のST1による遅延値の測定方法を説明するための図。

【図5】本発明の第1の実施形態による、図3のST1-1による遅延値の測定動作を説明するための図。

【図6】本発明の第1の実施形態による、図3のST1-2による遅延値の測定動作を説明するための図。

【図7】本発明の第1の実施形態による、図2のST2によるクロック間の立ち上がりタイミング間隔を測定する方法を説明するための図。

【図8】本発明の第1の実施形態による、図2のST2によるクロック間の立ち上がりタイミング間隔の測定を示すタイミングチャート。

【図9】本発明の第1の実施形態による、図2のST3~ST4による遅延データの読み出し及び補正の方法を説明するための図。

【図10】本発明の第1の実施形態による、図2のST4による出力信号の補正方法を説明するための図。

【図11】本発明の第1の実施形態による、3ビットの場合の図2のST4による出力信号の補正方法を説明するための図。

【図12】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路のシミュレーションに用いる遅延パラメータの条件1及び条件2を示す図。

【図13】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路のシミュレーション結果（条件1、出力数99点）を示す図。

【図14】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路のシミュレーション結果（条件1、出力数599点）を示す図。

【図15】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路のシミュレーション結果（条件2、出力数99点）を示す図。

【図16】本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路のシミュレーション結果（条件2、出力数599点）を示す図。

【図17】本発明の第2の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路の回路構成を示す図。

【図18】本発明の第2の実施形態による、図2のST1による遅延値の測定及び計算、メモリへの格納の方法を示すフロー図。

【図19】本発明の第2の実施形態による、図18のST1-11による遅延値の測定方法を説明するための図。

【図20】本発明の第2の実施形態による、図18のST1-12による遅延値の測定動作を説明するための図。

【図21】本発明の第2の実施形態による、図18のST1-13による遅延値の測定動作を説明するための図。

【図22】本発明の第2の実施形態による、図2のST3~ST4による遅延データの読み出し及び補正の方法を説明するための図。

【図23】本発明の第2の実施形態による、図2のST4による出力信号の補正方法を説明するための図。

10

20

30

40

50

【図 2 4】本発明の第 3 の実施形態に係るマルチビットの 型 T D C 変調器部における 2 次変調器の場合の概略的な回路構成を示す図。

【図 2 5】本発明の第 3 の実施形態に係るマルチビットの 型 T D C 変調器部における N 次変調器の場合の概略的な回路構成を示す図。

【図 2 6】本発明の各実施形態に係るマルチビットの 型 T D C 変調器部の構成を示す回路図。

【図 2 7】本発明の各実施形態に係る遅延選択回路の構成を示す回路図。

【図 2 8】本発明の各実施形態に係る遅延素子の構成を示す回路図。

【図 2 9】本発明の各実施形態に係る位相比較器の回路構成及びタイミングチャートを示す図。

10

【図 3 0】本発明の各実施形態に係る位相比較器のタイミングチャートを示す図。

【図 3 1】本発明の各実施形態に係るチャージポンプ回路の構成を示す回路図。

【図 3 2】本発明の各実施形態に係る位相比較器とチャージポンプ回路の接続関係を示す回路図。

【図 3 3】本発明の各実施形態に係るフラッシュ型 A D 変換器の構成を示す回路図。

【図 3 4】本発明の各実施形態に係るフラッシュ型 A D 変換器の出力を説明するための図。

【図 3 5】本発明の各実施形態に係るリング発振回路の改良例を説明するための回路図。

【図 3 6】本発明の各実施形態に係るリング発振回路の改良例を説明するためのタイミングチャート。

20

【発明を実施するための形態】

【0011】

[1] 概要

本発明のマルチビットのデルタシグマ型タイムデジタイザ回路では、繰り返しクロック間の時間差の測定開始前に、各遅延素子の実際の遅延値を自己測定し、その後、繰り返しクロック間の時間差の測定時に、その実際の遅延値を基に出力の自己校正（補正）を行う。

【0012】

ここで、本発明による各遅延値の自己測定では、マルチプレクサを制御して各遅延素子を 1 つずつなぎながらリング発振回路構成とし、カウンタで測定したパルス数を基に発振周波数を求めることで、実際の遅延値を計算する。

30

【0013】

また、本発明による出力補正では、 型 A D C 内 D A C の誤差補正方法に似た手法を用い、これをマルチビットの 型 T D C に適用する。 型 T D C で測定した出力計算は、コンパレータ出力が 1 であれば、0 であれば - として足し合わせていき、その平均をとった値が測定値となる。この計算時に、自己測定した実際の遅延値を用いることで、自己校正を行う。

【0014】

以上により、従来は、マルチビットの 型 T D C とすることで 1 ビットの場合よりも測定時間が短縮できる半面、遅延素子の誤差により出力が非線形となってしまう問題があったが、本発明により、誤差を含む遅延値分を考慮して出力することで、線形性の向上を図り、遅延誤差による測定誤差を抑制することが可能となる。

40

【0015】

以下、本発明の実施の形態について、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0016】

[2] 第 1 の実施形態

[2-1] 回路

図 1 を用いて、本発明の第 1 の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路の回路構成について説明する。本実施形態のマルチビットのデルタシグマ型

50

タイムデジタイザ回路は、2つのクロック信号CLK1, CLK2を入力し、立ち上がりタイミング間隔(時間差)Tを測定する。尚、本実施形態では3ビットの例を示すが、ビット数は種々変更可能である。

【0017】

図1に示すように、第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路1は、マルチビットの型TDC変調器部100及び外部回路部200で構成されている。

【0018】

マルチビットの型TDC変調器部100は、遅延アレイ部110、位相比較器120、積分器130、フラッシュ型AD変換器(ADC: Analog-to-Digital Converter)140、タイミングジェネレータ150を備えている。遅延アレイ部110は、複数の遅延選択回路110-n(本例の場合、 $n=1\sim 7$ )で構成されている。この遅延選択回路110-nは、入力信号を遅延する遅延素子112-n(本例の場合、 $n=1\sim 7$ )、マルチプレクサ(MUX)(セクタ)111-n、113-n、114-n(本例の場合、 $n=1\sim 7$ )をそれぞれ有している。

10

【0019】

外部回路部200は、DSP(Digital Signal Processor)210、メモリ(記憶部)220、カウンタ230、インバータ(反転器)240、マルチプレクサ250を備えている。DSP210は、他のプロセッサ、CPU(central processing unit)でもよい。

20

【0020】

本実施形態のデルタシグマ型タイムデジタイザ回路1は、遅延アレイ部110、インバータ240及びマルチプレクサ(MUX)250により、リング発振回路300が構成されている。

【0021】

このようなマルチビットのデルタシグマ型タイムデジタイザ回路1では、繰り返しクロック信号CLK1, CLK2間の時間差測定の概要は、以下の通りである。まず、フラッシュ型AD変換器140の出力結果 $D_{out}$ に応じて、遅延アレイ部110でクロック信号CLK1, CLK2の一方を遅延させる。遅延アレイ部110の出力信号CLK1a, CLK2aは、位相比較器120に入力される。位相比較器120では、Mask信号(信号CLK1a, CLK2aのうち速い方の信号)とそれぞれのクロック信号CLK1a, CLK2aとの論理積をとり、その結果の信号CLK1b, CLK2bの時間差 $CLK_{in}$ を求める。積分器130では、時間差 $CLK_{in}$ を電圧モードで積分して $INT_{out}$ を出力する。フラッシュ型AD変換器140では、 $INT_{out}$ に応じたデジタル値 $D_{out}$ を出力する。この際、フラッシュ型AD変換器140の動作は、クロックCKにより制御される。次に、DSP210では、リング発振回路300を用いて測定されメモリ220に格納された実際の遅延値に基づいて、 $D_{out}$ を補正し、 $A_{out}$ を出力する。

30

【0022】

ここで、リング発振回路300を用いた遅延値の測定では、マルチプレクサ111-n, 113-n, 114-n, 250の制御により、遅延アレイ部110内の各遅延素子112-nを1つずつつなぎ、カウンタ230で測定したパルス数を基に発振周波数を求めることで、実際の遅延値を計算する。この遅延値は、メモリ220に格納される。リング発振回路300を用いて遅延値を測定する場合、マルチプレクサ111-n, 113-n, 114-n, 250の制御は、DSP210(又はCPU)によって行われる。

40

【0023】

尚、本実施形態によるマルチビットのデルタシグマ型タイムデジタイザ回路1では、Nビットの型TDC変調器部100とするには、 $(2^N - 1)$ 個の遅延選択回路110(遅延素子112)が必要とされる。

【0024】

[2-2] 自己校正方法

50

図2を用いて、本発明の第1の実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路の自己校正方法の概要について説明する。

【0025】

まず、リング発振回路300を用いて各遅延素子112-nの遅延値 +  $\tau_N$  を自己測定し、遅延データをメモリ220に格納する(ST1)。次に、型TDC変調器部100にクロック信号CLK1, CLK2を入力し、CLK1, CLK2間の立ち上がりタイミング間隔を測定する(ST2)。この測定結果に対し、メモリ220から遅延データを読み出し(ST3)、DSP210で出力信号の補正を行う(ST4)。

【0026】

[2-2-1] ST1

図3及び図4を用いて、図2のST1の概要について説明する。尚、ここでは、3ビットの場合を例に挙げる。

【0027】

図3に示すように、図2のST1は、遅延素子112-nの遅延値 +  $\tau_N$  を測定及び計算し、その結果をメモリ220に格納するステップを、遅延素子112-nの数nだけ繰り返す。

【0028】

図4(a)に示すように、遅延素子112-nの遅延値 +  $\tau_N$  は、リング発振回路300を用いて自己測定される。この際、図4(b)に示すように、基準クロック信号CLK<sub>ref</sub>を用いて、リング発振回路300の発振クロック信号CLK<sub>osc</sub>のパルス数をカウンタ230で数え、発振周波数fを求める。この発振クロック信号CLK<sub>osc</sub>の発振周波数fは、以下の式(1)で示される。

【数1】

$$f = \frac{1}{2(\tau' + \tau + \Delta\tau_N)} \quad \dots \text{式(1)}$$

【0029】

ここで、 $\tau'$  は、インバータ240の遅延値である。 +  $\tau_N$  は、遅延素子112-nの遅延値(誤差  $\tau_N$  を含む)である。

【0030】

そして、図4(c)に示すように、この式(1)を用いて、発振周波数fから遅延値の誤差  $\tau_N$  を計算する。

【0031】

次に、図5及び図6を用いて、図2のST1について、本実施形態による7つの遅延素子112-1~7の場合を例に挙げて説明する。

【0032】

まず、図5に示すように、第1遅延素子112-1の第1遅延値 +  $\tau_1$  を測定及び計算し、その結果をメモリ220に格納する(図3のST1-1)。具体的には、リング発振回路300を用いて、第1遅延選択回路110-1の第1遅延素子112-1を通る発振クロック信号CLK<sub>osc</sub>のパルス数を、カウンタ230で測定し、発振周波数fを求める。そして、式(1)を用いて、クロック信号CLK<sub>osc</sub>の発振周波数fから第1遅延素子112-1の第1遅延値 +  $\tau_1$  を計算する。その計算結果の第1遅延値 +  $\tau_1$  をメモリ220に格納する。

【0033】

次に、図6に示すように、第2遅延素子112-2の第2遅延値 +  $\tau_2$  を測定及び計算し、その結果をメモリ220に格納する(図3のST1-2)。具体的には、ST1-1と同様、式(1)を用いて、クロック信号CLK<sub>osc</sub>の発振周波数fから第2遅延素子112-2の第2遅延値 +  $\tau_2$  を計算し、その計算結果の第2遅延値 +  $\tau_2$  をメモリ220に格納する。

【0034】

10

20

30

40

50

その後、図3のST1-1~ST1-2と同様、式(1)を用いて、クロック信号CLK<sub>osc</sub>の発振周波数fから遅延値 +  $\tau_{3-7}$  を計算し、その計算結果をメモリ220に格納する(図3のST1-3~ST1-7)。

【0035】

以上のように、図2のST1では、マルチビットのデルタシグマ型タイムデジタイザ回路1の全ての遅延素子112-nの遅延値 +  $\tau_N$  がそれぞれ測定及び計算され、その結果がメモリ220に格納される。

【0036】

[2-2-2] ST2

図7及び図8を用いて、図2のST2による、クロック間の立ち上がりタイミング間隔を測定する方法について具体的に説明する。

【0037】

まず、2つのクロック信号CLK1, CLK2を入力し、フラッシュ型AD変換器140の出力結果D<sub>out</sub>に応じて信号を  $\tau$  だけ遅延させる(図7(b)、(c)参照)。つまり、2つのクロック信号CLK1, CLK2は、それぞれフラッシュ型AD変換器140の出力D<sub>out</sub>の結果である0, 1に応じて、そのまま何もせずに信号を通す経路か、遅延経路を通して信号を遅らせる経路かの経路選択が行われる。遅延アレイ部110から出力された信号CLK1a, CLK2aのうち、速い方の信号をMask信号とする。本例では、クロック信号CLK1aが  $\tau$  だけ遅延し、クロック信号CLK2aがMask信号となっている。(図7(d)参照)。そして、位相比較器120では、Mask信号とそれぞれのクロック信号CLK1a, CLK2aとの論理積をとり、立ち下がりを含ませる(図7(e)、(f)参照)。続いて、この出力結果である両信号CLK1b, CLK2bの時間差CLK<sub>in</sub>を求める。積分器130では、その時間差CLK<sub>in</sub>を電圧に変換し、電圧モードで積分してINT<sub>out</sub>を出力する(図7(g)参照)。この出力結果INT<sub>out</sub>を、フラッシュ型AD変換器140を用いてデジタル変換する。その結果、温度計コードとしてビット分の出力がされる。この温度計コードの出力結果D<sub>out</sub>により、それぞれの信号CLK1, CLK2の次のクロックで通される経路が選択される。そのため、各信号の遅延時間は、フラッシュ型AD変換器140の出力結果D<sub>out</sub>によって変化する。クロック間の立ち上がりタイミング間隔は、フラッシュ型AD変換器140から出力された1の数から求める。尚、フラッシュ型AD変換器140を動作させるクロックCKは、タイミングジェネレータ150を用い、CLK1b, CLK2bの立ち下がり後にT<sub>d</sub>だけずらして発生させる。

【0038】

ここで、クロック信号CLK1が速い場合には、クロック信号間の時間差を求めたときに正となるため、積分した後の比較結果D<sub>out</sub>は1となる。この場合、次のクロックでは、CLK1は遅延の経路が選択され、CLK2はそのまま信号を通す経路が選択される。このような場合のタイミングチャートは、図8(a)に示す通りである。

【0039】

逆に、クロック信号CLK2が速い場合には、クロック信号間の時間差を求めたときに負となるため、積分した後の比較結果D<sub>out</sub>は0となる。この場合、次のクロックでは、CLK2が遅延の経路側を選択されることになる。このような場合のタイミングチャートは、図8(b)に示す通りである。

【0040】

[2-2-3] ST3~ST4

次に、図9乃至図11を用いて、図2のST3~ST4について具体的に説明する。この図2のST3~ST4は、図9に示すように、CLK1, CLK2間の立ち上がりタイミング間隔を測定した結果D<sub>out</sub>に対し、メモリ220から遅延データを読み出し(図2のST3)、DSP210で出力信号を補正する(図2のST4)。

【0041】

出力信号の補正方法としては、図10(a)及び(b)に示すように、測定結果D<sub>u</sub>

10

20

30

40

50



$t$  (例えば、3、4、5)を、メモリ220から読み出した遅延誤差  $\tau_N$  を含めた値  $A_{out}$  (例えば、3.13、3.95、5.02)に補正する。

【0042】

具体的には、図11に示すように、1回目～5回目のCLK1, CLK2間の立ち上がりタイミング間隔を測定した結果  $D_{out1} \sim 7$  が、「1111000」、「1111100」、「1111100」、「1111000」、「1111100」であったとする。

【0043】

ここで、従来のような補正なしの場合、Aは、それぞれ0.145ns、0.435ns、0.435ns、0.145ns、0.435nsとなり、立ち上がりタイミング間隔  $T_{measure}$  は、0.319nsとなる。

10

【0044】

一方、本発明による補正ありの場合、遅延誤差が含まれるため、Aは、それぞれ0.141ns、0.431ns、0.431ns、0.141ns、0.431nsとなり、立ち上がりタイミング間隔  $T_{measure}$  は、0.315nsとなる。

【0045】

尚、Aは、以下の式(2)で示され、 $T_{measure}$  は、以下の式(3)で示される。式(3)におけるNは、比較回数を示す。

【数2】

$$A = \sum_{i=1}^{2^{bit}-1} (-\tau_i + 2\tau_i \cdot D_{outi}) \quad \dots \text{式(2)}$$

20

【0046】

【数3】

$$T_{measure} = \frac{\sum_{j=1}^N A_j}{N} \quad \dots \text{式(3)}$$

30

【0047】

[2-3]効果

図12乃至図16を用いて、本実施形態に係るマルチビットのデルタシグマ型タイムデジタイザ回路1のMATLAB(登録商標)シミュレータによる動作確認結果を説明する。

【0048】

シミュレーション用に生成した遅延パラメータは、図12に示すような条件1と条件2である。ここで、遅延ばらつきは、ガウス分布でランダムに生成し、最大で  $\tau = 0.145ns$  の  $\pm 10\%$  程度の誤差となるように設定した。図13及び図14は条件1の場合を示し、図15及び図16は条件2の場合を示す。

40

【0049】

また、シミュレーション条件として、3ビットのデルタシグマ型タイムデジタイザ回路を用い、遅延セルの遅延時間を  $\tau = 1ns$  とし、クロック信号CLK1, CLK2間の立ち上がりタイミング間隔Tを0.04ns刻みで  $T = -0.9ns$  から  $T = 0.9ns$  まで変化させた。また、出力数を、図13及び図15では99点(99回比較)、図14及び図16では599点(599回比較)とした。

【0050】

このような条件で3ビットのデルタシグマ型タイムデジタイザ回路のシミュレーションを行い、クロック間の立ち上がりタイミング間隔Tに対する  $T_{measure}$  をプロット

50

したものを各図 ( a ) に示し、理想直線からの差を各図 ( b ) に示す。三角のプロットは補正なしの場合 ( 従来 ) であり、丸のプロットは補正ありの場合 ( 本発明 ) である。

【 0 0 5 1 】

各図 ( a ) から分かるように、クロック間の立ち上がりタイミング間隔  $T$  によって  $T_{measured}$  が変化し、その値は線形に変化している。また、各図 ( b ) から分かるように、補正ありの場合は、補正なしの場合よりも理想直線からの差が小さいことが分かる。さらに、出力点が多い方が、より理想直線に近づくことが分かる。

【 0 0 5 2 】

以上のように、本発明の第 1 の実施形態によれば、繰り返しクロック間の時間差を測定する前に、各遅延素子の実際の遅延値を自己測定し、その後、繰り返しクロック間の時間差の測定時に、その実際の遅延値を基に出力結果を補正する。このように、誤差を含む遅延値分を考慮して出力することで、線形性を向上することが可能となり、遅延誤差による測定誤差を抑制することができる。

10

【 0 0 5 3 】

また、既存の DAC の誤差補正の場合には、信号が「電圧」又は「電流」であるため、単位セル間の mismatch の簡易及び高精度の測定が困難であったが、本発明の場合、信号が「時間」であるため、容易かつ高精度で遅延値を測定できる。

【 0 0 5 4 】

[ 3 ] 第 2 の実施形態

第 2 の実施形態は、遅延値の自己測定時間を短縮する例である。尚、第 2 の実施形態では、主に第 1 の実施形態と異なる点について説明する。

20

【 0 0 5 5 】

[ 3 - 1 ] 回路

図 17 を用いて、本発明の第 2 の実施形態に係るマルチビットのデルタシグマ型タイムデジタル回路の回路構成について説明する。尚、本実施形態では 3 ビットの例を示すが、ビット数は種々変更可能である。

【 0 0 5 6 】

上記第 1 の実施形態では、複数の遅延素子  $112 - n$  の遅延値は全て一定であり、遅延素子  $112 - n$  の数は、 $N$  ビットのデルタシグマ型 TDC とするには、 $(2^N - 1)$  個であった。

30

【 0 0 5 7 】

これに対し、第 2 の実施形態では、例えば、3 ビットのデルタシグマ型 TDC の場合、3 つの遅延素子  $112 - 1 \sim 3$  ( 遅延選択回路  $110 - 1 \sim 3$  ) を用い、遅延素子  $112 - 1$  の遅延値を 4 、遅延素子  $112 - 2$  の遅延値を 2 、遅延素子  $112 - 3$  の遅延値を 1 と異なる値にしている。さらに、第 2 の実施形態では、フラッシュ型 AD 変換器 140 の出力にエンコーダ 160 が追加されている。

【 0 0 5 8 】

[ 3 - 2 ] 自己校正方法

図 18 乃至図 23 を用いて、図 2 の ST1 ~ ST4 について、本実施形態による 3 つの遅延素子  $112 - 1 \sim 3$  の場合を例に挙げて説明する。第 2 の実施形態では、図 2 の ST1 が第 1 の実施形態と異なり、遅延値測定が 3 ステップと簡単になっている。

40

【 0 0 5 9 】

まず、図 19 に示すように、第 1 遅延素子  $112 - 1$  の第 1 遅延値  $4 + t_1$  を測定及び計算し、その結果をメモリ 220 に格納する ( 図 18 の ST1 - 11 )。具体的には、リング発振回路 300 を用いて、第 1 遅延選択回路  $110 - 1$  の第 1 遅延素子  $112 - 1$  を通る発振クロック信号  $CLK_{sc}$  のパルス数を、カウンタ 230 で測定し、発振周波数  $f$  を求める。そして、式 ( 1 ) を用いて、クロック信号  $CLK_{sc}$  の発振周波数  $f$  から第 1 遅延素子  $112 - 1$  の第 1 遅延値  $4 + t_1$  を計算し、メモリ 220 に格納する。次に、図 20 に示すように、第 2 遅延素子  $112 - 2$  の第 2 遅延値  $2 + t_2$  を測定及び計算し、その結果をメモリ 220 に格納する ( 図 18 の ST1 - 12 )。続いて、

50

図 2 1 に示すように、第 3 遅延素子 1 1 2 - 3 の第 3 遅延値  $+ \quad_3$  を測定及び計算し、その結果をメモリ 2 2 0 に格納する (図 1 8 の S T 1 - 1 3 )。その後、C L K 1 , C L K 2 間の立ち上がりタイミング間隔を測定する (図 2 の S T 2 )。

【 0 0 6 0 】

次に、図 2 2 に示すように、C L K 1 , C L K 2 間の立ち上がりタイミング間隔を測定した結果  $D_{out}$  に対し、メモリ 2 2 0 から遅延データを読み出し (図 2 の S T 3 )、D S P 2 1 0 で出力信号を補正する (図 2 の S T 4 )。

【 0 0 6 1 】

出力信号の補正方法としては、図 2 3 に示すように、1 回目 ~ 5 回目の C L K 1 , C L K 2 間の立ち上がりタイミング間隔を測定した結果  $D_{out 1 \sim 3}$  が、「1 0 0」、「1 0 1」、「1 0 1」、「1 0 0」、「1 0 1」であり、理想遅延値  $= 0.145 \text{ ns}$ 、想定誤差  $\quad_1 = 0.0004 \text{ ns}$ 、 $\quad_2 = -0.007 \text{ ns}$ 、 $\quad_3 = 0.003 \text{ ns}$  であったとする。

10

【 0 0 6 2 】

ここで、従来のような補正なしの場合、A は、それぞれ  $0.145 \text{ ns}$ 、 $0.435 \text{ ns}$ 、 $0.435 \text{ ns}$ 、 $0.145 \text{ ns}$ 、 $0.435 \text{ ns}$  となり、立ち上がりタイミング間隔  $T_{measure}$  は、 $0.319 \text{ ns}$  となる。

【 0 0 6 3 】

一方、本発明による補正ありの場合、遅延誤差  $\quad_1$ 、 $\quad_2$ 、 $\quad_3$  が含まれるため、A は、それぞれ  $0.153 \text{ ns}$ 、 $0.449 \text{ ns}$ 、 $0.449 \text{ ns}$ 、 $0.153 \text{ ns}$ 、 $0.449 \text{ ns}$  となり、立ち上がりタイミング間隔  $T_{measure}$  は、 $0.331 \text{ ns}$  となる。

20

【 0 0 6 4 】

[ 3 - 3 ] 効果

第 2 の実施形態は、上記第 1 の実施形態と同様、誤差を含む遅延値分を考慮して出力することで、線形性を向上することが可能となり、遅延誤差による測定誤差を抑制することができる。

【 0 0 6 5 】

さらに、第 2 の実施形態では、遅延素子の数を減らすことで、第 1 の実施形態より、遅延値の自己測定時間を短縮することができる。

30

【 0 0 6 6 】

[ 4 ] 第 3 の実施形態

第 1 及び第 2 の実施形態では、1 つの積分器 1 3 0 を有する 1 次変調器の例を示したのに対し、第 3 の実施形態では、2 つ以上の積分器 1 3 0 - N を有する N 次変調器の例を示す。

【 0 0 6 7 】

図 2 4 及び図 2 5 を用いて、第 3 の実施形態に係るマルチビットの  $\quad$  型 T D C 変調器部 1 0 0 の概略的な構成について説明する。尚、第 3 の実施形態では、 $\quad$  型 T D C 変調器部 1 0 0 の詳細及び外部回路部 2 0 0 は、第 1 及び第 2 の実施形態と同様であるため、説明は省略する。

40

【 0 0 6 8 】

図 2 4 は、2 つの積分器 1 3 0 - 1 , 1 3 0 - 2 を有する 2 次変調器の場合を示す。図 2 4 に示すように、2 次変調器の場合、遅延後の C L K 1 と C L K 2 の時間差をアナログ電圧へ変換した結果が 1 段目の積分器 1 3 0 - 1 の出力となる。その後、フラッシュ型 A D 変換器 1 4 0 からの 1 クロック前のデジタル出力が D A C 1 7 0 でアナログ出力へと変換され、1 段目の結果から減算される。この減算結果を 2 段目の積分器 1 3 0 - 2 で積分し、フラッシュ型 A D 変換器 1 4 0 を用いてデジタル出力  $D_{out}$  を得る。この出力結果  $D_{out}$  で遅延アレイド部 1 1 0 の経路制御を行う。

【 0 0 6 9 】

図 2 5 は、N 個の積分器 1 3 0 - N を有する N 次変調器の場合を示す。図 2 5 に示すよ

50

うに、積分器 130 - N が N 個の場合の回路構成に関しては、フラッシュ型 A/D 変換器 140 の比較器の個数は  $2^N - 1$  個、遅延素子の個数は  $2^N - 1$  個、出力  $D_{out}$  の本数は  $2^N - 1$  個となる。尚、一般に  $N \geq 2$  で、N ビット変調器では、N 個の積分器があっても安定性に問題はない。

【0070】

以上のように、本発明の第 3 の実施形態によれば、従来の 3 次以上の様々なデルタシグマ A/D C と同様な構成を適用することで、本発明の構成を用いた 3 次以上のデルタシグマ T/D C 構成を実現することができる。

【0071】

[5] 型 T/D C の回路例

以下に、本発明の各実施形態に用いられるマルチビットの型 T/D C 変調器部 100 の回路例について説明する。尚、本発明の各実施形態に用いられる型 T/D C 変調器部 100 の回路は、以下の例に限定されず、種々変更は可能である。

【0072】

[5-1] 全体回路構成

図 26 に示すように、本発明の各実施形態に用いられるマルチビットの型 T/D C 変調器部 100 は、複数の遅延選択回路 110 - n を有する遅延アレイ部 110、位相比較器 120、積分器 130 を有するチャージポンプ回路 180、フラッシュ型 A/D 変換器 140 で構成されている。このようなマルチビットの型 T/D C 変調器部 100 の各回路構成について、以下に具体的に説明する。

【0073】

[5-2] 遅延選択回路

図 27 (a) 及び (b) を用いて、本発明の各実施形態に用いられる遅延選択回路 110 - n の例 1 及び例 2 について説明する。

【0074】

図 27 (a) に示すように、例 1 の遅延選択回路 110 は、3 つのマルチプレクサ 111, 113, 114 と 1 つの遅延素子 112 で構成される。

【0075】

マルチプレクサ 111, 113, 114 は、出力結果  $D_{out}$  により出力信号が制御されている。つまり、マルチプレクサ 111 は、出力結果  $D_{out}$  に応じて、クロック信号 CLK 1 と CLK 2 のいずれか一方を遅延素子 112 に入力する。マルチプレクサ 113 は、出力結果  $D_{out}$  に応じて、クロック信号 CLK 1 と遅延素子 112 の出力信号のいずれか一方を出力する。マルチプレクサ 114 は、出力結果  $D_{out}$  に応じて、クロック信号 CLK 2 と遅延素子 112 の出力信号のいずれか一方を出力する。

【0076】

例えば、出力結果  $D_{out}$  が「0」の場合、例えば、マルチプレクサ 111 はクロック信号 CLK 2 を遅延素子 112 に入力し、マルチプレクサ 113 はクロック信号 CLK 1 をそのまま出力し、マルチプレクサ 114 は遅延素子 112 により遅延値だけ遅延した出力信号を出力する。つまり、出力結果  $D_{out}$  が「0」の場合、遅延選択回路 110 により、クロック信号 CLK 2 を遅延させる。

【0077】

一方、出力結果  $D_{out}$  が「1」の場合、例えば、マルチプレクサ 111 はクロック信号 CLK 1 を遅延素子 112 に入力し、マルチプレクサ 113 は遅延素子 112 により遅延値だけ遅延した出力信号を出力し、マルチプレクサ 114 はクロック信号 CLK 2 をそのまま出力する。つまり、出力結果  $D_{out}$  が「1」の場合、遅延選択回路 110 により、クロック信号 CLK 1 を遅延させる。

【0078】

図 27 (b) に示すように、例 2 の遅延選択回路 110 は、2 つの遅延素子 115, 116 と 2 つのマルチプレクサ 117, 118 で構成される。

【0079】

10

20

30

40

50

マルチプレクサ 117, 118 は、出力結果  $D_{out}$  により出力信号が制御されている。例えば、出力結果  $D_{out}$  が「0」の場合、例えば、マルチプレクサ 117 はクロック信号 CLK 1 をそのまま出力し、マルチプレクサ 118 はクロック信号 CLK 2 を遅延素子 116 により遅延値だけ遅延して出力する。一方、出力結果  $D_{out}$  が「1」の場合、例えば、マルチプレクサ 117 はクロック信号 CLK 1 を遅延素子 115 により遅延値だけ遅延して出力し、マルチプレクサ 118 はクロック信号 CLK 2 をそのまま出力する。

#### 【0080】

次に、図 28 (a) 及び (b) を用いて、本発明の各実施形態に用いられる遅延選択回路 110 の遅延素子の例について説明する。

10

#### 【0081】

図 28 (a) に示すように、遅延素子は、複数 (例えば 32 個) のインバータ INV で構成されている。遅延素子の遅延値は、例えば、1 ns である。

#### 【0082】

図 28 (b) に示すように、遅延素子を構成する各インバータ INV は、PMOS トランジスタ Tr 1 と NMOS トランジスタ Tr 2 で構成されている。PMOS トランジスタ Tr 1 では、例えば、ゲート幅  $W_p$  は  $2.25 \mu\text{m}$ 、ゲート長  $L$  は  $180 \text{ nm}$  である。NMOS トランジスタ Tr 2 では、例えば、ゲート幅  $W_n$  は  $750 \text{ nm}$ 、ゲート長  $L$  は  $180 \text{ nm}$  である。ここで、PMOS トランジスタ Tr 1 のゲート幅  $W_p$  : NMOS トランジスタ Tr 2 のゲート幅  $W_n$  は、例えば、3 : 1 になっている。

20

#### 【0083】

##### [5-3] 位相比較器

図 29 (a) 及び (b)、図 30 (a) 及び (b) を用いて、本発明の各実施形態で用いられる位相比較器 120 の例について説明する。尚、ここでは、NAND 型位相比較器を例に挙げる。

#### 【0084】

図 29 (a) に示すように、位相比較器 120 は、D フリップフロップ 121, 122 と NAND 回路 123 で構成されている。D フリップフロップ 121 では、CK (CLOCK) 入力に入力されるクロック信号 CLK 1 a の立ち上がりエッジのタイミングで、D 入力の値が Q 出力 ( $V_{up}$ ) として保持される。D フリップフロップ 122 では、CK 入力に入力されるクロック信号 CLK 2 a の立ち上がりエッジのタイミングで、D 入力の値が Q 出力 ( $V_{down}$ ) として保持される。

30

#### 【0085】

図 29 (b) に示すように、位相比較器 120 では、クロック信号 CLK 1 a の立ち上がりエッジのタイミングで出力  $V_{up}$  が立ち上がり (1 となり)、クロック信号 CLK 2 a の立ち上がりエッジのタイミングで出力  $V_{down}$  が立ち上がる (1 となる)。このように、位相比較器 120 の出力  $V_{up}$ ,  $V_{down}$  が共に立ち上がると (1 になると)、リセット信号 Reset は 0 になり、出力  $V_{up}$ ,  $V_{down}$  も 0 となる。

#### 【0086】

図 30 (a) 及び (b) に示すように、D フリップフロップ 121, 122 の各出力 Q の  $V_{up}$ ,  $V_{down}$  は、クロック信号 CLK 1 a, CLK 2 a の立ち上がりエッジのタイミングによってそれぞれ決まる。図 30 (a) は、CLK 1 a の立ち上がりエッジが CLK 2 a の立ち上がりエッジよりも速い場合を示し、図 30 (b) は、CLK 2 a の立ち上がりエッジが CLK 1 a の立ち上がりエッジよりも速い場合を示している。

40

#### 【0087】

##### [5-4] チャージポンプ回路

図 31 (a) 及び (b) 及び図 32 を用いて、本発明の各実施形態で用いられるチャージポンプ回路 180 の例について説明する。

#### 【0088】

図 31 (a) に示す基本型のチャージポンプ回路 180 a は、出力  $V_{out}$  が電流源の

50

電流値に影響を与える恐れがある。これに対し、図31(b)に示すオペアンプ型のチャージポンプ回路180bは、電流値が $V_{out}$ に影響されず一定値を保ち、精度良く積分を行うことが可能である。

【0089】

図31(b)に示すように、オペアンプ型のチャージポンプ回路180bは、オペアンプOP、スイッチSW1, SW2, SW3、抵抗R、コンデンサCで構成されている。スイッチSW1, SW2, SW3は、PMOSトランジスタ、NMOSトランジスタ等で構成されている。

【0090】

オペアンプ型のチャージポンプ回路180bでは、位相比較器120の出力 $V_{up}$ が入力となるスイッチSW1がONになると、コンデンサCに電荷が充電される。一方、位相比較器120の出力 $V_{down}$ が入力となるNMOSスイッチSW2がONになると、コンデンサCから電荷が放電される。このように、スイッチSW1, SW2は、入力電圧 $V_{up}$ ,  $V_{down}$ で制御されている。

10

【0091】

図32に示すように、位相比較器120とチャージポンプ回路180は、インバータINVが追加されて接続される。つまり、スイッチSW1-1は $V_{up}$ の反転信号で制御され、スイッチSW2-1は $V_{down}$ で制御され、スイッチSW1-2は $V_{down}$ の反転信号で制御され、スイッチSW2-2は $V_{up}$ で制御される。

【0092】

20

[5-5]フラッシュ型AD変換器

図33及び図34を用いて、本発明の各実施形態で用いられるフラッシュ型AD変換器140の例について説明する。尚、ここでは、3ビットの場合を例に挙げる。

【0093】

フラッシュ型AD変換器140は、差動構成にダイナミック抵抗ラダーを合わせて構成されている。フラッシュ型AD変換器140では、チャージポンプ回路180の出力 $V_{out+}$ と $V_{out-}$ の差( $V$ )に応じたデジタル値を出力する。例えば、 $V$ が-350mV以下の場合には「0000000」を出力し、 $V$ が350mV以上の場合には「1111111」を出力する。

【0094】

30

[6]リング発振回路の改良例

上述したリング発振回路の周波数 $f_{osc}$ は、遅延値の関数である。この遅延値は、 $t_r$ と $t_f$ の平均値であり、次のように表される。

【0095】

$$f_{osc} = (t_r + t_f) / 2$$

ここで、 $t_r$ は、バッファ出力がロウレベルからハイレベルに立ち上がる場合の遅延値である。 $t_f$ は、バッファ出力がハイレベルからロウレベルに立ち下がる場合の遅延値である。また、2つの信号の立ち上がりタイミングを測定したいときには、バッファの立ち上がり遅延値 $t_r$ のみが必要である。

【0096】

40

しかし、 $t_r$ と $t_f$ が異なる場合、上述したリング発振回路では、 $t_r$ を正確に測定できない場合がある。

【0097】

そこで、ここでは、図35の回路図及び図36のタイミングチャートを用いて、 $t_r$ を正確に測定することができる原理について説明する。尚、ここで、 $t_r < t_f$ である。

【0098】

図36のタイミングチャートに示すように、ノードaのクロックパルスの周期は、 $t_1 + t_r + t_3$ となり、 $t_f$ が入ってこない。また、 $t_1$ 、 $t_3$ は、バッファ遅延測定回路で共通であるので(バッファ遅延 $t_r$ は、バッファ毎に異なる)、計算でキャンセルすることができる。

50

【 0 0 9 9 】

尚、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

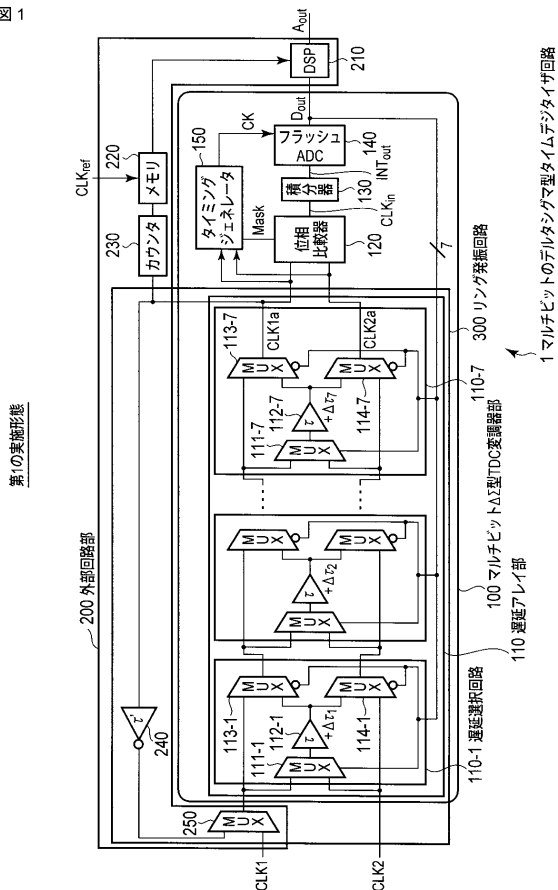
【 0 1 0 0 】

1 ... マルチビットのデルタシグマ型タイムデジタイザ回路、 1 0 0 ... マルチビットの型 TDC 変調器部、 1 1 0 ... 遅延アレイ部、 1 1 0 - n ... 遅延選択回路、 1 1 1 , 1 1 3 , 1 1 4 , 1 1 7 , 1 1 8 , 2 5 0 ... マルチプレクサ、 1 1 2 , 1 1 5 , 1 1 6 ... 遅延素子、 1 2 0 ... 位相比較器、 1 3 0 ... 積分器、 1 4 0 ... フラッシュ型 A D 変換器、 1 5 0 ... タイミングジェネレータ、 1 6 0 ... エンコーダ、 1 7 0 ... D A C 、 1 8 0 ... チャージポンプ回路、 2 0 0 ... 外部回路部、 2 1 0 ... D S P 、 2 2 0 ... メモリ、 2 3 0 ... カウンタ、 2 4 0 ... インバータ。

10

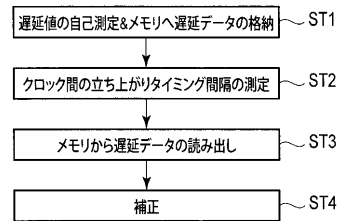
【 図 1 】

図 1



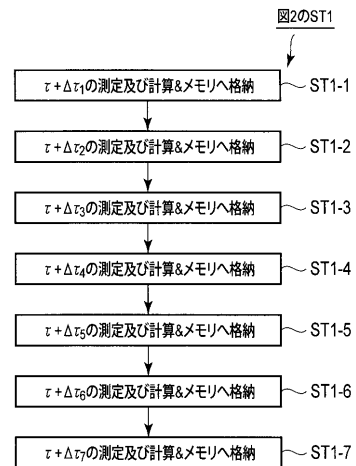
【 図 2 】

図 2

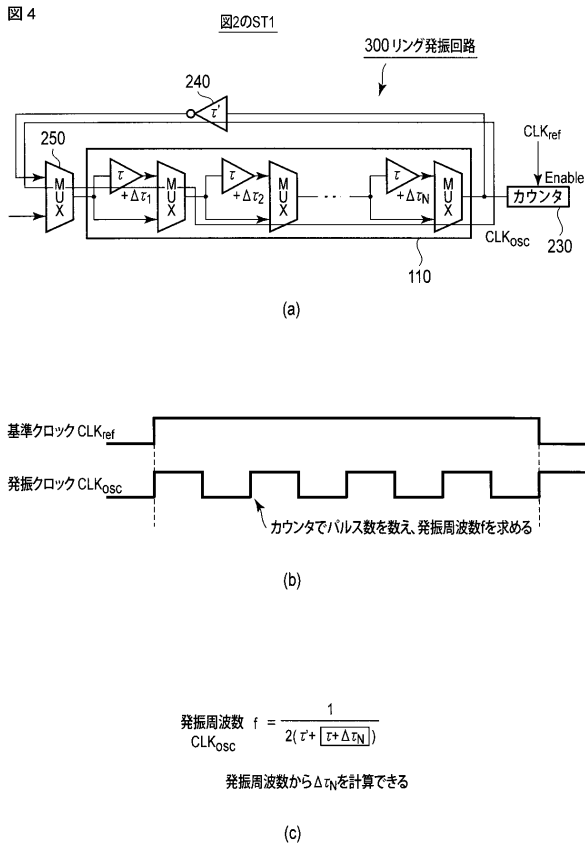


【 図 3 】

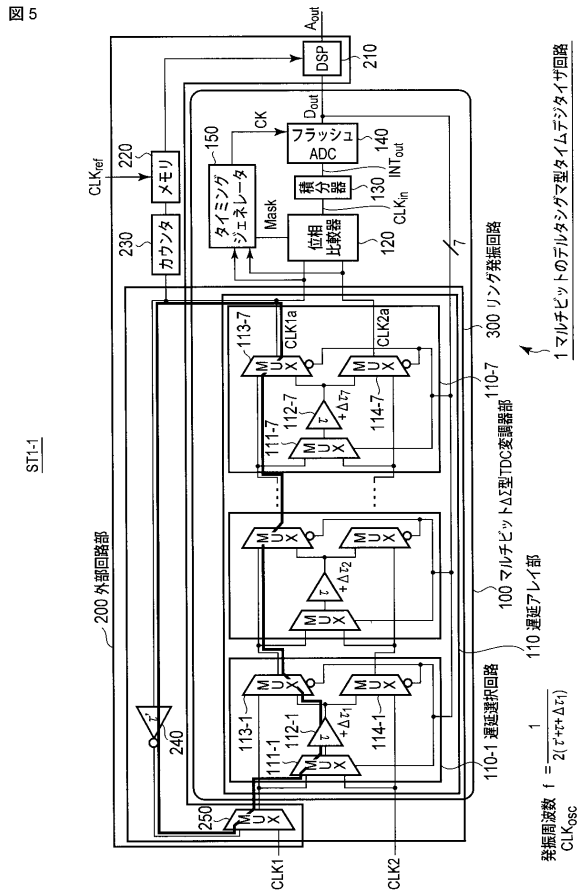
図 3



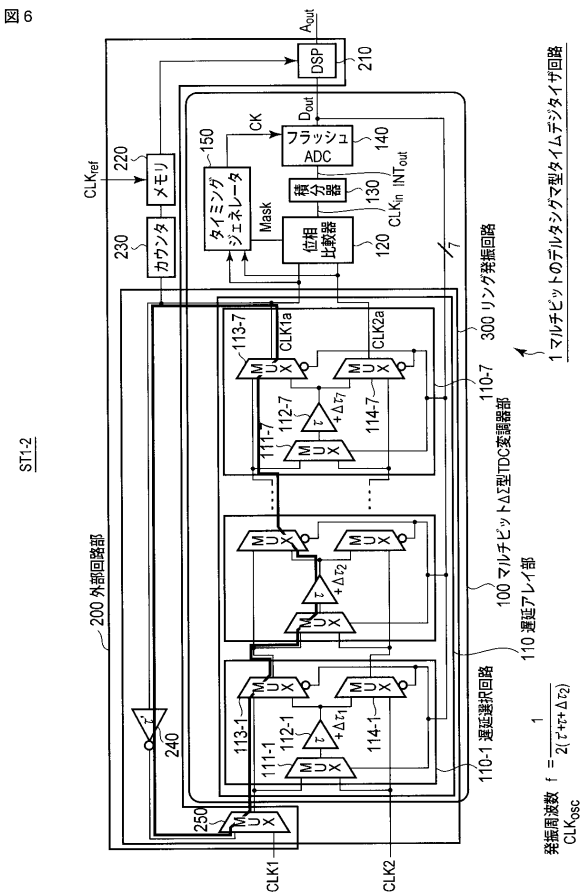
【 図 4 】



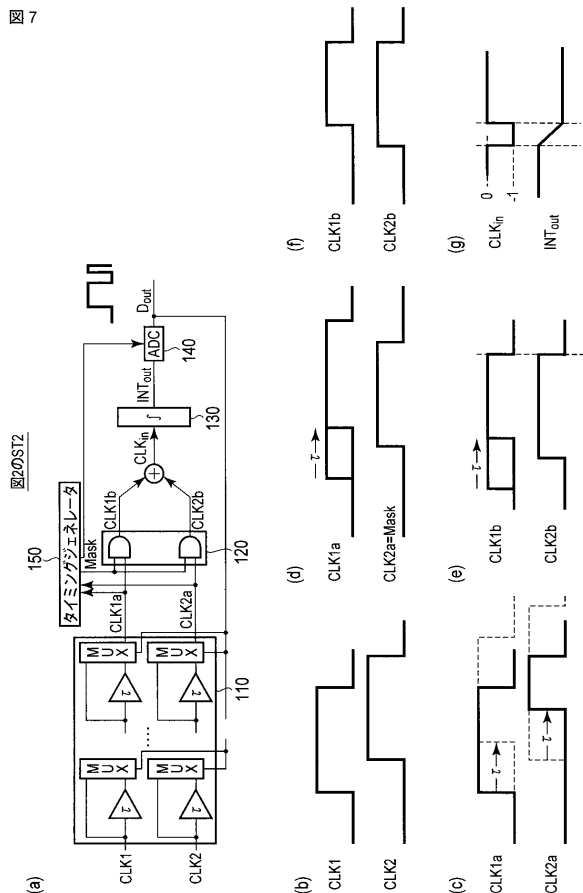
【 図 5 】



【 図 6 】

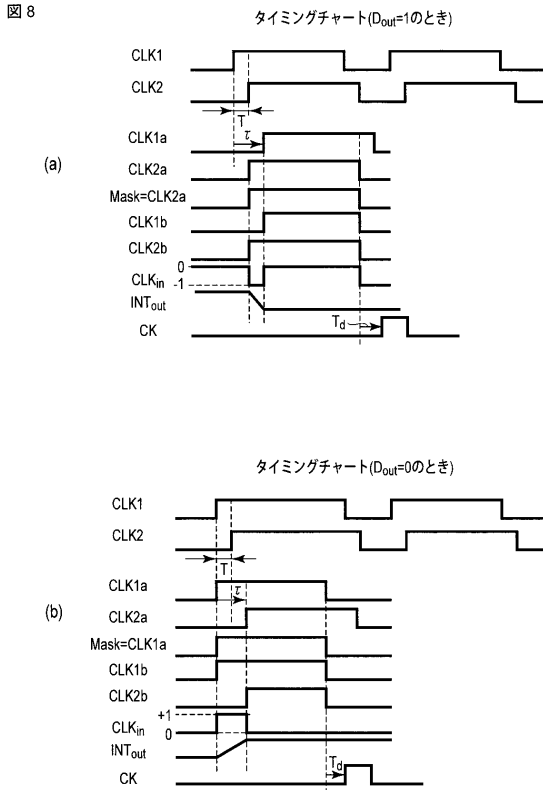


【 図 7 】

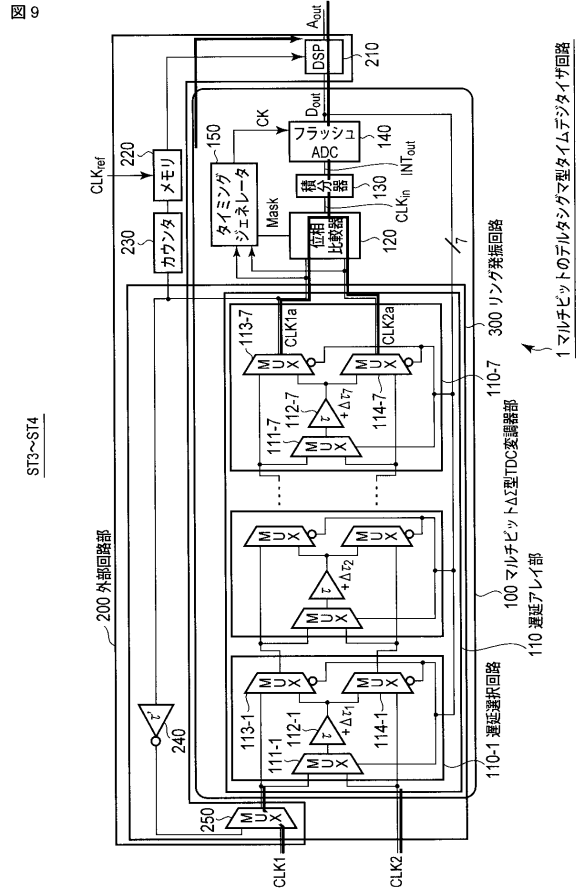




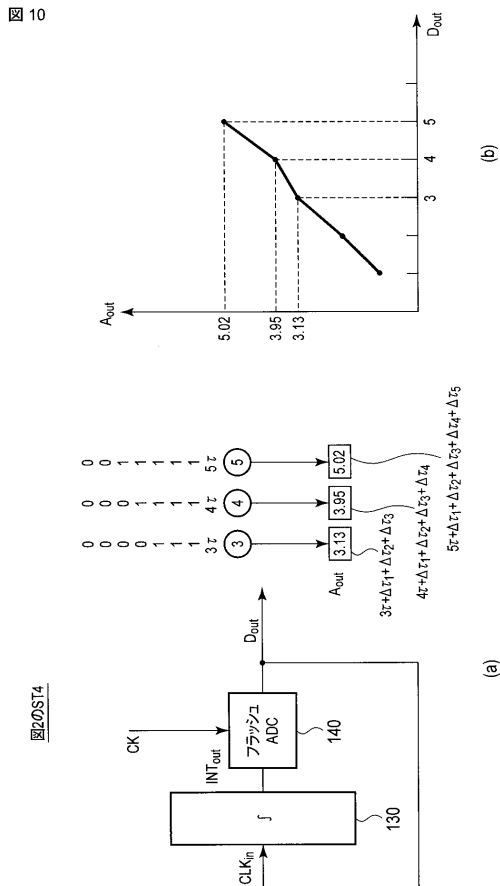
【 図 8 】



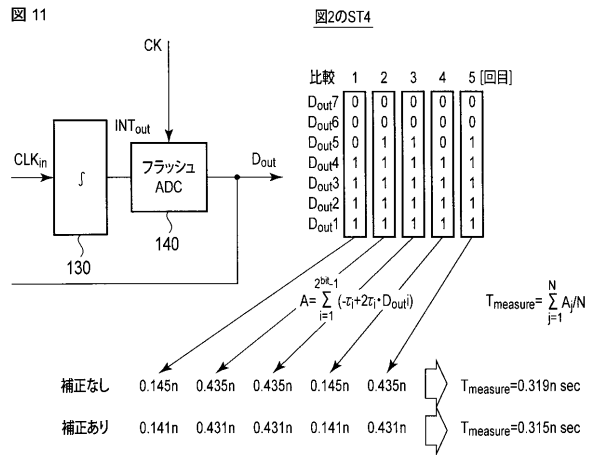
【 図 9 】



【 図 10 】



【 図 11 】



【 図 12 】

図 12 シミュレーション用の遅延パラメータ

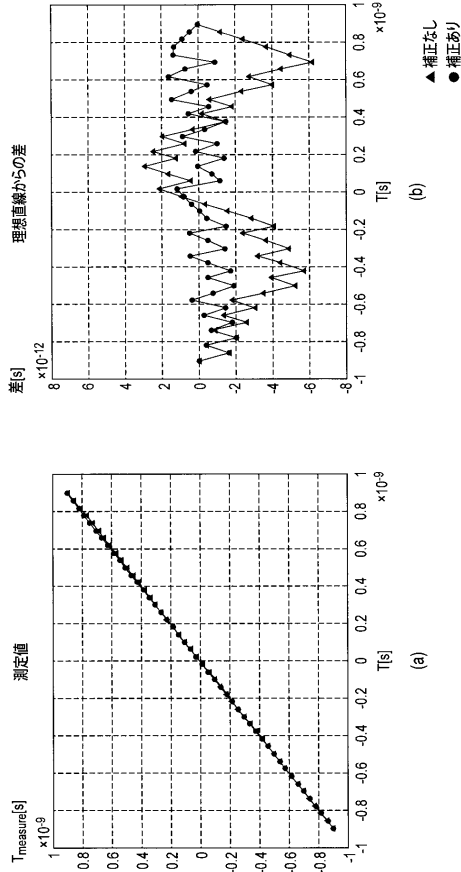
	τ1	τ2	τ3	τ4	τ5	τ6	τ7 [ns]	τ合計 [ns]
理想遅延値	0.145	0.145	0.145	0.145	0.145	0.145	0.145	1.015
遅延値	0.140	0.149	0.148	0.143	0.145	0.148	0.146	1.019

	τ1	τ2	τ3	τ4	τ5	τ6	τ7 [ns]	τ合計 [ns]
理想遅延値	0.145	0.145	0.145	0.145	0.145	0.145	0.145	1.015
遅延値	0.149	0.152	0.138	0.145	0.144	0.135	0.147	1.010

【 図 1 3 】

図 13

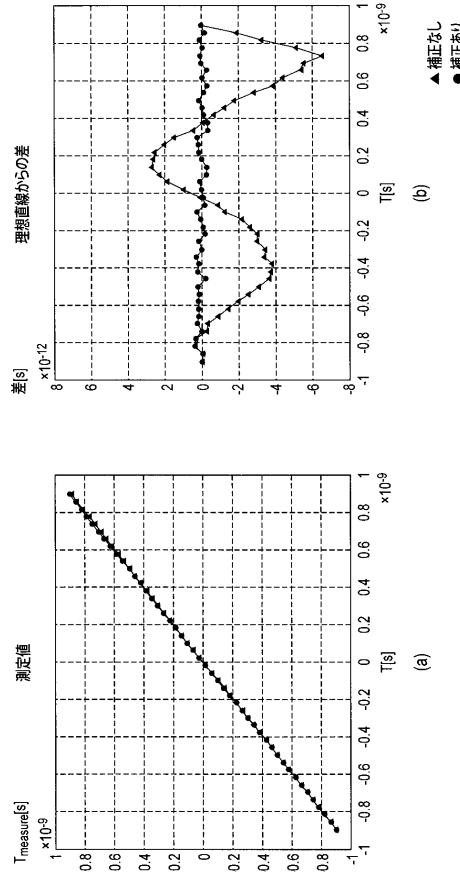
条件1(出力数: 99点)



【 図 1 4 】

図 14

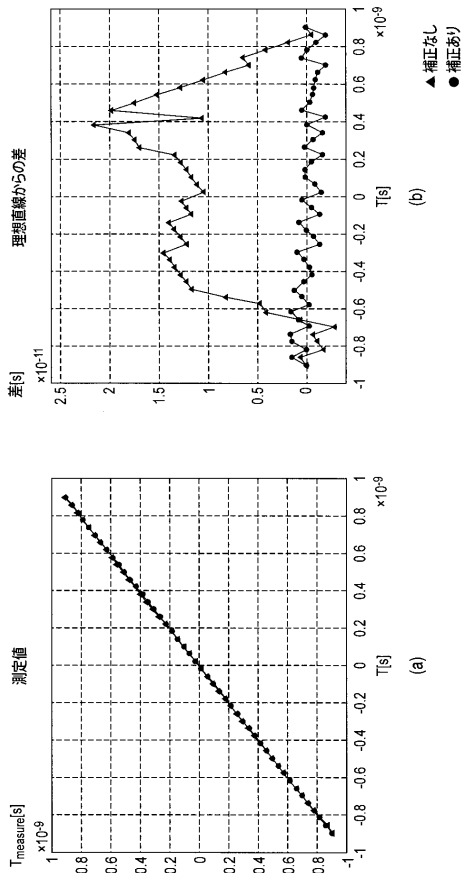
条件1(出力数: 599点)



【 図 1 5 】

図 15

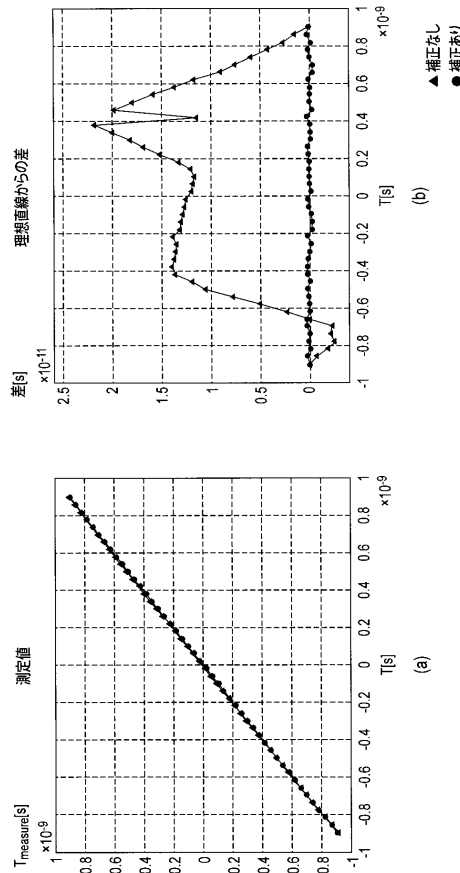
条件2(出力数: 99点)



【 図 1 6 】

図 16

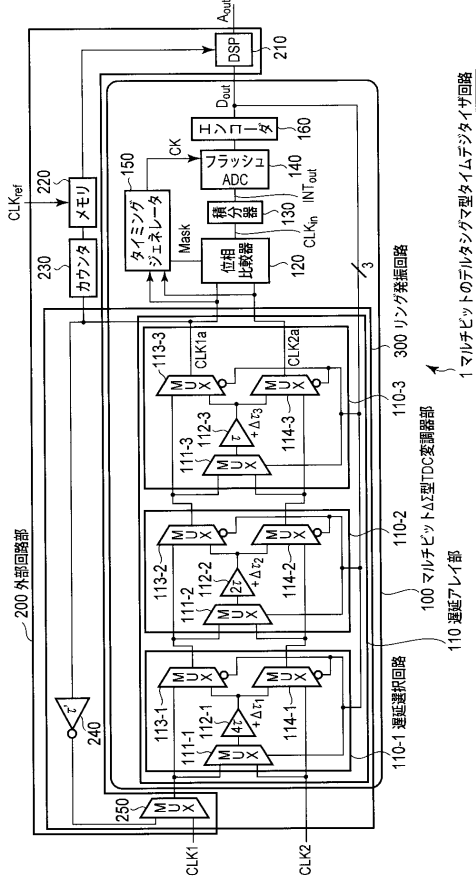
条件2(出力数: 599点)



【 図 17 】

図 17

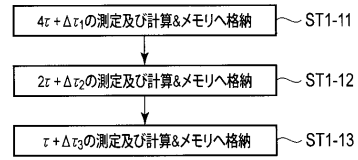
第2の実施形態



【 図 18 】

図 18

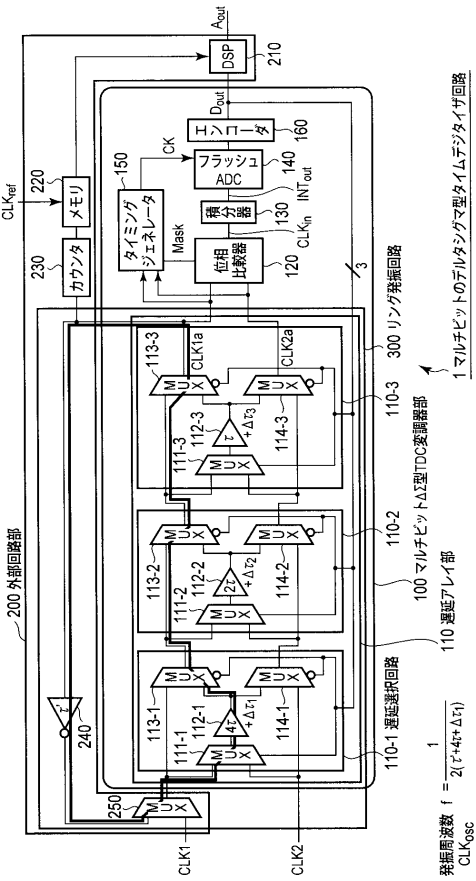
図2のST1



【 図 19 】

図 19

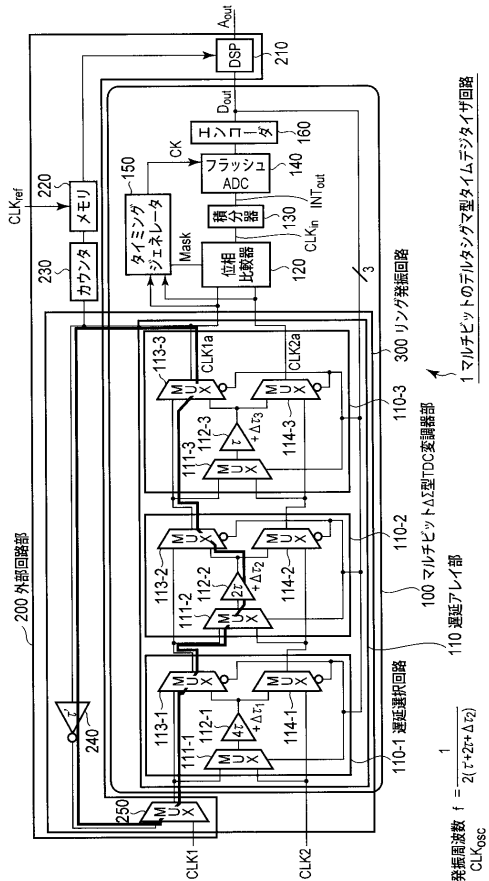
ST1-11



【 図 20 】

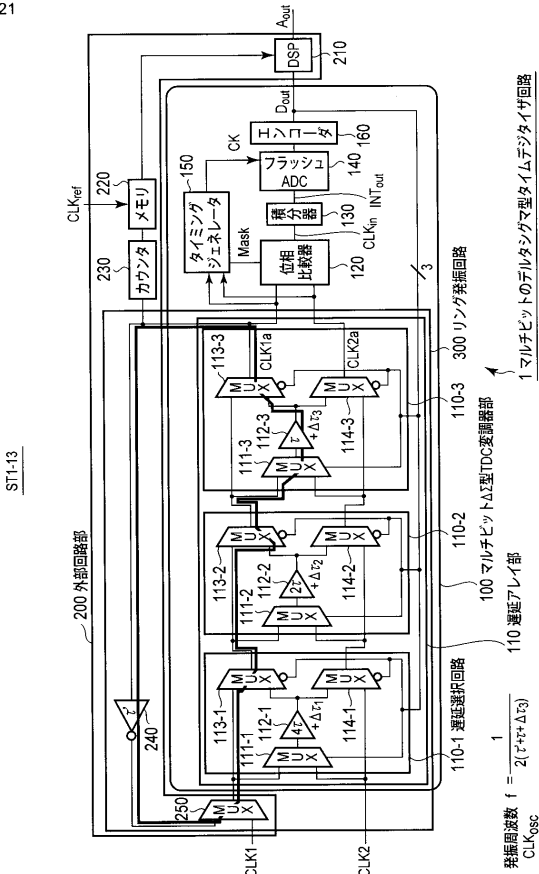
図 20

ST1-12



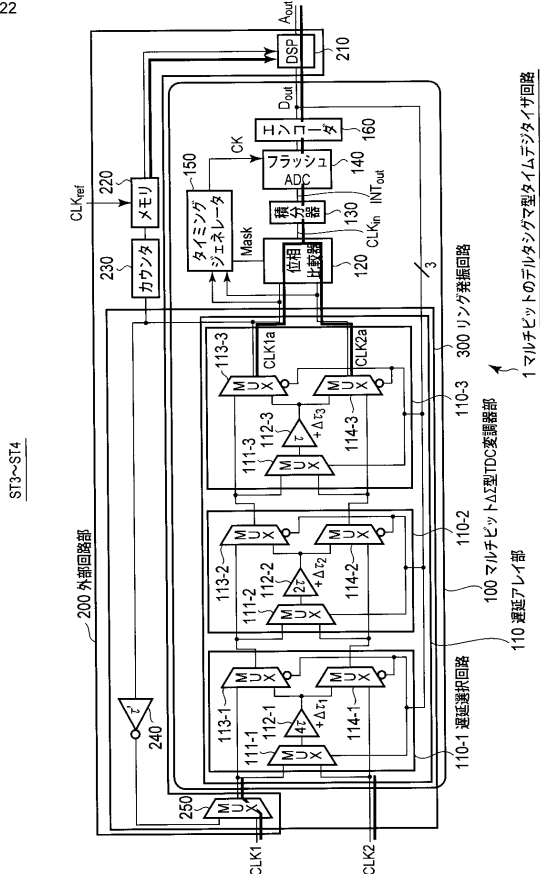
【 図 2 1 】

図 21



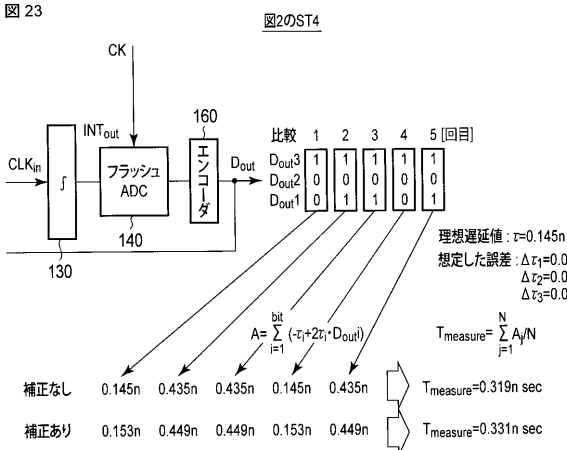
【 図 2 2 】

図 22



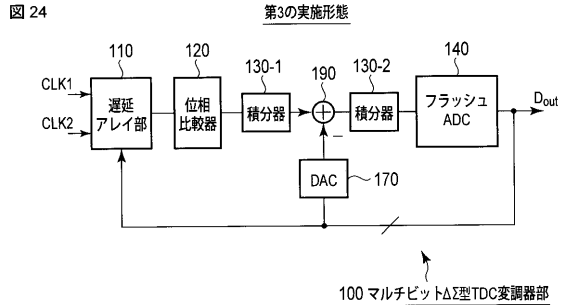
【 図 2 3 】

図 23



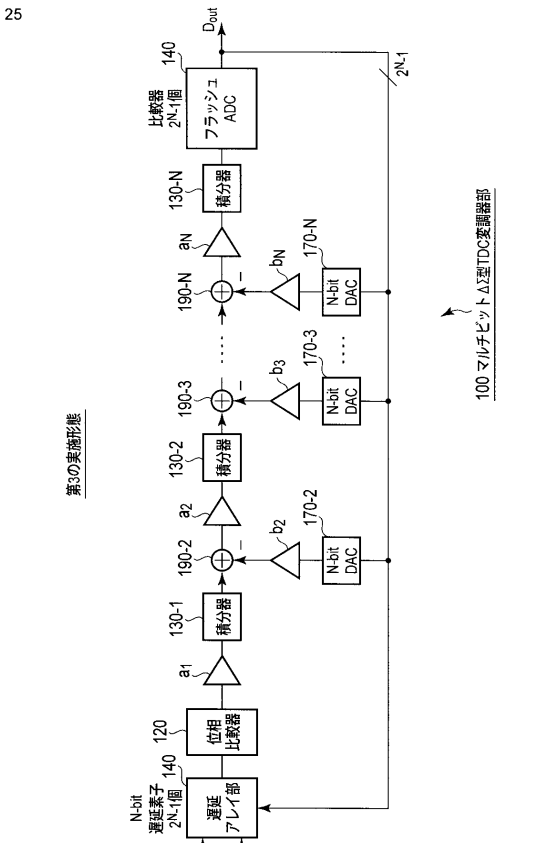
【 図 2 4 】

図 24



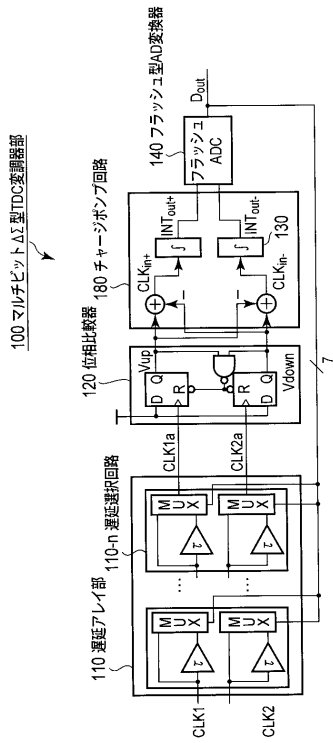
【 図 2 5 】

図 25



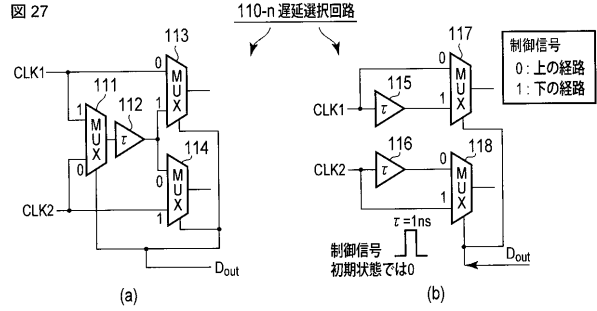
【 図 2 6 】

図 26



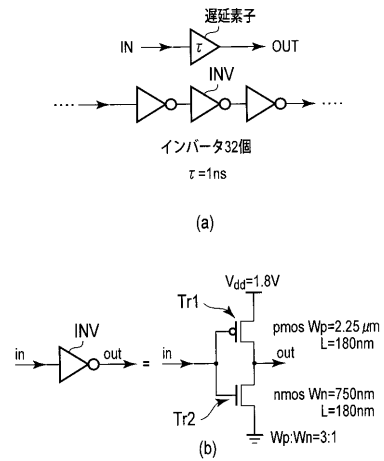
【 図 2 7 】

図 27



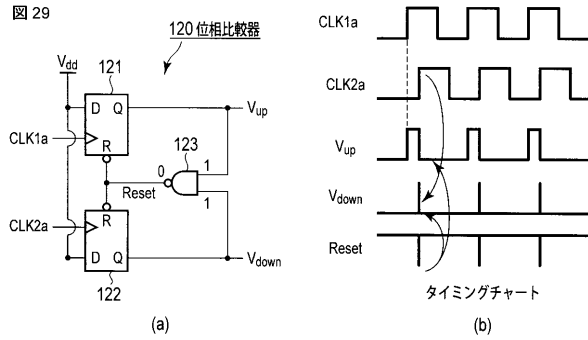
【 図 2 8 】

図 28



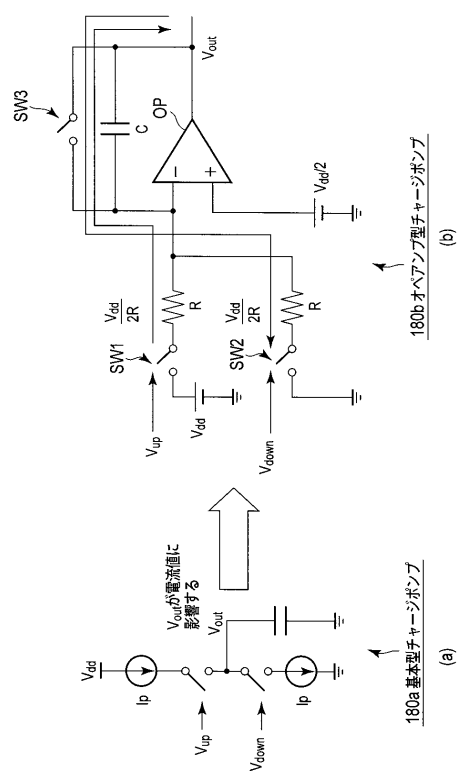
【 図 2 9 】

図 29



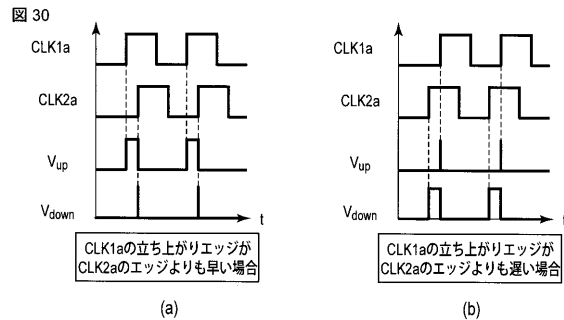
【 図 3 1 】

図 31

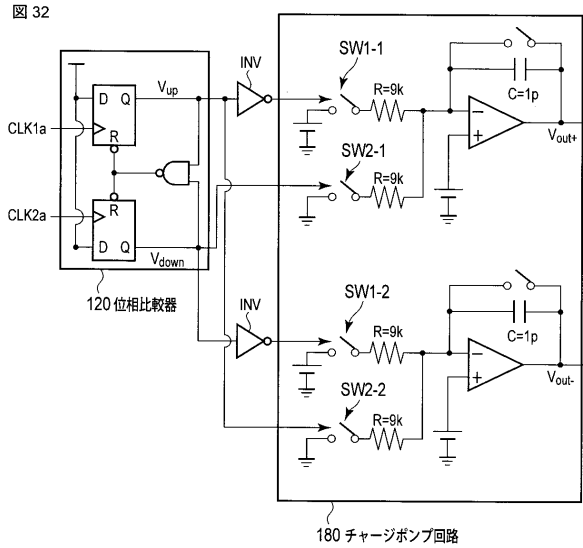


【 図 3 0 】

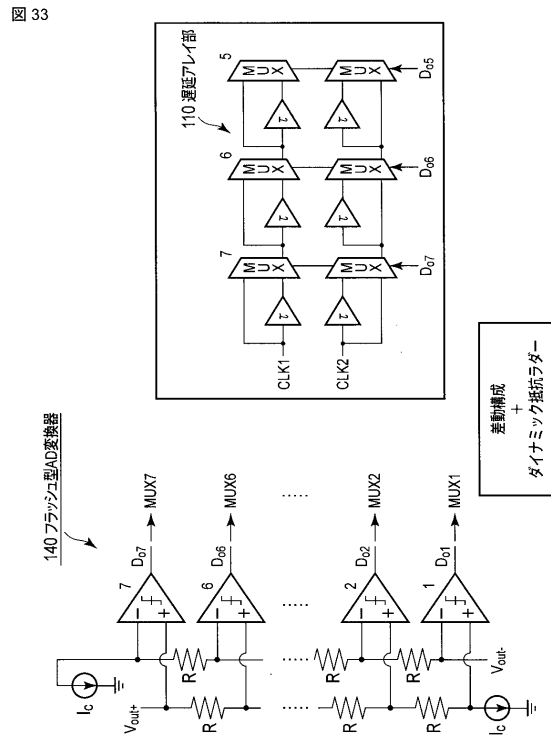
図 30



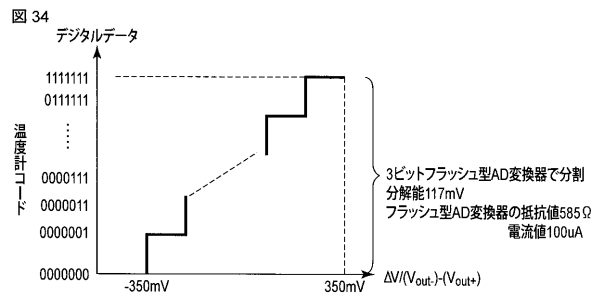
【 図 3 2 】



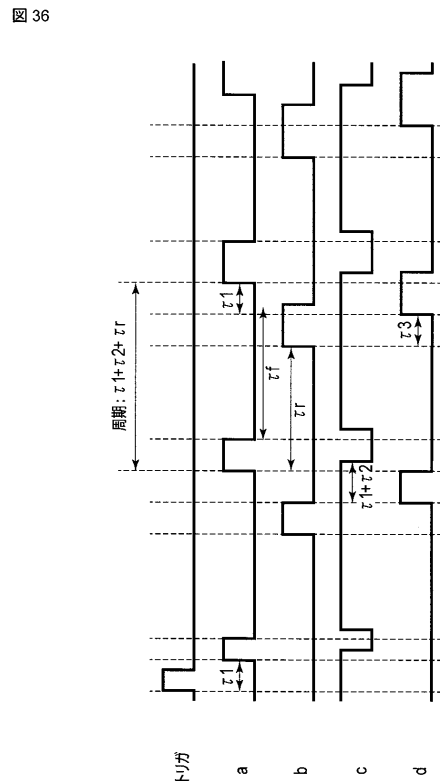
【 図 3 3 】



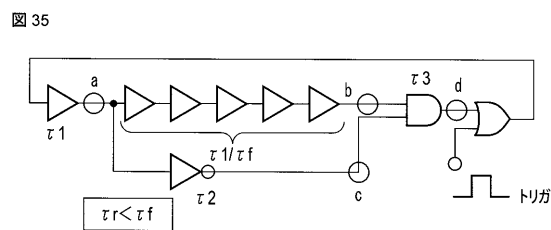
【 図 3 4 】



【 図 3 6 】



【 図 3 5 】



## フロントページの続き

- (74)代理人 100075672  
弁理士 峰 隆司
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (72)発明者 上森 聡史  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 石井 正道  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 小林 春夫  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- Fターム(参考) 5J022 AA06 AA11 CE04 CE05  
5J064 BA03 BC25