

2014年3月04日

フィボナッチ数列を用いた DA変換回路アーキテクチャ

発表者
楊 志翔

群馬大学
修士2年

発表内容

- 研究の背景 & 目的
- バイナリ型電流源DA変換器 & 問題点
- フィボナッチ数列
- 提案するDA変換器のアーキテクチャ & 応用
- 提案方式の効果のシミュレーション検証

発表内容

- 研究の背景 & 目的
- バイナリ型電流源DA変換器 & 問題点
- フィボナッチ数列
- 提案するDA変換器のアーキテクチャ & 応用
- 提案方式の効果のシミュレーション検証

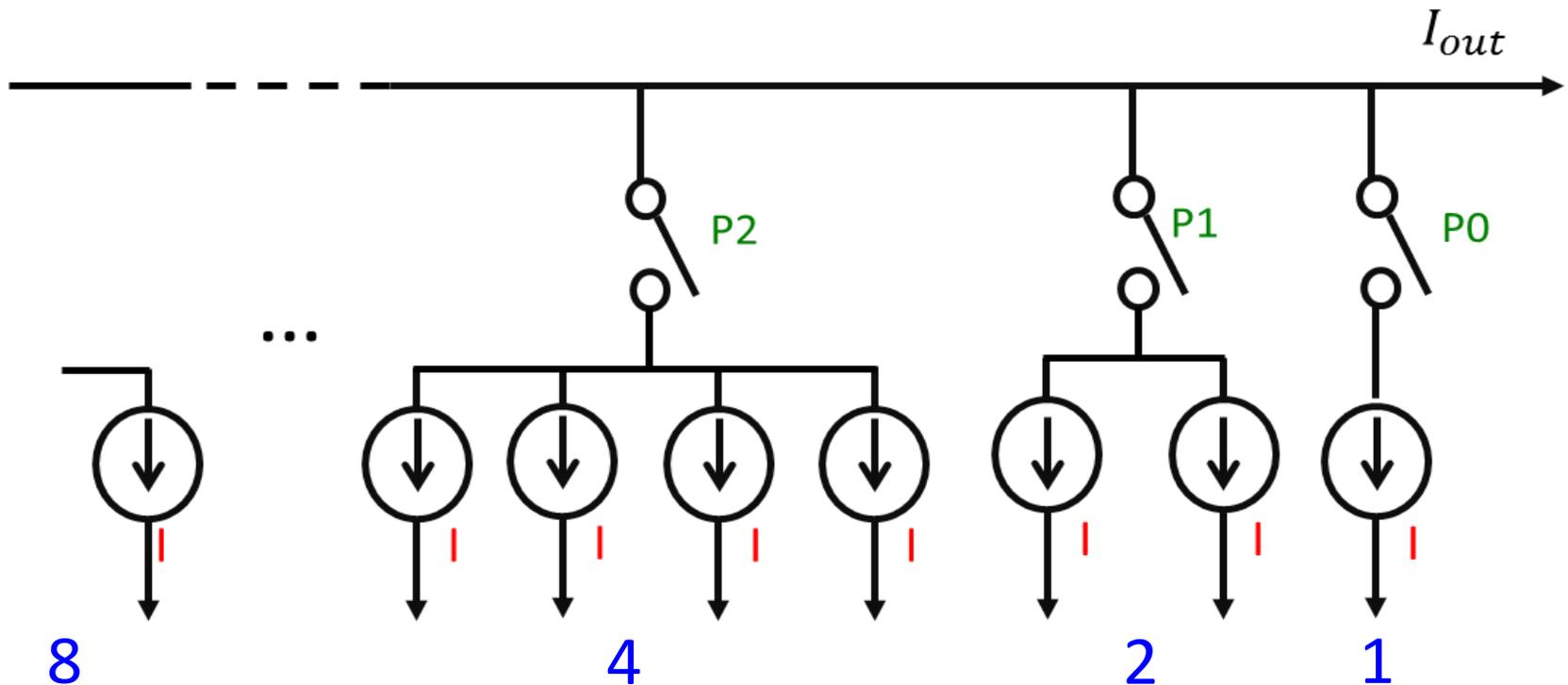
研究背景 & 目的

- デジタル信号処理技術の著しい進歩
➡ 更なる高性能化の要求
- DA変換器 (**Digital-to-Analog Converter**)
バイナリ (Binary) ユナリ (Unary) 回路の改善
➡ ①線形性改善
②低スプリアス化の報告例が多い
- 本研究
 - ① フィボナッチ数列をもちいた
適度な冗長性をもつDA変換回路を提案
 - ② バイナリ型との比較検討を行う

発表内容

- 研究の背景 & 目的
- **バイナリ型電流源DA変換器 & 問題点**
- フィボナッチ数列
- 提案するDA変換器のアーキテクチャ & 応用
- 提案方式の効果のシミュレーション検証

バイナリ型電流源DAC



- 電流源と直列の素子が電流の流れを妨げない
➡ 高速性を実現。

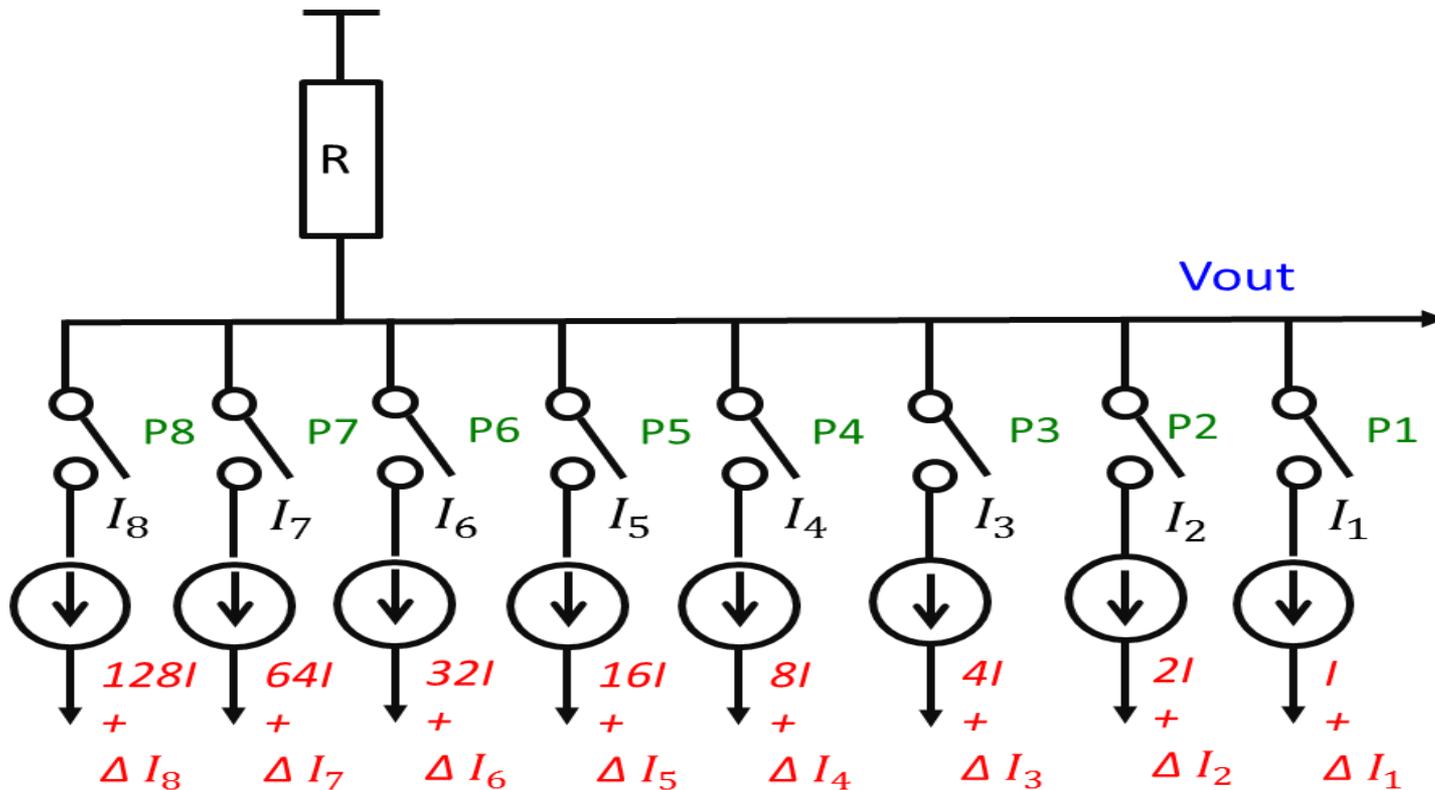
バイナリ型電流源DACの問題点

- 電流源間のミスマッチ
 - ➡ 線形性劣化
 - ➡ スプリアス大
- グリッチ(glitch)
 - ➡ 動的線形性劣化

問題点①

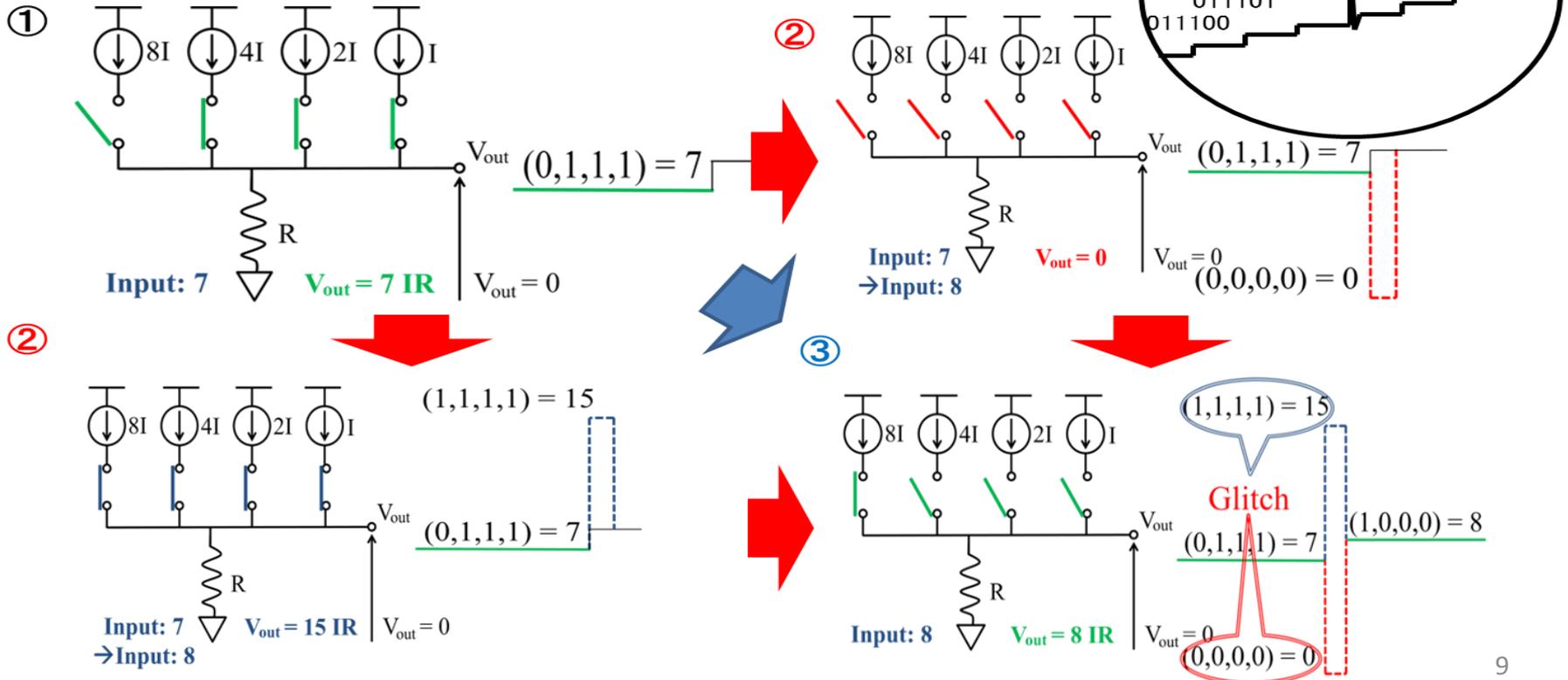
各電流源間で微小なミスマッチが存在

➡ 出力電流の誤差となり、DACの線形性を劣化



問題点②

線形性に影響を与える要因
 → グリッチ (glitch)



問題点③

- 通信デバイスの送信回路部

発生信号周波数帯域以外の妨害波が一定値以下の規格を満たす

- 計測器の信号発生器

純度高い信号（低スプリアス）要求

スプリアス

入力信号には存在しないにも関わらず、

出力信号には現れるノイズ・レベルを超える周波数成分

電流源DA変換器

電流源間 mismatch

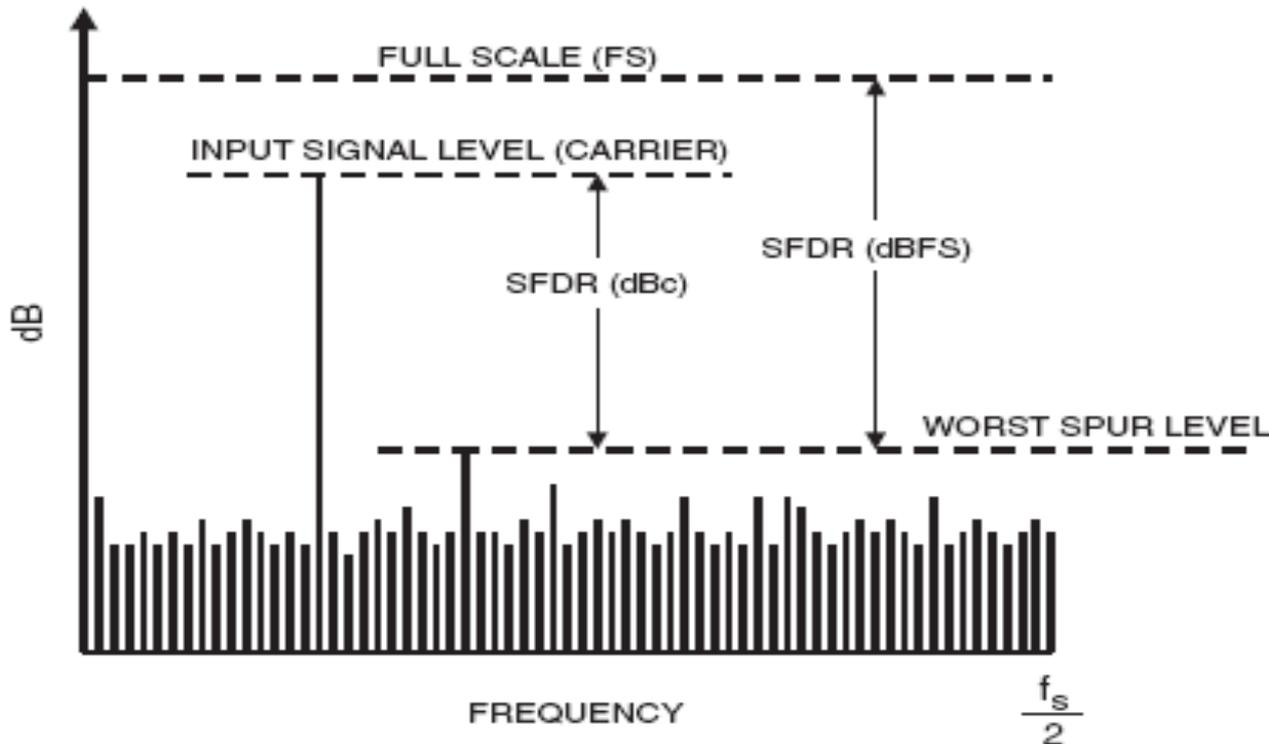
 イメージ信号の発生

送信器：チャンネルへの妨害波

信号発生器：スプリアス成分

DAC 周波数領域性能指標

Spurious Free Dynamic Range: SFDR



- SFDR
信号パワーと
最大スプリアス
パワーとの比で定義

$$\text{SFDR} = 10 \log \frac{P_{sig}}{P_{HDM}}$$

P_{sig} : 信号電力

P_{HDM} : 最大高調波電力

- SFDRの表現
 - ①dBc : キャリア対スプリアス比の単位
 - ②dBFS : フル・スケール対スプリアス比の単位
- スプリアス成分が低い  SFDRが良く、信号の純度も高い

発表内容

- 研究の背景 & 目的
- バイナリ型電流源DA変換器 & 問題点
- **フィボナッチ数列**
- 提案するDA変換器のアーキテクチャ & 応用
- 提案方式の効果のシミュレーション検証

フィボナッチ数列

フィボナッチ数列とは

以下の漸化式で定義される数列

(1202年フィボナッチ著「算盤の書」(Liber Abaci))

$$F_0 = 0;$$

$$F_1 = 1;$$

$$F_{n+2} = F_n + F_{n+1}$$

初めの項を計算

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233, 377, 610, 987, 1586, 2583, 4180 ...

「黄金比」(golden ratio)に収束

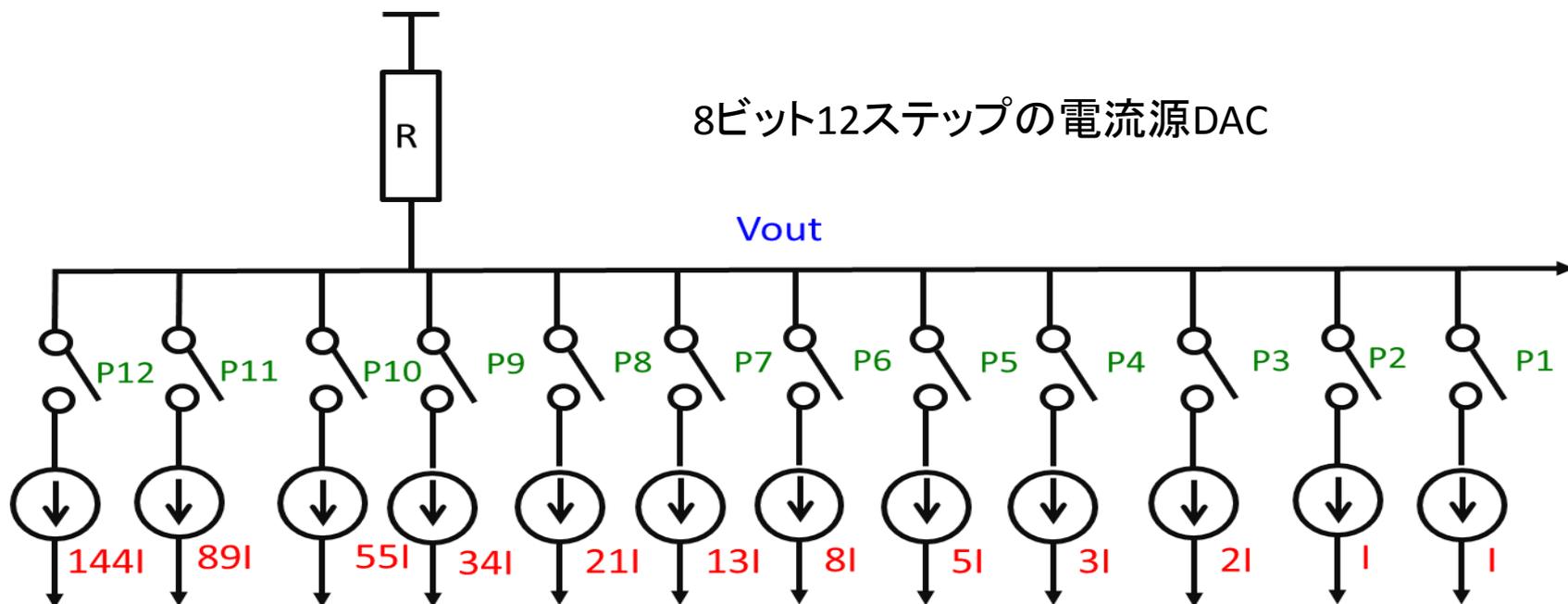
$$\lim_{n \rightarrow \infty} \frac{F_{n+1}}{F_n} = 1.618033 \dots$$

- 人間にとって最も安定し、美しい比率
- 建築や美術的要素 「神の比」

発表内容

- 研究の背景 & 目的
- バイナリ型電流源DA変換器 & 問題点
- フィボナッチ数列
- **提案するDA変換器のアーキテクチャ & 応用**
- 提案方式の効果のシミュレーション検証

フィボナッチ数列を用いたDACアーキテクチャ



- 隣り合う数が約1.6倍 (1.6進)
- 適度な冗長性
- 整数で実現

フィボナッチ数列の電流源DACの応用

- ① フィボナッチ数列の特性
- ② 適度な冗長性



線形性向上
低スプリアス化

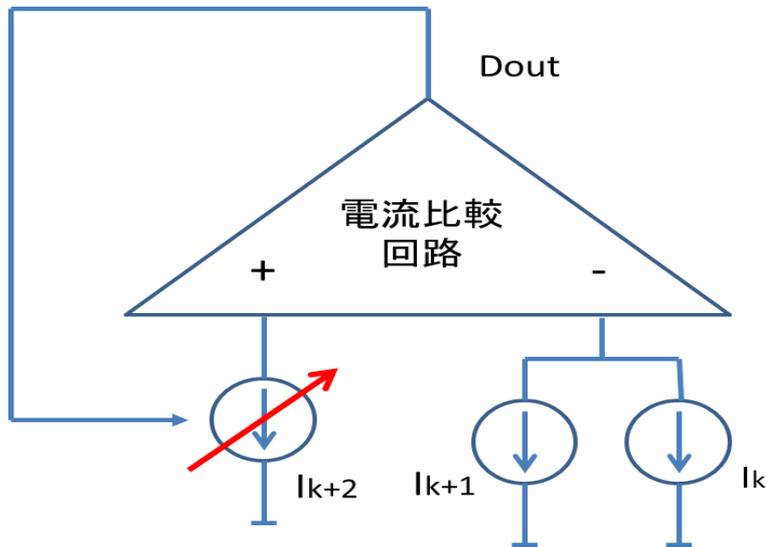
四つの技術を提案

- 電流源の校正
- 電流源の選択 (線形性向上)
- 電流源の選択 (グリッチ小)
- ダイナミックマッチング

電流源の校正①

フィボナッチ数列の性質より

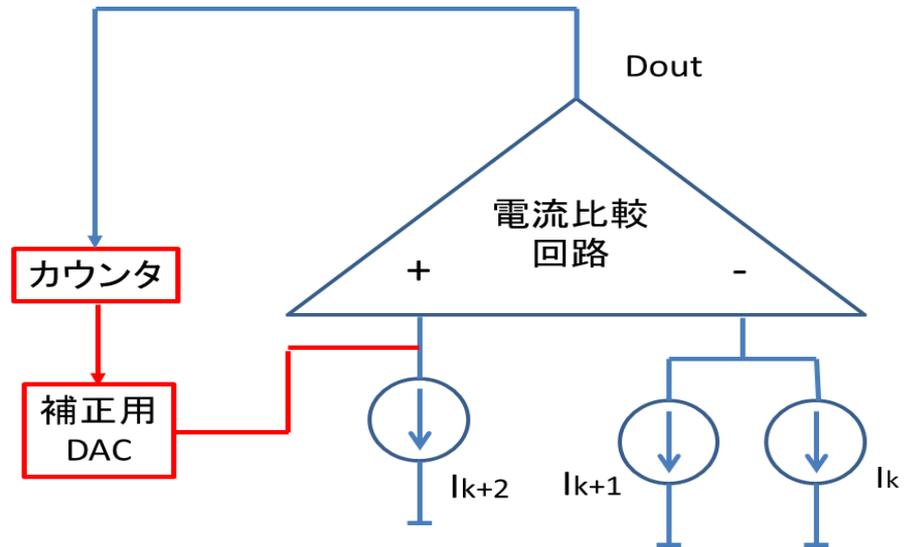
$$I_{k+2} = I_{k+1} + I_k$$



$$I_{k+2} = I_{k+1} + I_k$$



バイアス電圧を自動調整
アナログ校正



$$I_{k+2} = I_{k+1} + I_k$$



補正用DACのデジタル入力を
自動調整
デジタル校正

電流源の校正②

- 電流源の校正

$$I_2 = I + \Delta I_1$$

$$I_3 = 2I + 2\Delta I_1$$

$$I_4 = 3I + 3\Delta I_1$$

...

$$I_{12} = 144I + 144\Delta I_1$$

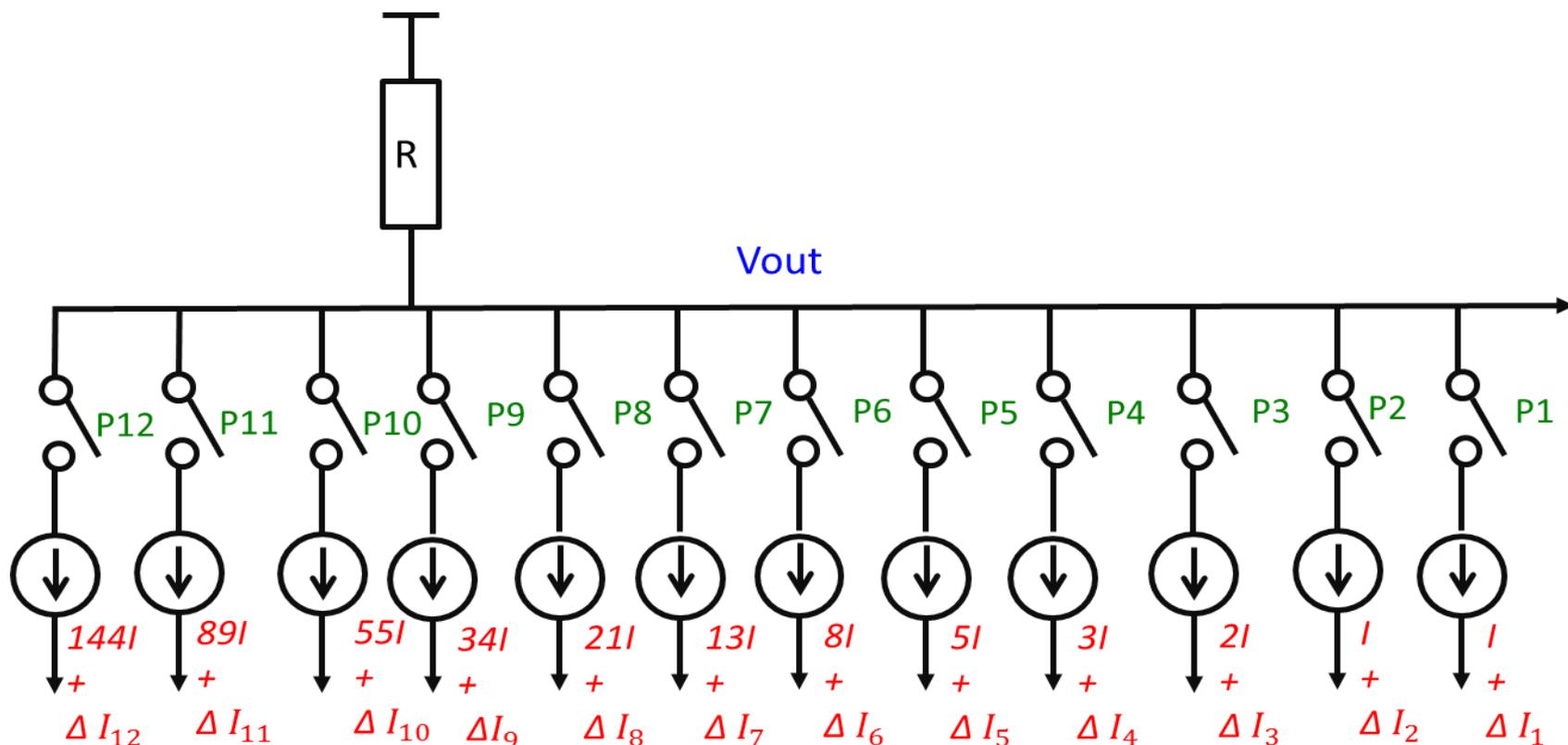
- 各アナログ出力値

$$I_N = NI + N\Delta I_1 \quad (N : \text{デジタル入力値})$$

- ΔI_1 を選択

 線形性改善、単調性の確保

電流源の選択を用いて、線形性を改善①



- 各電流源間で微小なミスマッチが存在
➡ 出力電流の誤差
- 各電流源間のミスマッチが異なる
➡ 理想値からずれ（誤差）も違う

電流源の選択を用いて、線形性を改善②

- 適度な冗長性



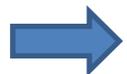
一つの入力デジタル値に対し

アナログ出力（スイッチ選択）の表現方法が複数個存在

デジタル入力9のときONにするスイッチの組み合わせ

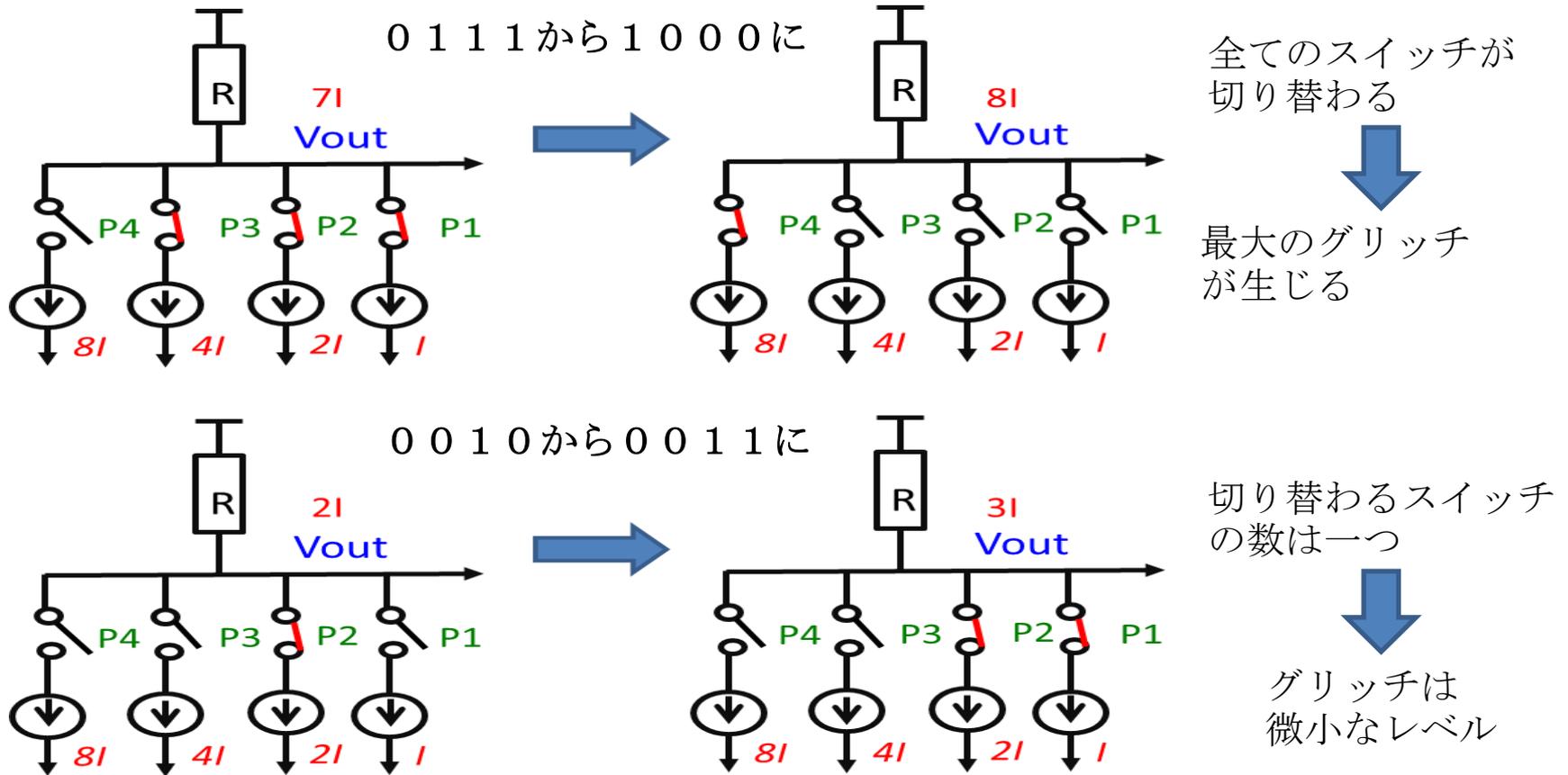
- ① (P5, P4, P1) $5I + \Delta I_5 + 3I + \Delta I_4 + I + \Delta I_1 + \Delta I_5 = 9I + \Delta I_5 + \Delta I_4 + \Delta I_1$
- ② (P5, P4, P2) $5I + \Delta I_5 + 3I + \Delta I_4 + I + \Delta I_2 = 9I + \Delta I_5 + \Delta I_4 + \Delta I_2$
- ③ (P5, P3, P2, P1) $5I + \Delta I_5 + 2I + \Delta I_3 + I + \Delta I_2 + I + \Delta I_1 = 9I + \Delta I_5 + \Delta I_3 + \Delta I_2 + \Delta I_1$
- ④ (P6, P1) $8I + \Delta I_6 + I + \Delta I_1 = 9I + \Delta I_6 + \Delta I_1$
- ⑤ (P6, P2) $8I + \Delta I_6 + I + \Delta I_2 = 9I + \Delta I_6 + \Delta I_2$

- 五つの組み合わせの中で、誤差が少ない組み合わせを選択



理想値 $9I$ が近づき、線形性を向上

電流源の選択を用いて、グリッチを抑制①



グリッチを抑えるため、クロック周期ごとに切り替わるスイッチの数を少なくする

電流源の選択を用いて、グリッチを抑制②

- バイナリ型
一つのデジタル入力値に対して唯一のスイッチ選択を持つ
➡ 利用できない 😞
 - 提案するDACアーキテクチャ
適度な冗長性
一つのデジタル入力値に対してスイッチ選択が複数個存在
➡ 利用できる 😊
- ↓
- スイッチのオンが多いものを選択
➡ 別のデジタル信号を入力する場合、
そのまま保持するスイッチが存在する可能性が大
 - ➡ 切り替わるスイッチ数が少なく、グリッチが小

電流源の選択でミスマッチを周波数拡散①

フィボナッチ数列の適度な冗長性を利用

デジタル入力 9 のとき 0N のスイッチの組み合わせ

- ① (P5, P4, P1) $5I+3I+I=9I$
- ② (P5, P4, P2) $5I+3I+I=9I$
- ③ (P5, P3, P2, P1) $5I+2I+I+I=9I$
- ④ (P6, P1) $8I+I=9I$
- ⑤ (P6, P2) $8I+I=9I$

デジタル入力 9 が保持する際に

- ①→② → ③ → ④ → ⑤ → ① → ②… とそのたび毎に変更
(ダイナミック・マッチング法)



電流源のミスマッチの影響を周波数拡散し低スプリアス化を実現

- デジタル信号処理
- 電流源ミスマッチ値を計測不要

発表内容

- 研究の背景 & 目的
- バイナリ型電流源DA変換器 & 問題点
- フィボナッチ数列
- 提案するDA変換器のアーキテクチャ & 応用
- **提案方式の効果のシミュレーション検証**

提案方式の効果のシミュレーション検証

- ① 冗長性の確認
- ② 電流源の選択を用いて、線形性改善の確認
- ③ 電流源の選択を用いたグリッチ抑制の確認
- ④ 電流源のダイナミック・マッチング法の有効性の確認

シミュレーションの条件

パラメータ	値
ビット数	10bit
フィボナッチ数列	[1,1,2,3,5,8,13,21,34,55,89,144,233,377,610] 15step
入力信号	正弦波
入力信号振幅	511.5
入力信号周波数	101;201;301;401;501;601 (MHz)
サンプル周波数	1638.4MHz (2 ¹⁴)
サンプルポイント数	16384 points (2 ¹⁴)
ミスマッチ	(-0.025~0.025) 5%
用いたミスマッチ	Case1;Case2;Case3;Case4;Case5 (ミスマッチの範囲: 5%)

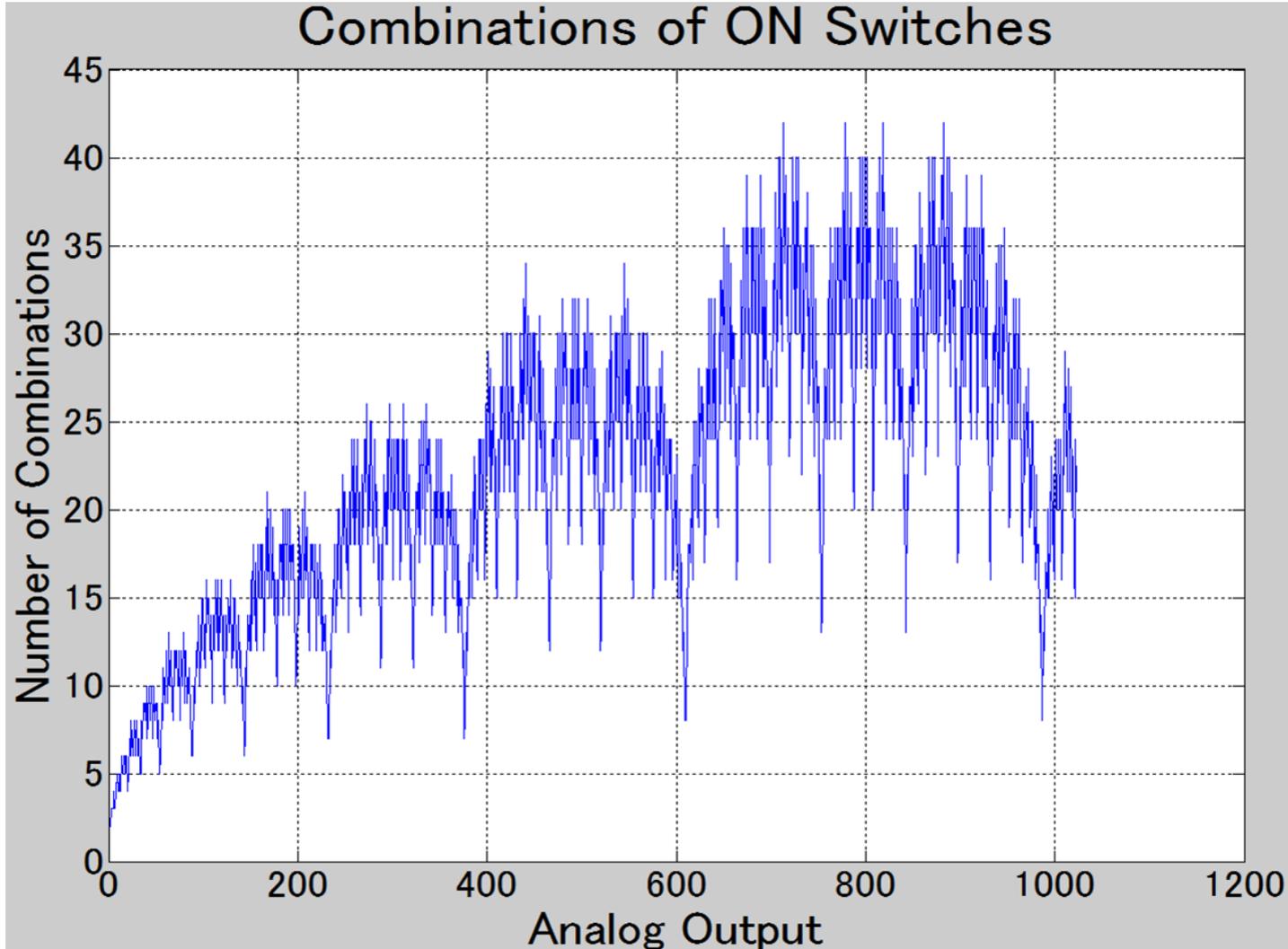
重みの実際値

$$(\text{Random}) * \text{sqrt}(\text{Weight}) + \text{Weight}$$

例: Case4

	Weighted				
	0.98	1.02	2.03	3.01	4.95
	7.96	12.97	21.07	33.86	54.83
	88.84	144.09	233.18	377.14	609.94

冗長性の確認

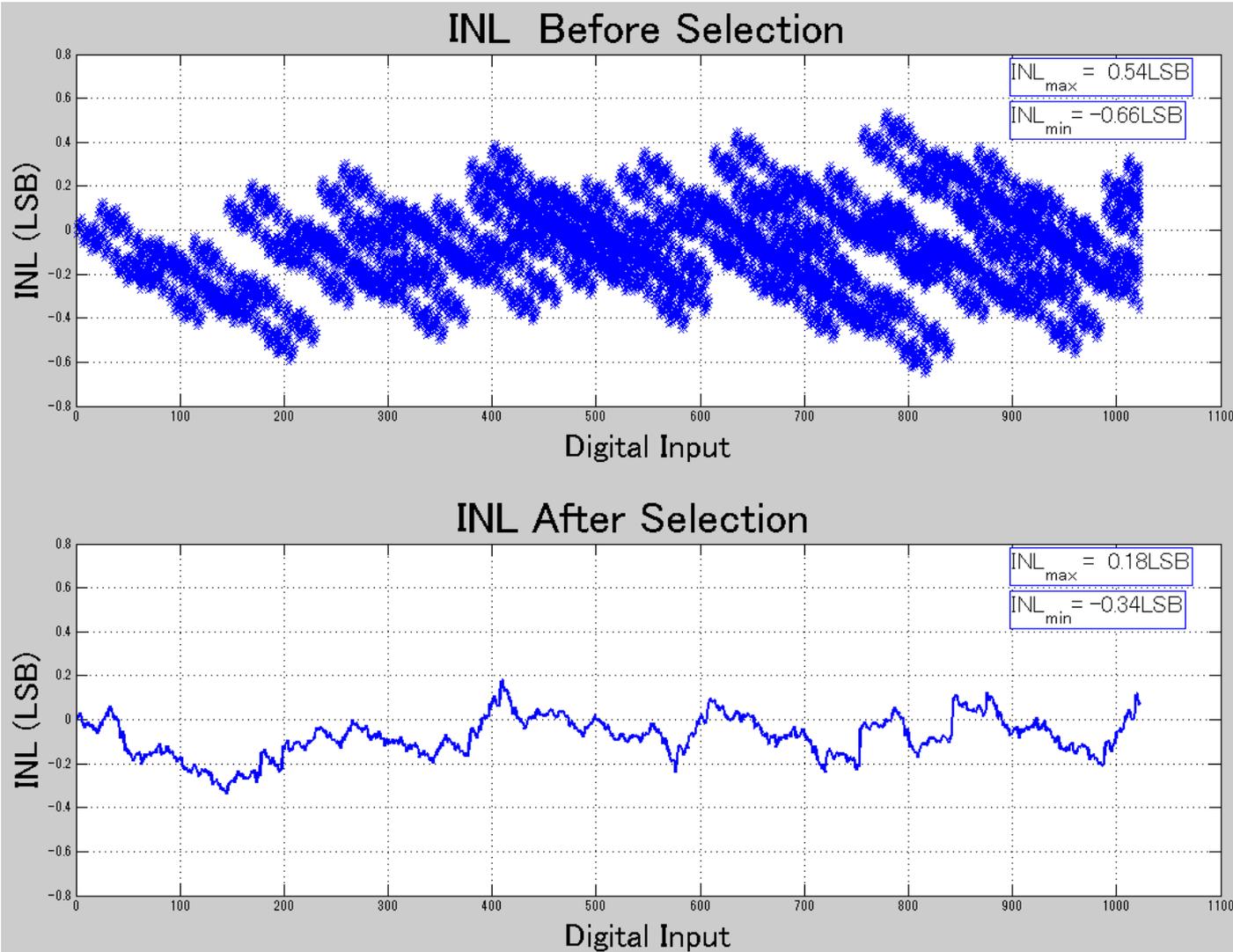


一つのデジタル
入力値に対して
スイッチ選択
の数は等しくな
い

0を除く、
最小は2種類、
最大は42種類

冗長性あり

電流源の選択を用いて、線形性改善の確認①



ミスマッチ: Case4

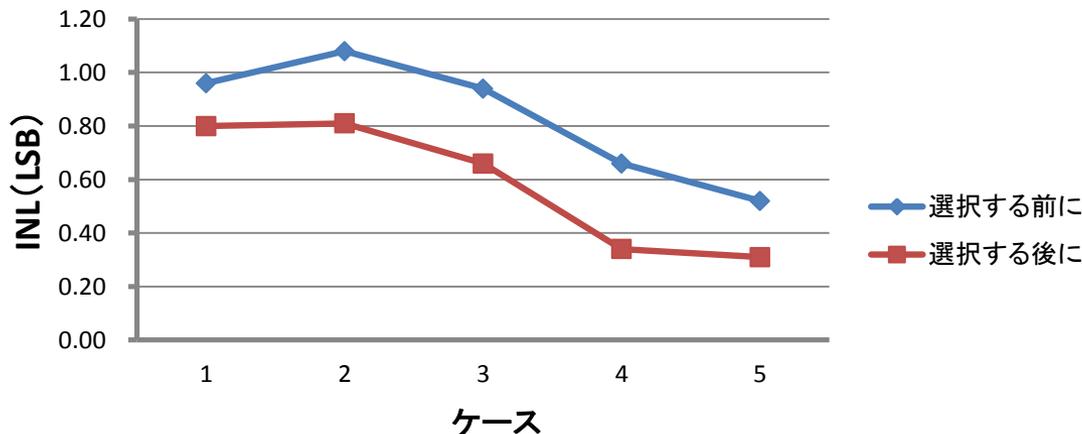
- 選択前
INL最悪値
0.66LSB
- 選択後
最悪値
0.34LSB
- 約48%改善

電流源の選択を用いて、線形性改善の確認②

五つケースを用いたシミュレーション結果

	Case1before	Case1after	Case2before	Case2after	Case3before	Case3after	Case4before	Case4after	Case5before	Case5after
INL_max	0.29	0.07	0.10	0.05	0.29	0.13	0.54	0.18	0.52	0.31
INL_min	-0.96	-0.80	-1.08	-0.81	-0.94	-0.66	-0.66	-0.34	-0.34	-0.19
絶対値	0.29	0.07	0.10	0.05	0.29	0.13	0.54	0.18	0.52	0.31
	0.96	0.80	1.08	0.81	0.94	0.66	0.66	0.34	0.34	0.19
最大値	0.96	0.80	1.08	0.81	0.94	0.66	0.66	0.34	0.52	0.31
改善	17%		25%		30%		48%		40%	
平均改善	32%									

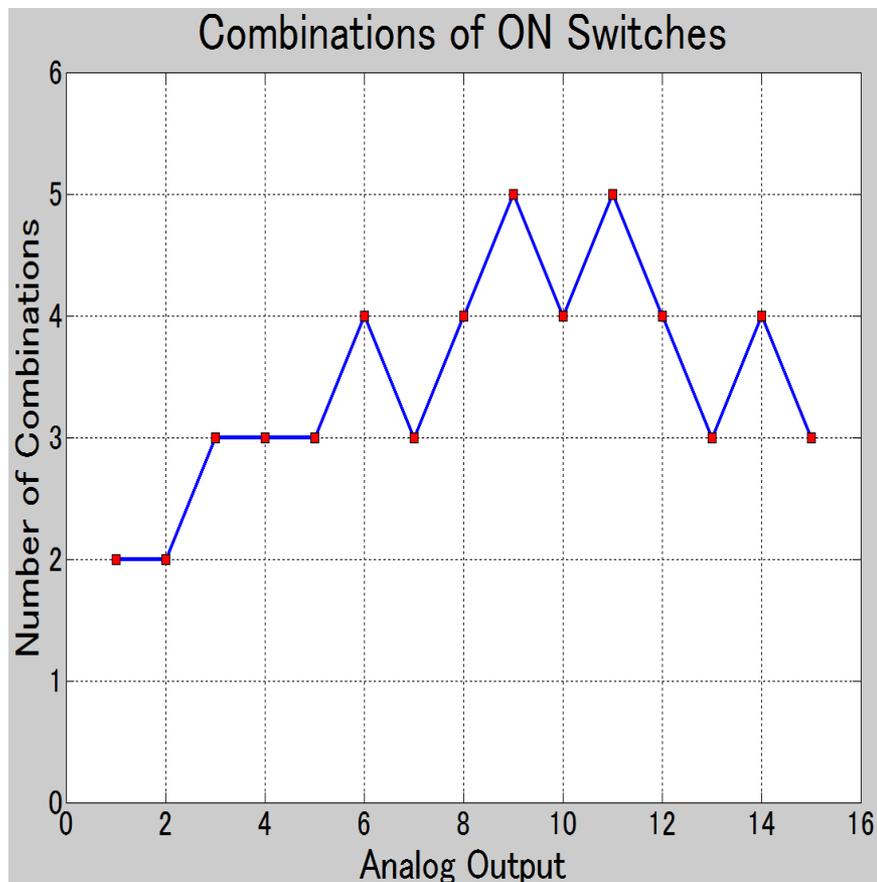
選択前後のINL



- 平均改善値
32%
- 選択による線形性改善が確認

電流源の選択を用いたグリッチ抑制の確認①

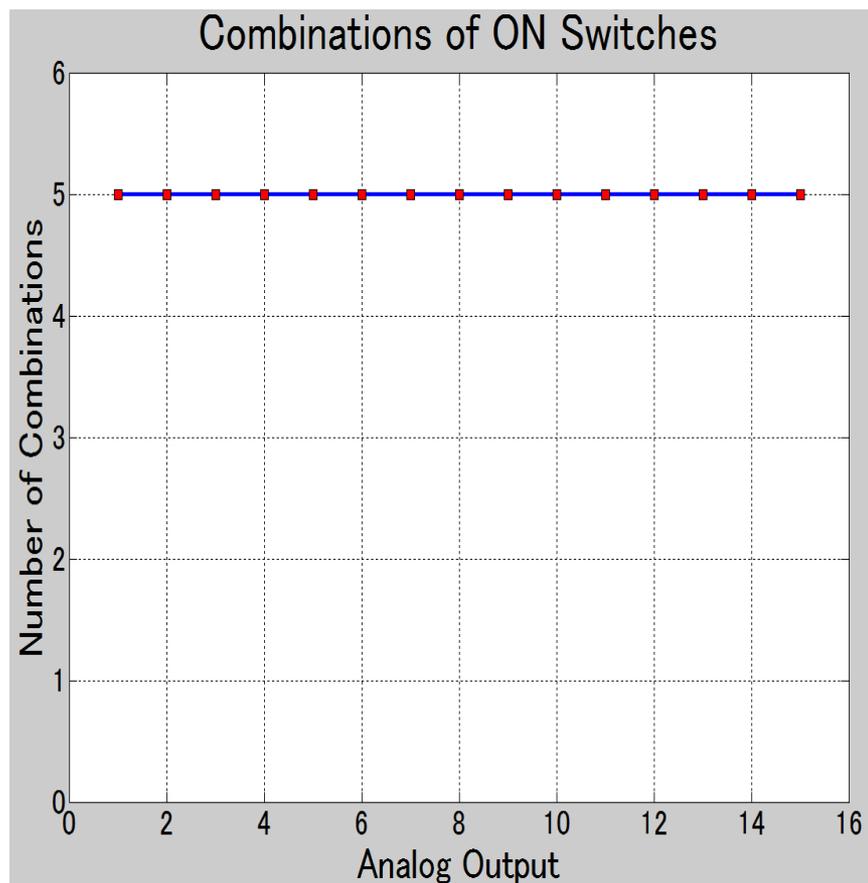
4ビットの提案するDACを例にとる



	1	2	3	4	5
1	000001	000010	NaN	NaN	NaN
2	000011	000100	NaN	NaN	NaN
3	000101	000110	001000	NaN	NaN
4	000111	001001	001010	NaN	NaN
5	001011	001100	010000	NaN	NaN
6	001101	001110	010010	010001	NaN
7	001111	010011	010100	NaN	NaN
8	010111	010110	011000	100000	NaN
9	010111	011001	011010	100001	100010
10	011011	011100	100011	100100	NaN
11	011101	011110	100101	100110	101000
12	011111	100111	101001	101010	NaN
13	101011	101100	110000	NaN	NaN
14	101101	101110	110001	110010	NaN
15	101111	110011	110100	NaN	NaN

一つのデジタル入力値に対してスイッチ選択が複数個存在があり
 一つのデジタル入力値に対応するスイッチ選択の数は等しくない

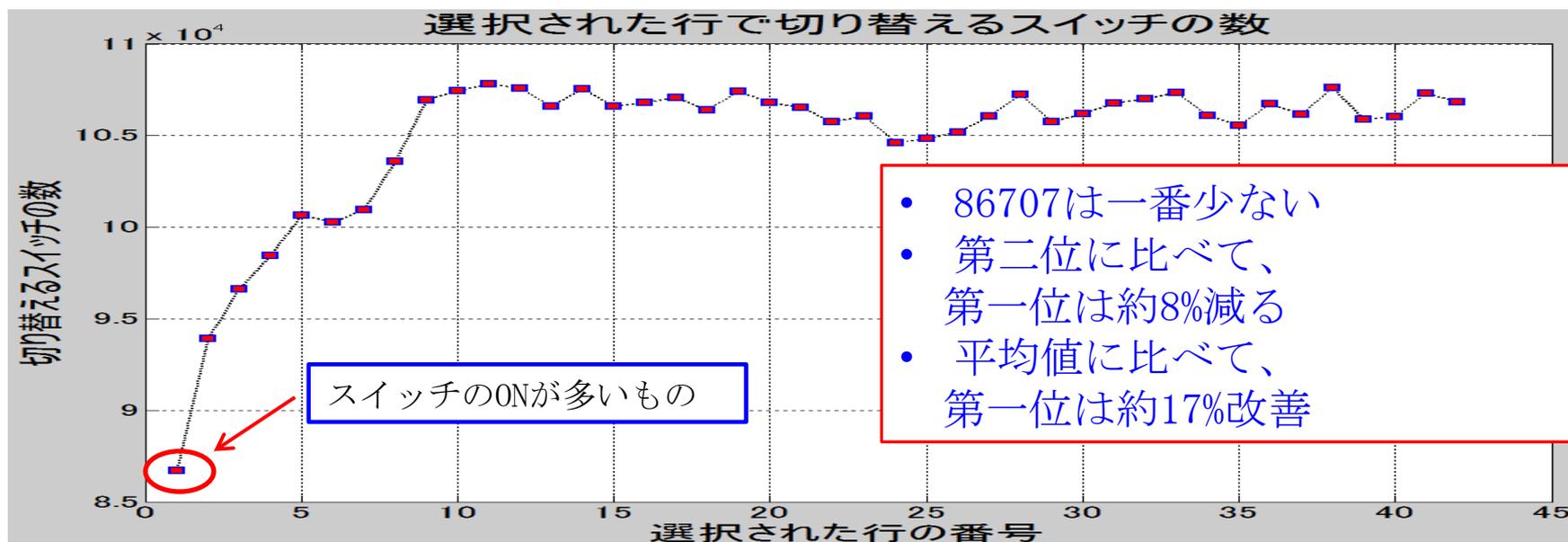
電流源の選択を用いたグリッチ抑制の確認②



	1	2	3	4	5
1	000001	000010	000001	000010	000001
2	000011	000100	000011	000100	000011
3	000101	000110	001000	000101	000110
4	000111	001001	001010	000111	001001
5	001011	001100	010000	001011	001100
6	001101	001110	010010	010001	001101
7	001111	010011	010100	001111	010011
8	010111	010110	011000	100000	010111
9	010111	011001	011010	100001	100010
10	011011	011100	100011	100100	011011
11	011101	011110	100101	100110	101000
12	011111	100111	101001	101010	011111
13	101011	101100	110000	101011	101100
14	101101	101110	110001	110010	101101
15	101111	110011	110100	101111	110011

各列のスイッチの変化をシミュレーションするため
前のデータを用いて、後ろの空いているところに補う
各デジタル入力値のスイッチ選択の個数を等しくする

電流源の選択を用いたグリッチ抑制の確認③



入力信号の周波数と切り替えるスイッチ数の関係

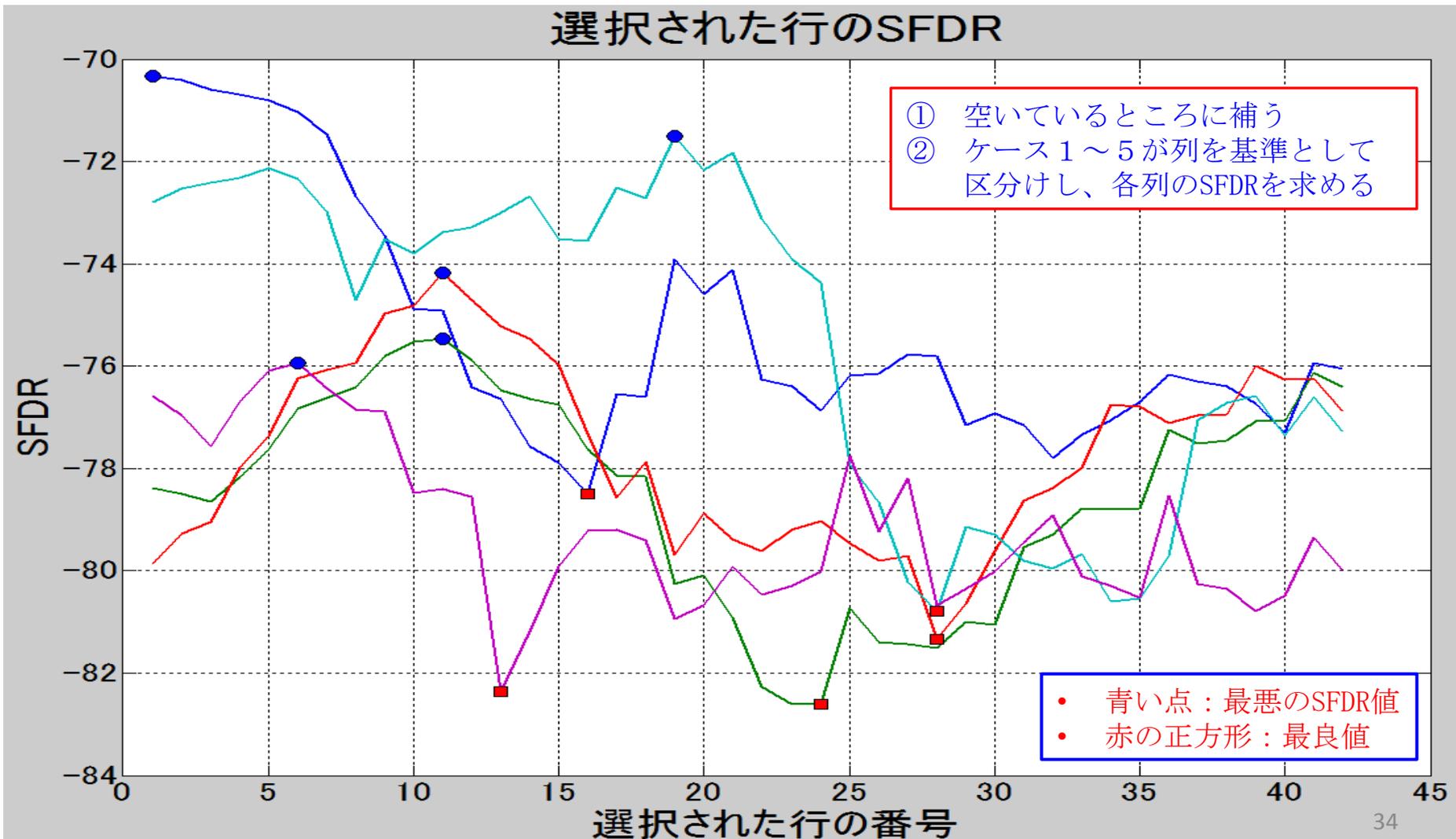
frequency(MHz)	average	selected	max	min	improve to min	improve to average
101	104851	86707	107827	93919	8%	17%
201	108467	92109	112308	99526	7%	15%
301	114676	103607	121333	110731	6%	10%
401	116716	105633	122572	110551	4%	9%
501	119275	107701	122630	114781	6%	10%
601	120343	108529	123843	116513	7%	10%

入力周波数に
依らず
選択した組合わせ
を切り替える
スイッチ数は最小



グリッチを抑制

電流源のダイナミック・マッチング法の有効性の確認①

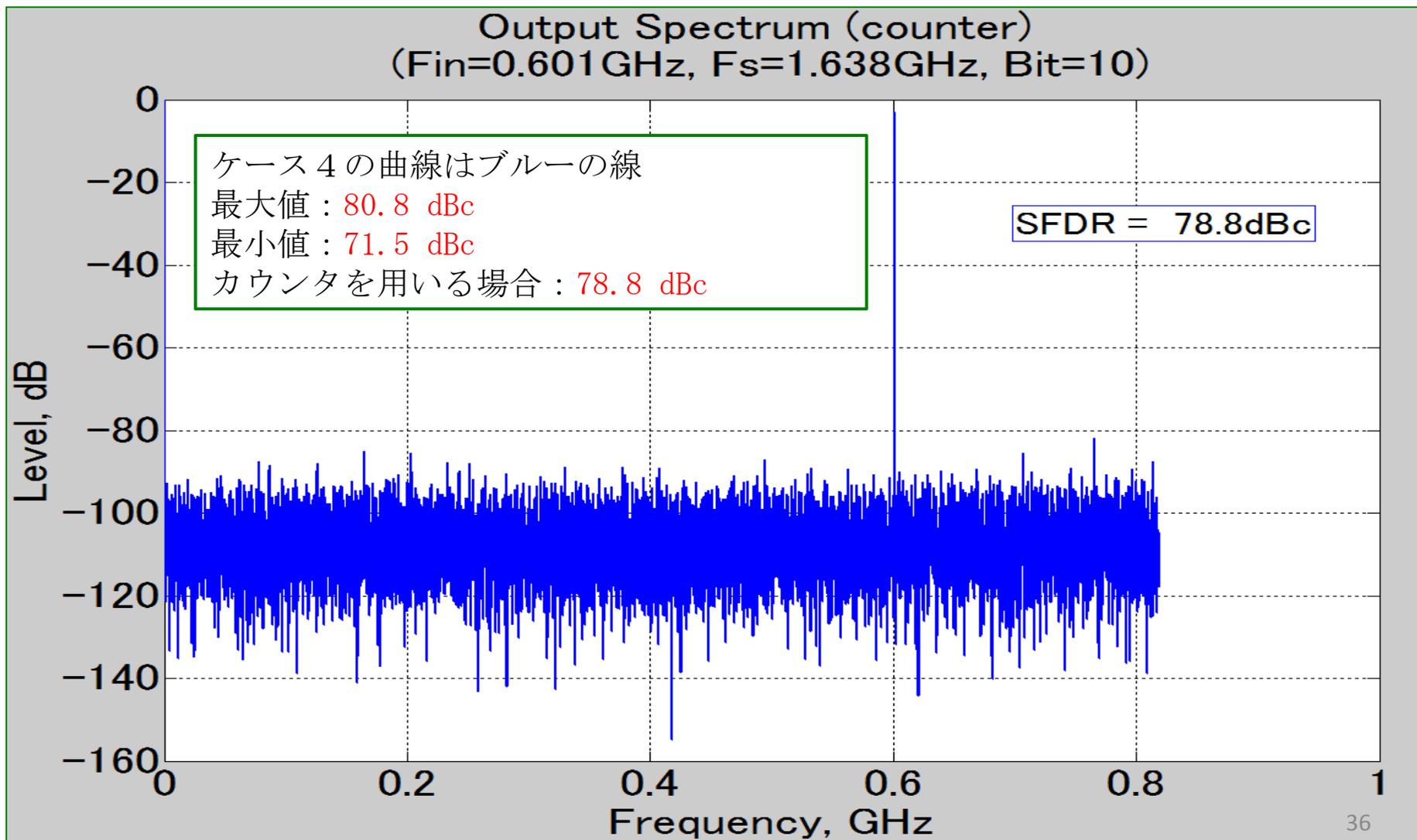


電流源のダイナミック・マッチング法の有効性の確認②

- 前の図より各ケースで
電流源のミスマッチが違うために、
最悪また最良値を表す横軸の値もばらついている
- 量産プロセス（最良値を求める）
 - ①各DACの電流源のミスマッチの値の測定が必要
 - ②選択する項が個別に設置

➡ 実用的ではない 😞
- 解決策
加える回路はカウンタだけの
ダイナミック・マッチング法を利用

電流源のダイナミック・マッチング法の有効性の確認③



電流源のダイナミック・マッチング法の有効性の確認④

五つケースを用いたシミュレーション結果				
ケース番号	SFDR			
	最大値	最小値	平均値	カウンタを用いる
ケース①	78.49	70.33	75.30	76.25
ケース②	82.61	75.46	78.51	79.10
ケース③	81.33	74.17	77.67	77.85
ケース④	80.79	71.51	75.45	78.82
ケース⑤	82.36	75.94	79.15	80.72

カウンタを用いて求められるSFDRは平均値より良い



カウンタを用いる場合

電流源のミスマッチの値を計測しない

選択する項が個別に設置すること不要

適度に高いSFDRを得る、信号の純度も高いレベル

ご清聴ありがとうございました