

2014年1月18日(土)

於 早稲田大学

DSPを用いたスイッチング電源回路 軽負荷場合の効率向上手法の検討

群馬大学

工学研究科 電気電子専攻

斬 光磊 (ジンコウライ)

OUTLINE

- 研究背景・目的
- 電源効率劣化の原因
- 研究方法
- BLPFC AC/DC変換回路部の検討
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

OUTLINE

- 研究背景・目的
- 電源効率劣化の原因
- 研究方法
- BLPFC AC/DC変換回路部の検討
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

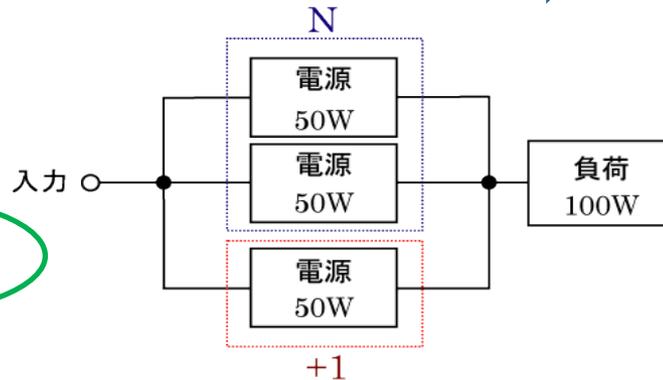
背景：サーバ用電源の省エネ傾向



サーバ用電源

N+1運転方式

普段は軽負荷で動作



従来

軽負荷効率が低い
エネルギー浪費



- 「80 PLUS」電源効率80%以上標準



% of Rated Load	10%	20%	50%	100%
BRONZE	N/A	80%	85%	81%
SILVER	N/A	85%	89%	85%
GOLD	N/A	88%	92%	88%
PLANTINUM	N/A	90%	94%	91%
TITANIUM	90%	94%	96%	91%



研究目的

サーバ電源設計目標

サーバ電源回路構成AC/DC部分+DC/DC部分

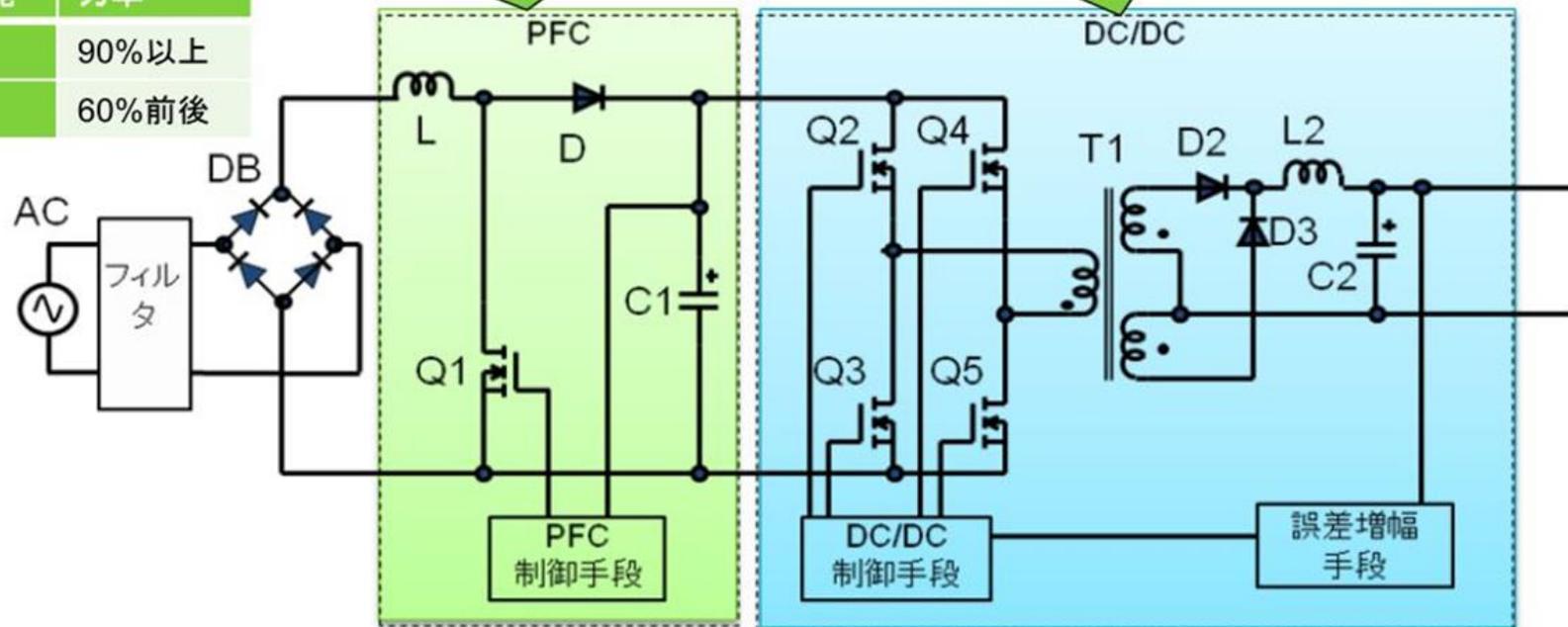
【PFC回路】

PFC(Power Factor Correction)とは「力率改善回路」のことで、交流電圧を効率よく(力率=1)整流平滑する回路です。

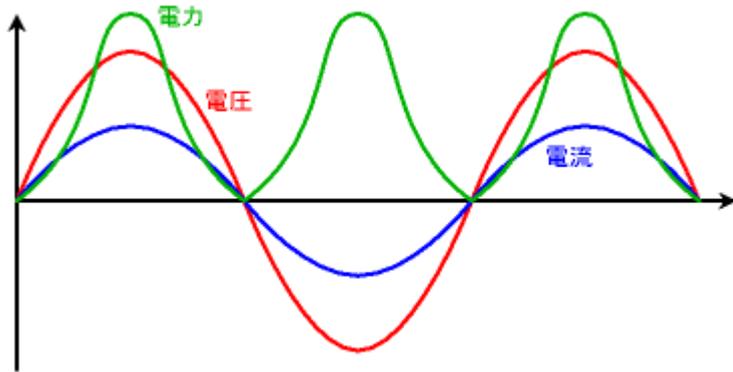
PFC機能	力率
あり	90%以上
なし	60%前後

【DC/DC回路部】

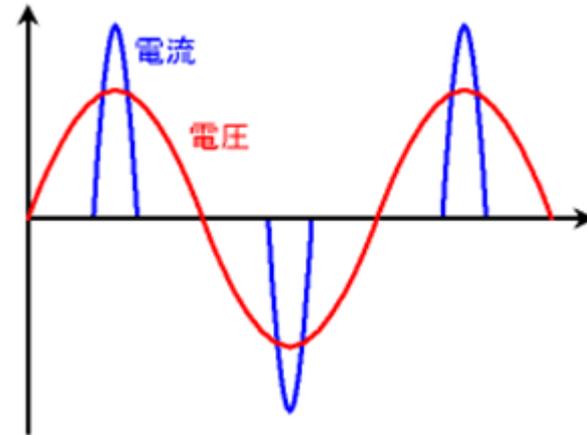
DC/DC部は、PFC回路により整流平滑された電源電圧を絶縁して、安定した直流電圧に変換する機能があります。



力率改善回路 (PFC : Power Factor Correction)



理想状態の入力電圧、電流

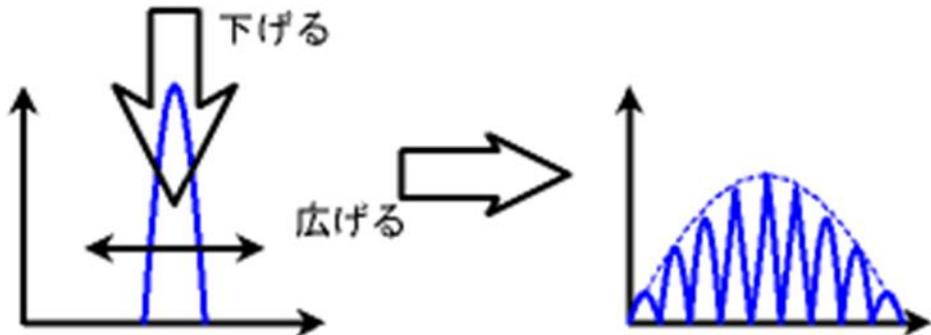


実際の入力電圧、電流

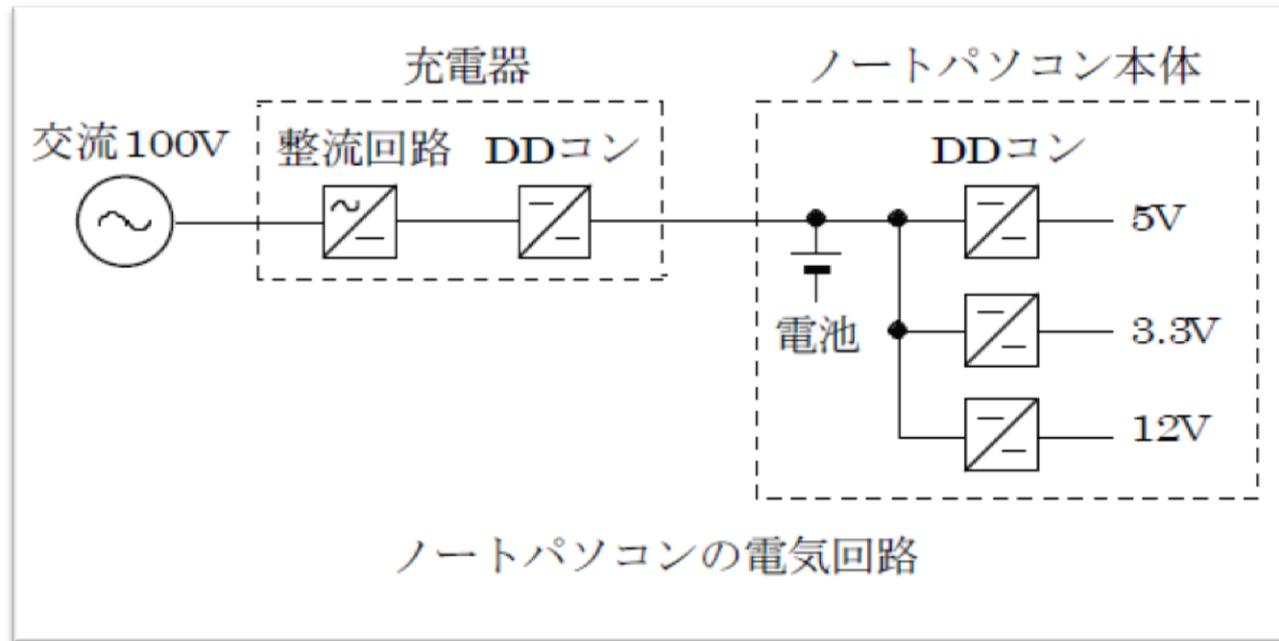
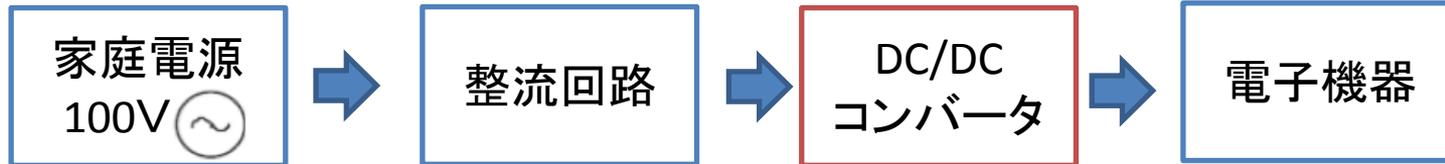


送配電設備 (進相コンデンサなど)
を損傷させる

PFC回路
の仕事



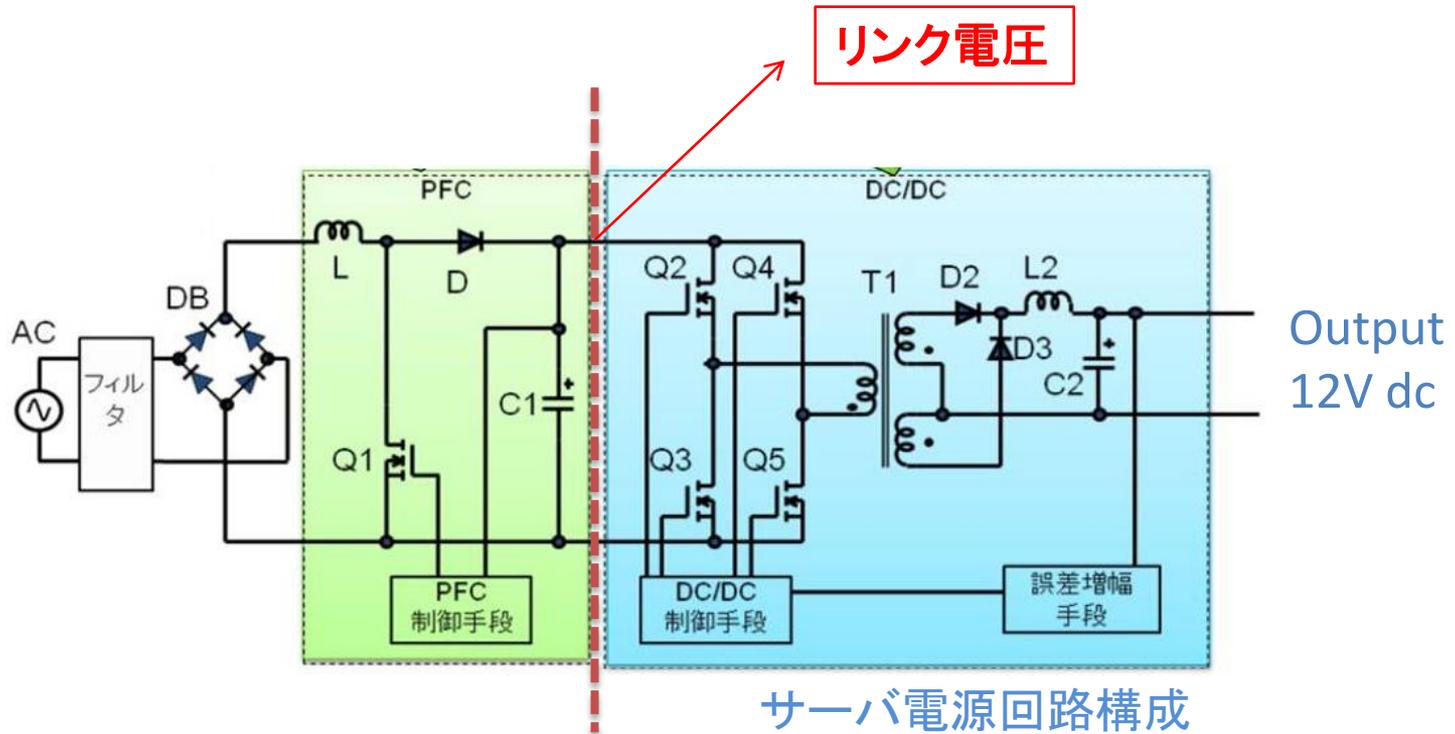
DC/DCコンバータ回路



OUTLINE

- 研究背景・目的
- **電源効率劣化の原因**
- 研究方法
- BLPFC AC/DC変換回路部の検討
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

サーバ電源効率劣化の原因①

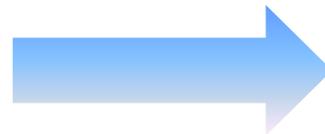


入力電圧範囲(AC 90-265V)

リンク電圧400V

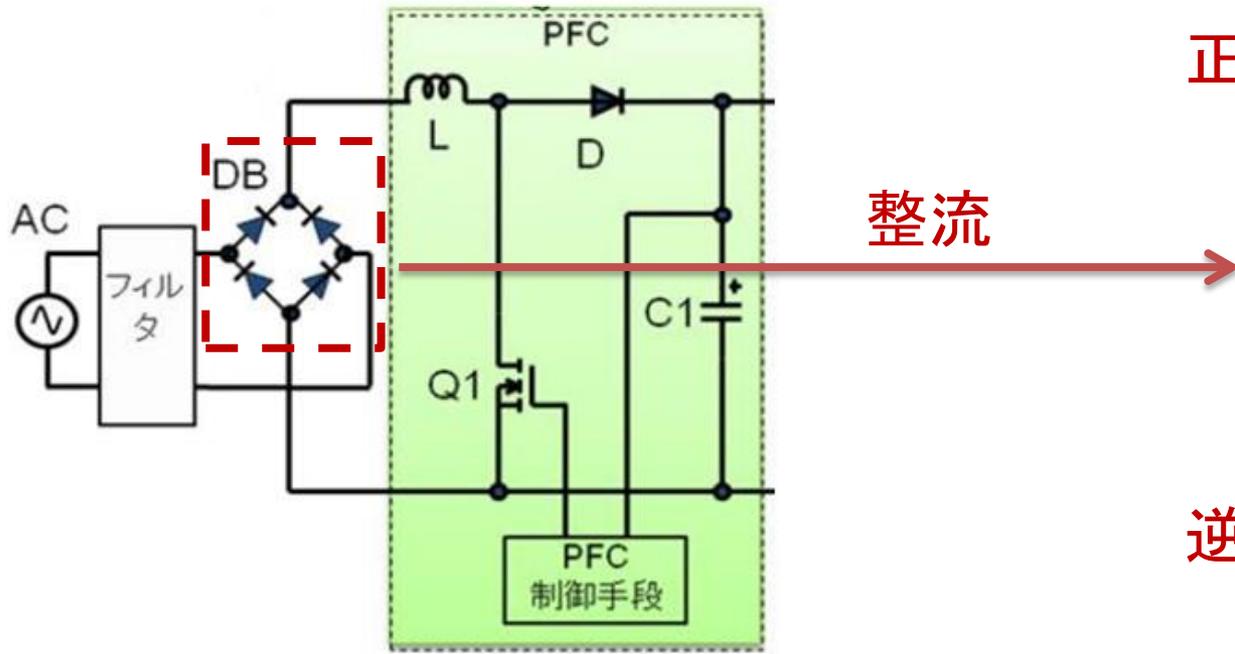
出力電圧12V

リンク電圧高い

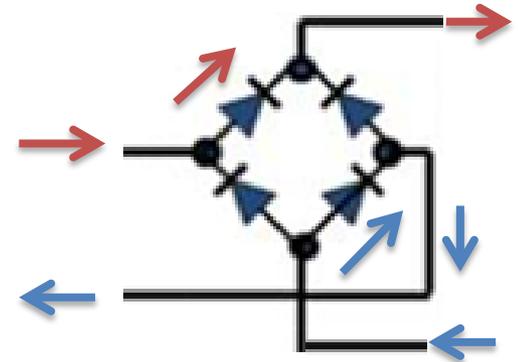


効率劣化

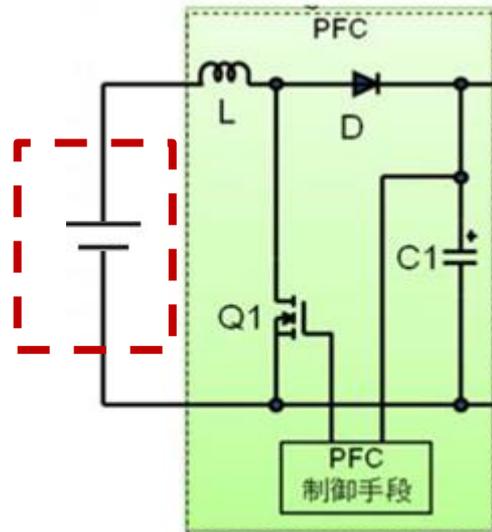
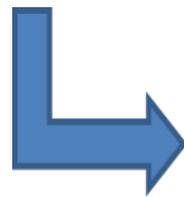
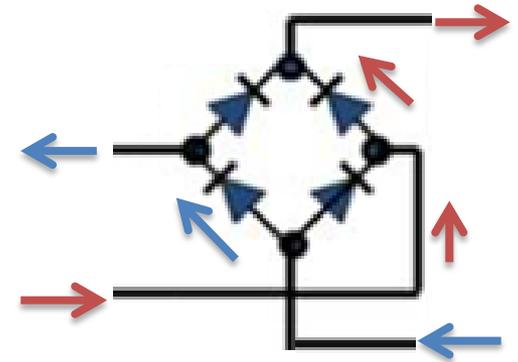
PFCの原理①整流



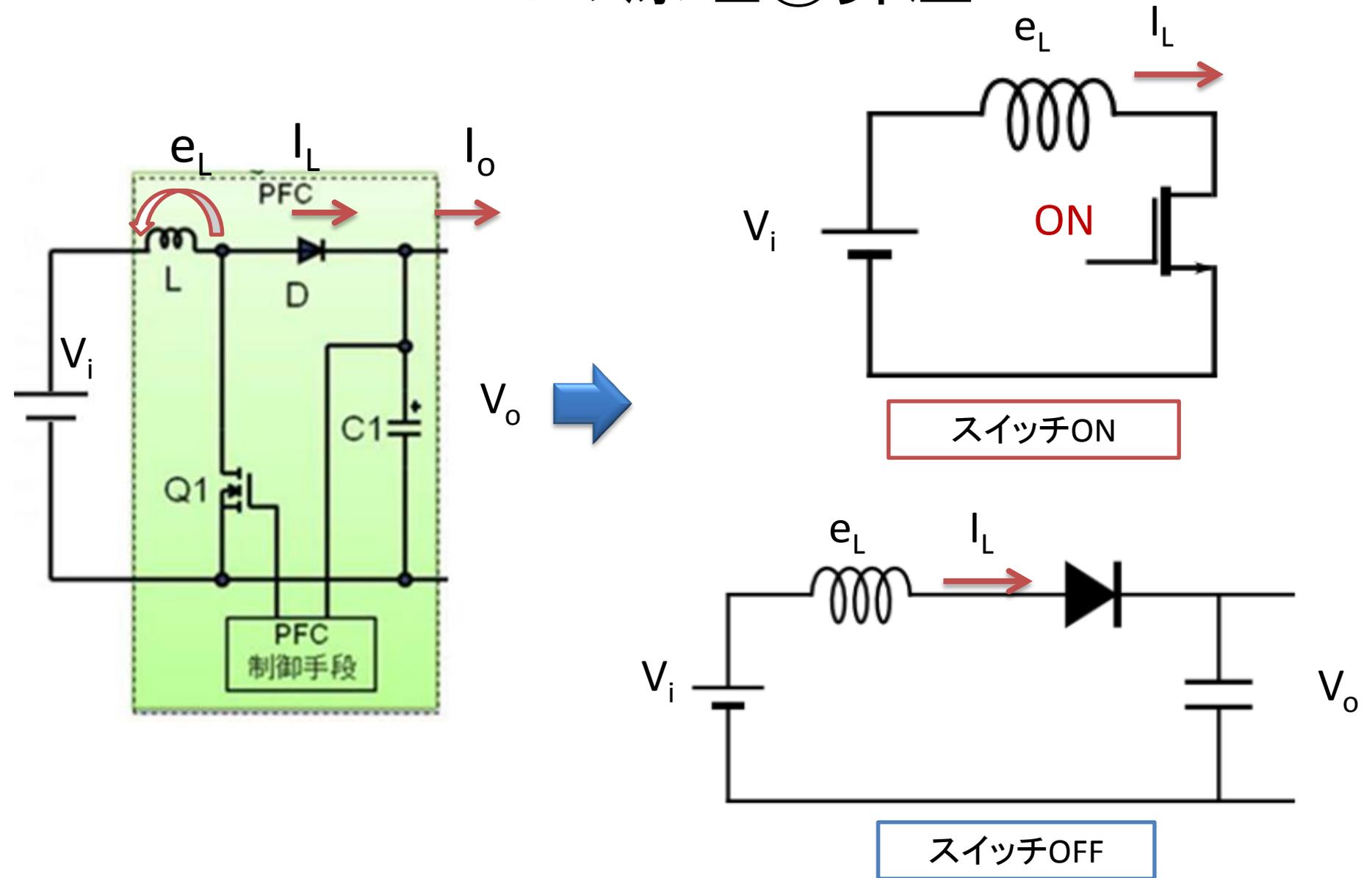
正



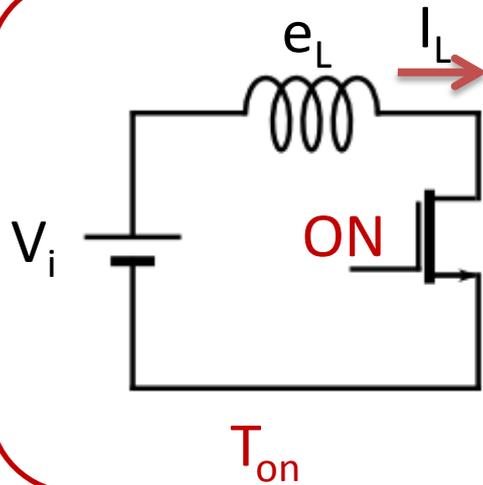
逆



PFCの原理②昇圧



エネルギーをチャージ



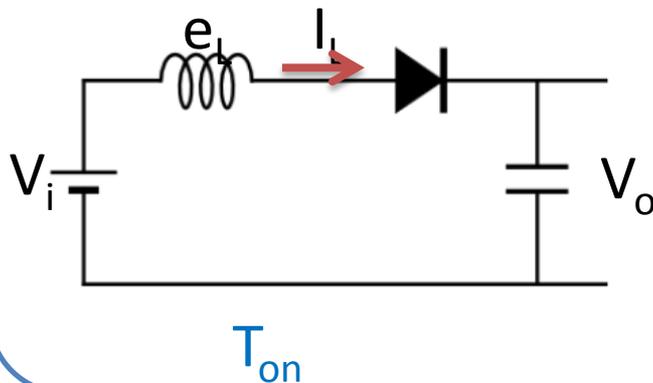
Lに流れる電流変化分

$$i_u = \frac{1}{L} \int_0^{T_1} e_L dt$$

定常状態 $e_L = V_i$

$$i_u = \frac{V_i}{L} \cdot T_{on}$$

エネルギーを出す



$$e_L = V_o - V_i$$

V_i 、 V_o 一定

e_L 一定

$$L \text{に流れる電流変化分 } i_d = \frac{V_o - V_i}{L} \cdot T_{off}$$

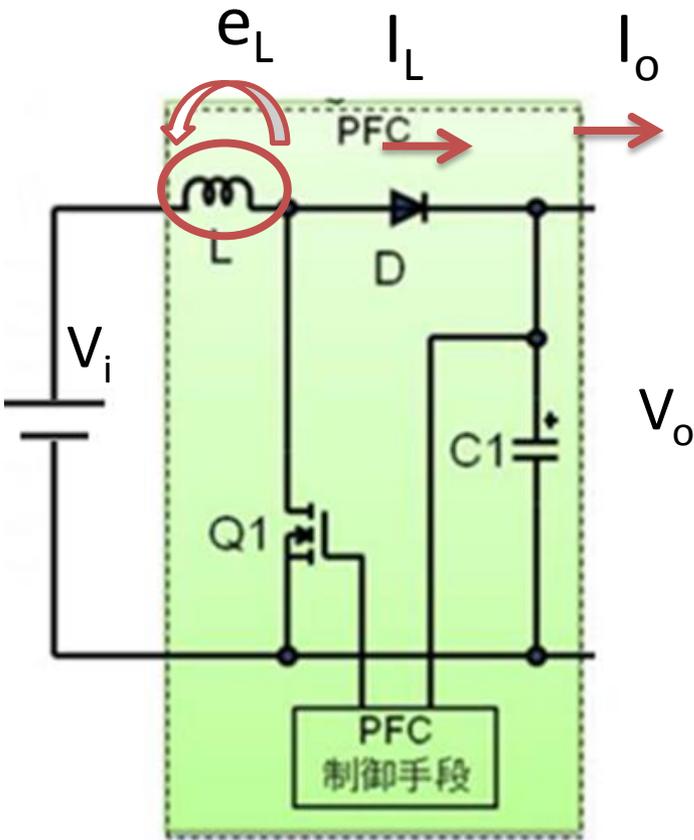
定常状態

$$i_d = i_u$$



$$V_o = \left(1 + \frac{T_{on}}{T_{off}}\right) \cdot V_i$$

リンク電圧により損失



リアクトル損失



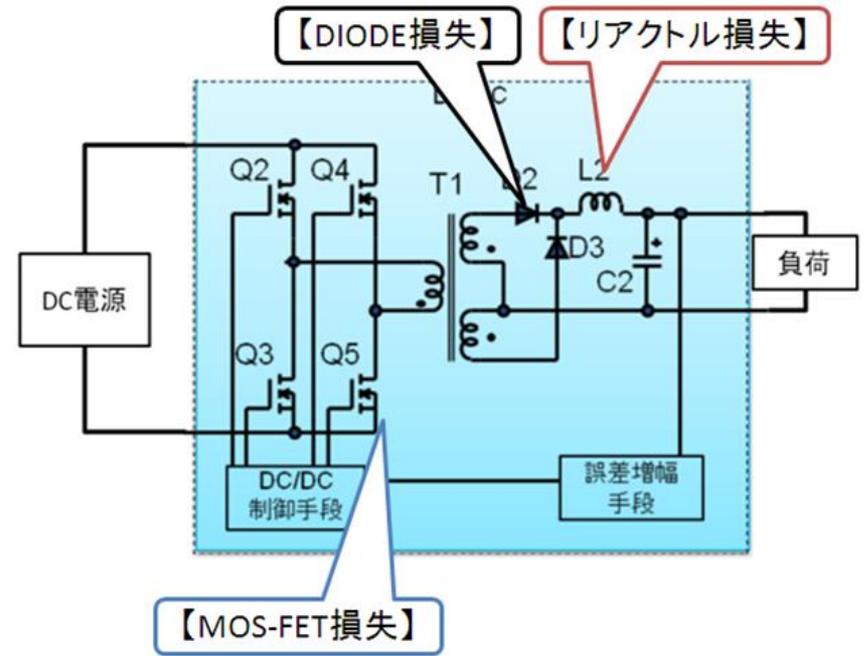
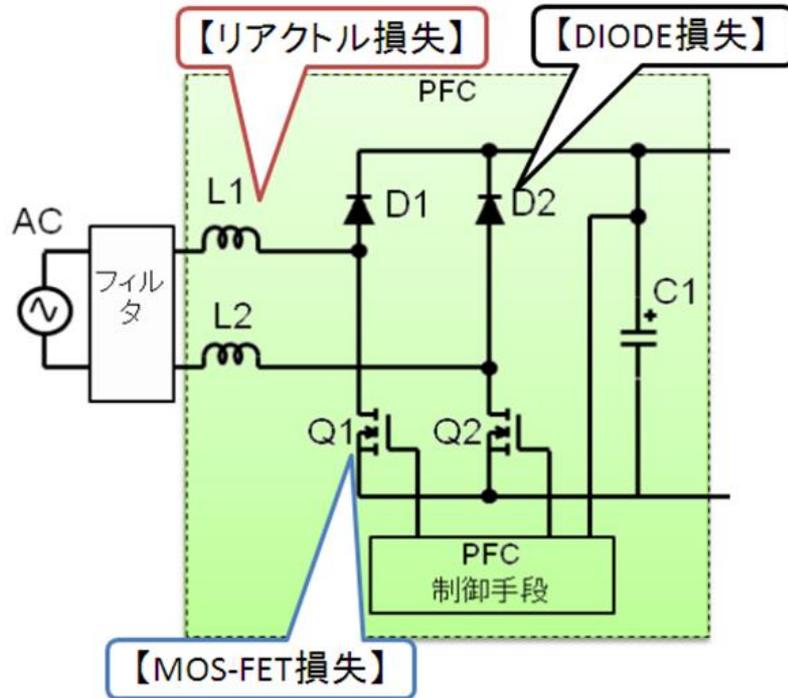
鉄損

ヒステリシス損 $P_h = k_h \frac{e_L^{1.6}}{f^{0.6}}$

うず電流損 $P_e = k_e \frac{(te_L)^2}{f^{0.6}}$

$$e_L = V_o - V_i$$

サーバ電源効率劣化の原因②



DIODE損失



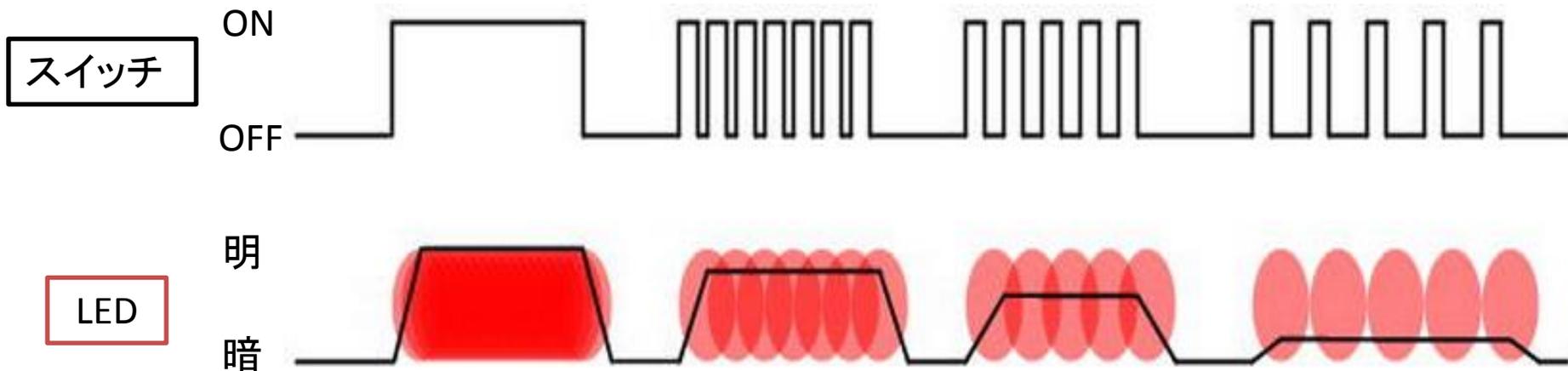
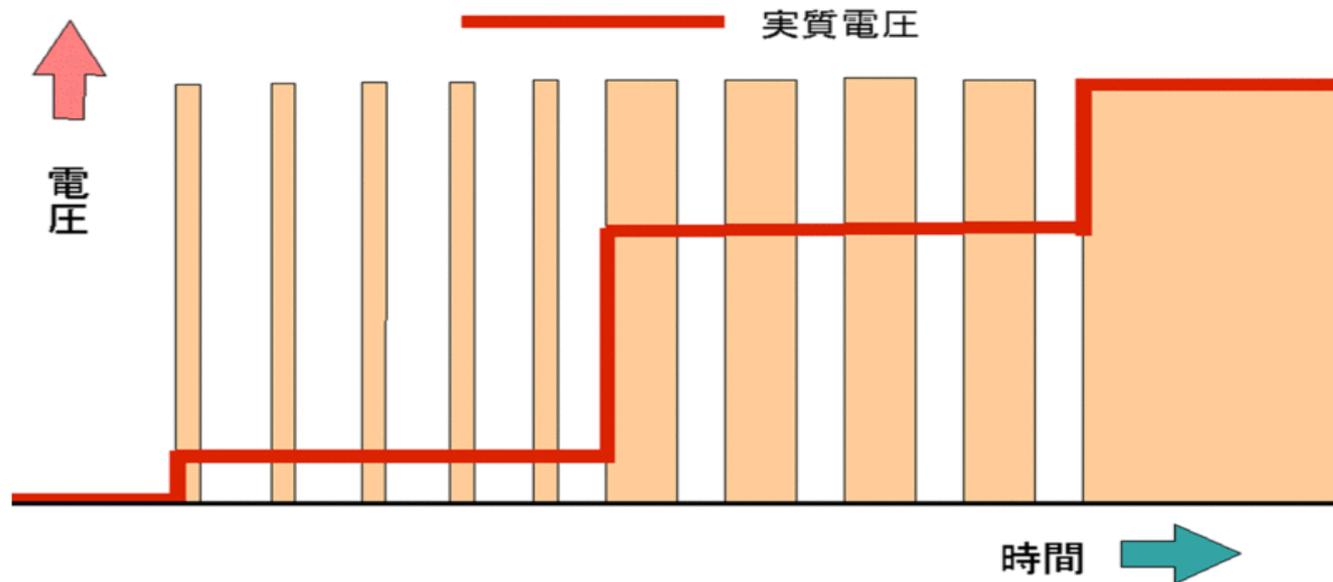
$$P_{SW(DIODE)} = 0.5 \times V_{REVERSE} \times I_{RR(PEAK)} \times t_{RR} \times f_s$$

MOS-FET損失

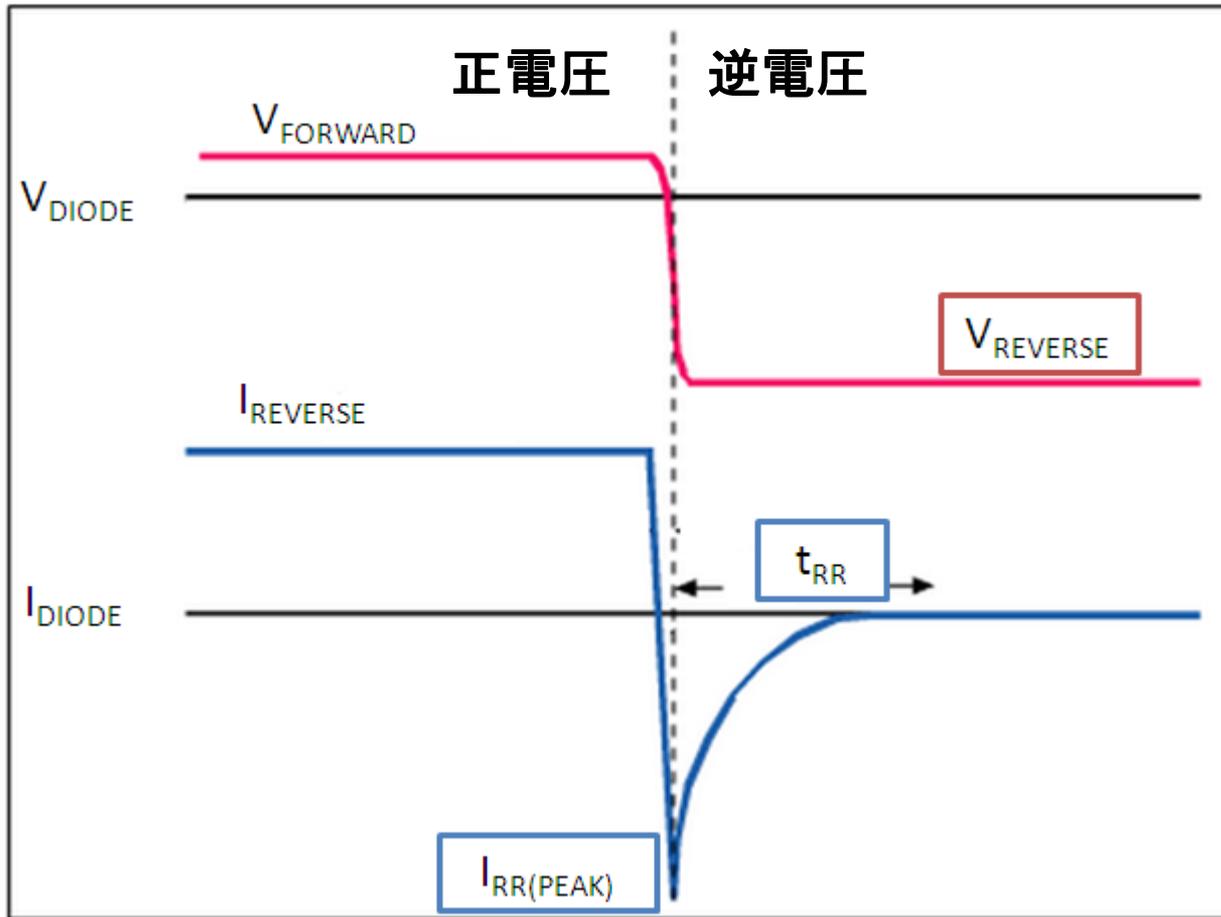


$$P_{SW(MOSFET)} = 0.5 \times V_D \times I_D \times (t_{SW(ON)} + t_{SW(OFF)}) \times f_s$$

PWM (Pulse Width Modulation) 制御



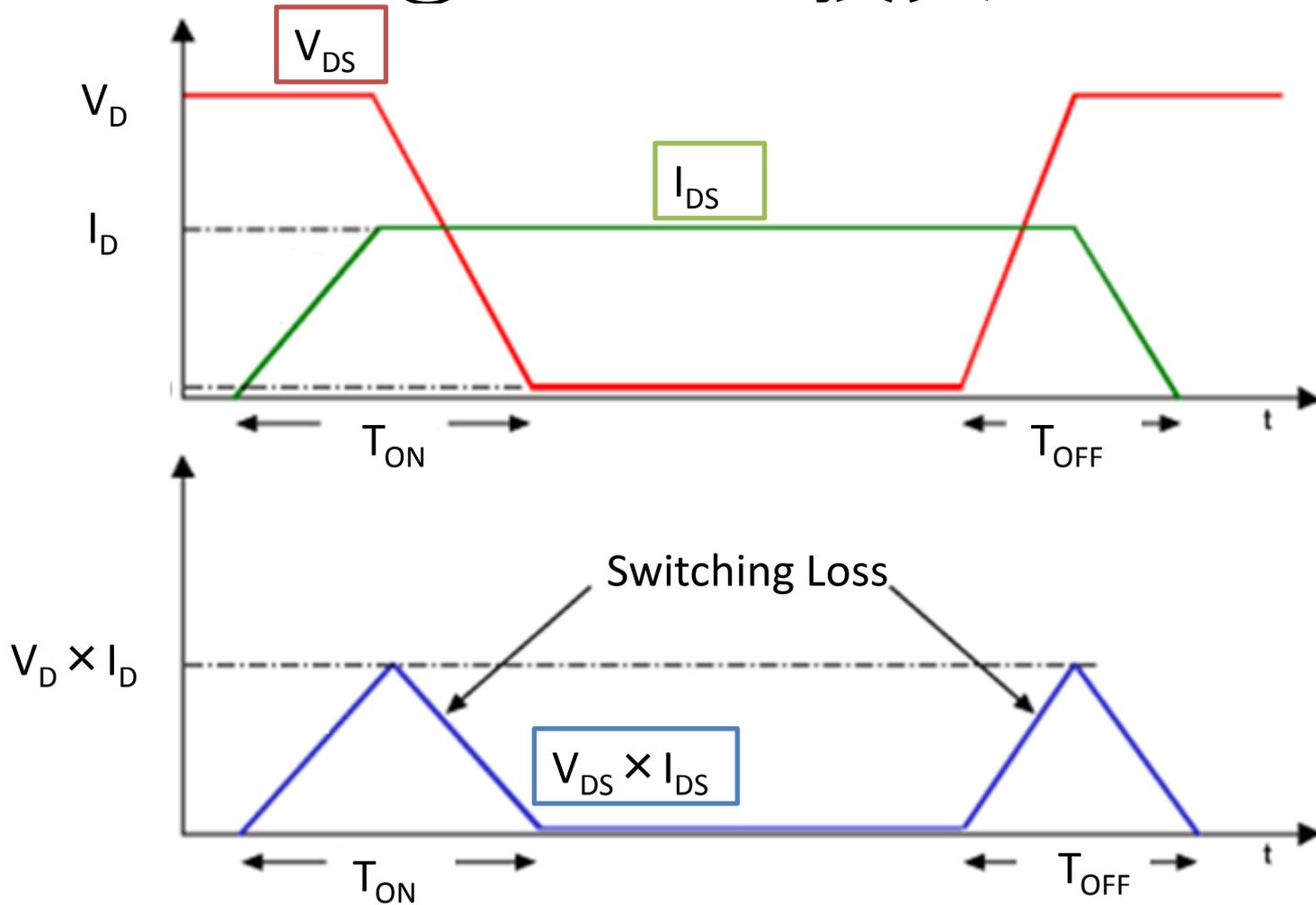
① DIODE損失



電力損失 = 回復電圧 × 電流スパイク × 時間 × 周波数

$$P_{SW(DIODE)} = 0.5 \times V_{REVERSE} \times I_{RR(PEAK)} \times t_{RR} \times f_S$$

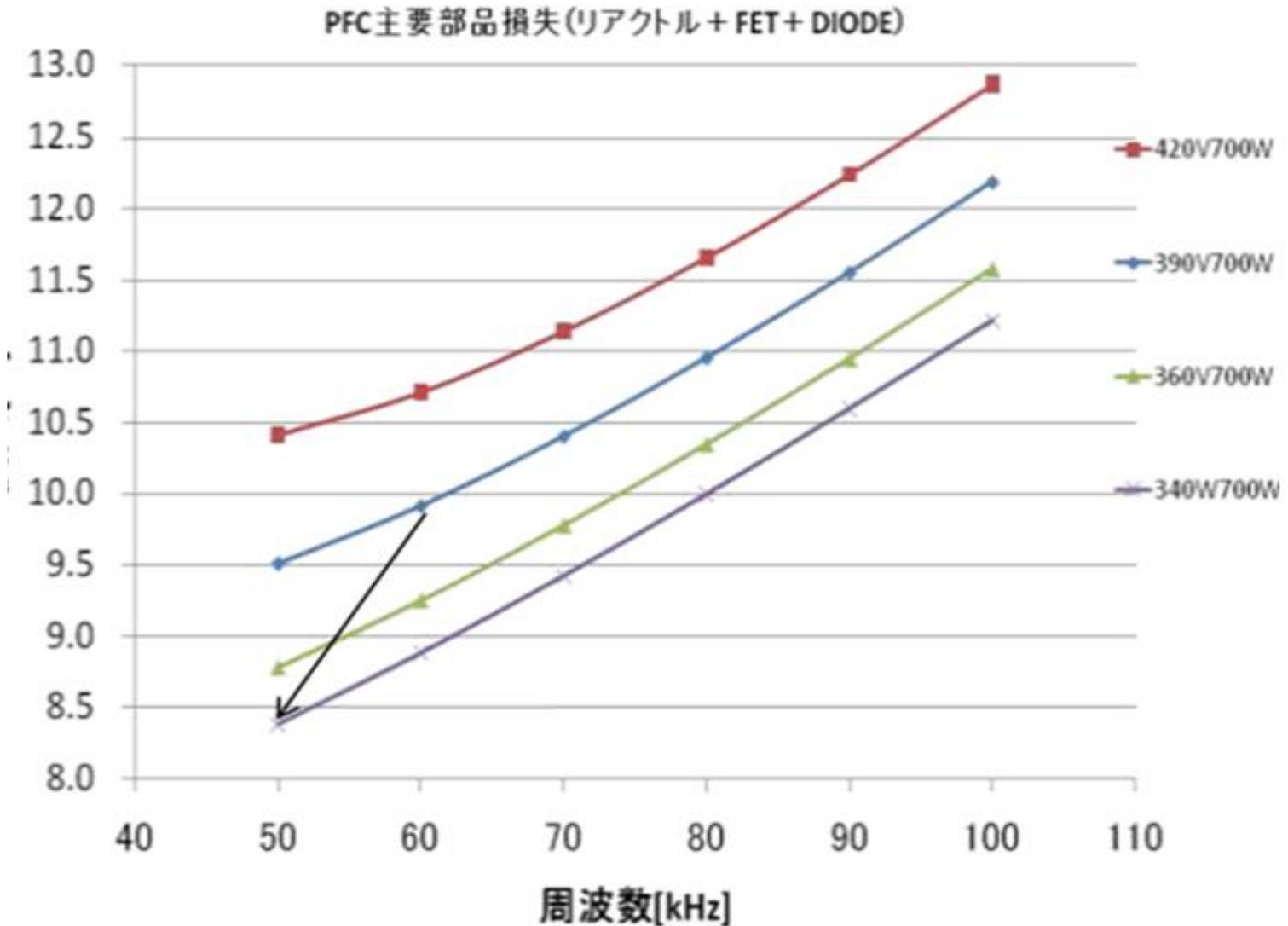
① MOSFET損失



電力損失＝ドレイン-ソース電圧 × チャンネル電流 × 時間 × 周波数

$$P_{SW(MOSFET)} = 0.5 \times V_D \times I_D \times (t_{SW(ON)} + t_{SW(OFF)}) \times f_S$$

各素子損失と周波数の関係



提案方法

電源回路ハーフロードと20%近くの軽負荷領域での効率の向上方法を検討する。

従来手法

現状のアナログ制御
[PFC]
・PWM(固定周波数)
・リンク電圧は一定
[DC/DC]
・PWM(固定周波数)



効率劣化



提案手法

最適制御
[PFC]
・PWM(周波数最適可変)
・リンク電圧は最適可変
[DC/DC]
・PWM(周波数最適可変)



回路トポロジー
Hardware



DSPデジタル制御
Software



OUTLINE

- 研究背景・目的
- 電源効率劣化の原因
- **研究方法**
- BLPFC AC/DC変換回路部の検討
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

研究方法

電源回路を二つの部分に分けて検討を行なう

BLPFC AC/DC 回路部分(Bridgeless Power Factor Correction AC/DC)

- 負荷率50% → **リンク電圧**
- 負荷率10%~20% → **PWM周波数**

PSFB DC/DC 回路部分(Phase Shift Full Bridge DC/DC)

- 負荷率10%~20% → **PWM周波数**

研究方法

開発ボード紹介

PFC部

TI製ブリッジレス PFC 開発用キットを使用

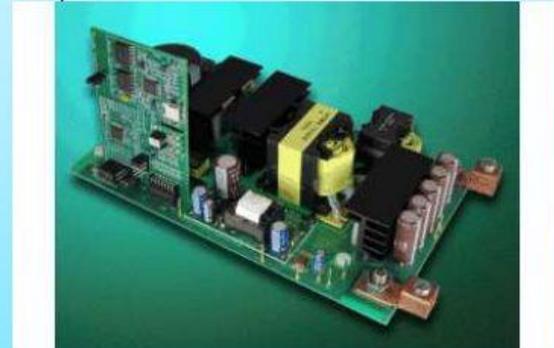
- Piccolo F28035 デジタル PFC 制御
- 300W ブリッジレス PFC
- 汎用 AC ライン入力(85V ~ 265V)



DC/DC部

TI製デジタル制御フェーズ・シフト・フル・ブリッジ DC/DC コンバータ開発キットを使用

- 入力電圧380V ~ 400V
- 出力12V, 500W



BL PFC Electrical Specifications

- 400Vdc Output ← リンク電圧 →
- PWM frequency 200kHz

HVPSFB Kit Specifications

- 400V dc Input(370Vdc to 410Vdc)
- 100kHz switching frequency

研究方法



開発環境

Code Composer Studio™ (CCS)は、テキサス・インスツルメンツ(TI)の組み込みプロセッサ向けの統合開発環境です。

The screenshot shows the Code Composer Studio IDE with a C source file open. The code defines a structure for PWM registers and implements a function to update the PWM duty cycle. The function uses a switch statement to handle different PWM channels (0, 1, 2) and sets the period (TBPRD) and duty cycle (CHPA) for each channel. Comments indicate that the duty cycle is fixed at 50% for each channel.

```
7
8 #include "PeripheralHeaderIncludes.h"
9 #include "DSP2802x_EPWM_defines.h" // useful defines specific to EPWM
10
11 extern volatile struct EPWM_REGS *ePwm[];
12
13
14 void PwmDrv_PSFb_Pwm_Change(int16 n, int m, int16 IoutR, int16 SR_Enable)
15 {
16     switch(m)
17     {
18     case 0:
19         (*ePwm[n]).TBPRD = 858; //70kHz
20         (*ePwm[n]).CHPA.half.CHPA = 858/2; // Fix duty at 50%
21         (*ePwm[n+1]).TBPRD = (858-1); // Fix duty
22         (*ePwm[n+1]).CHPA.half.CHPA = 858/2; // Fix duty
23         if (SR_Enable == 1)
24         {
25             (*ePwm[n+3]).TBPRD=858/2-1;
26         }
27         break;
28     case 1:
29         (*ePwm[n]).TBPRD = 750; //80kHz
30         (*ePwm[n]).CHPA.half.CHPA = 750/2; // Fix duty
31         (*ePwm[n+1]).TBPRD = (750-1); // Fix duty
32         (*ePwm[n+1]).CHPA.half.CHPA = 750/2; // Fix duty
33         if (SR_Enable == 1)
34         {
35             (*ePwm[n+3]).TBPRD=750/2-1;
36         }
37         break;
38     case 2:
39         (*ePwm[n]).TBPRD = 668; //90kHz
40         (*ePwm[n]).CHPA.half.CHPA = 668/2; // Fix duty
41         (*ePwm[n+1]).TBPRD = (668-1); // Fix duty
```

BLPFC AC/DC 回路部分 (Bridgeless Power Factor Correction)

- リンク電圧の最適可変
- PWM(スイッチング周波数)の最適可変

PSFB DC/DC 回路部分 (Phase Shift Full Bridge DC/DC)

- PWM(スイッチング周波数)の最適可変

上記の可変部分はプログラムの開発によって、実現可能

OUTLINE

- 研究背景・目的
- 電源効率劣化の原因
- 研究方法
- **BLPFC AC/DC変換回路部の検討**
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

BLPFC AC/DC回路部分

● 電源回路出力効率劣化原因①

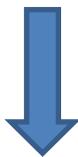
入力電圧 (85~265) < リンク電圧 (390V~400V)

解決方法として、DSPが入力電圧の実効値をモニタし、リンク電圧をリアル可変にする

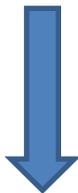
入力電圧の検出
Vin_N, Vin_L



DSPに取り込む



交流入力の実効値の計算 V_{rms}



$$\text{リンク電圧 } V_{out} = \text{最適昇圧比} \times V_{rms}$$

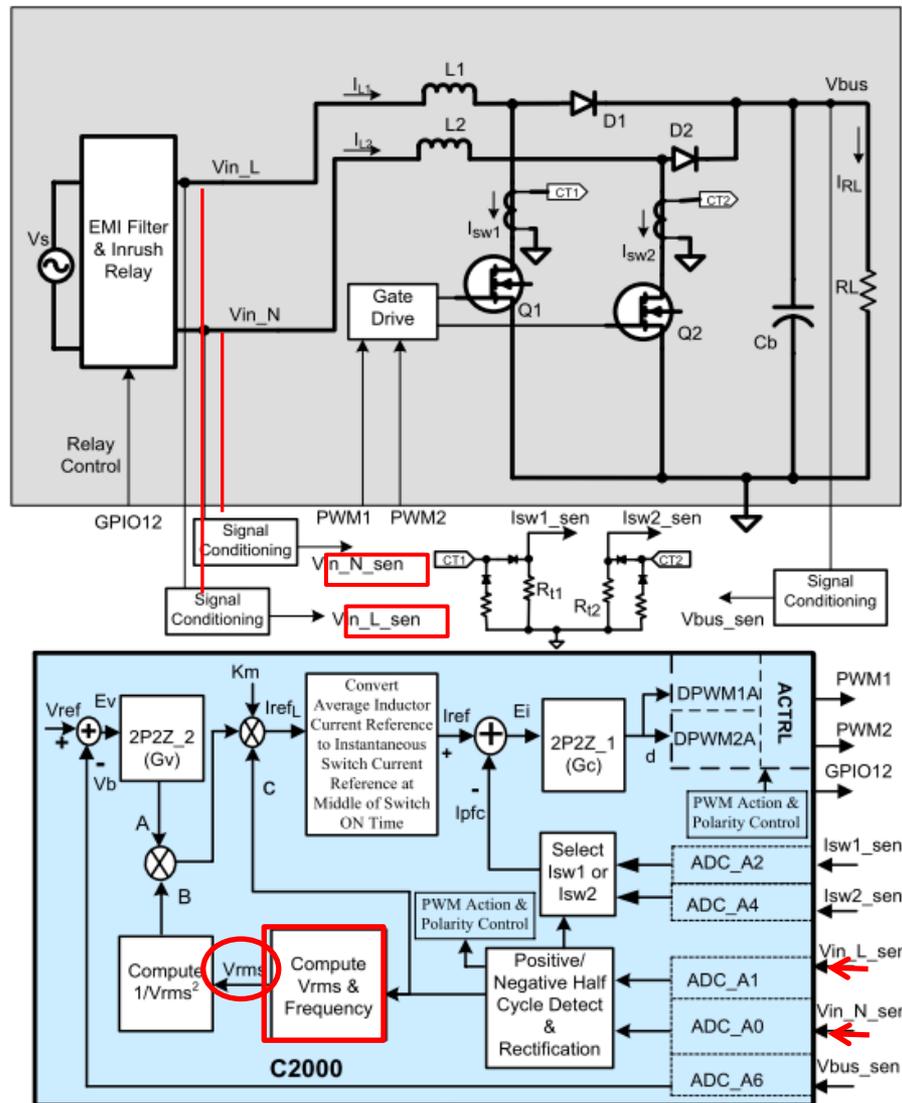
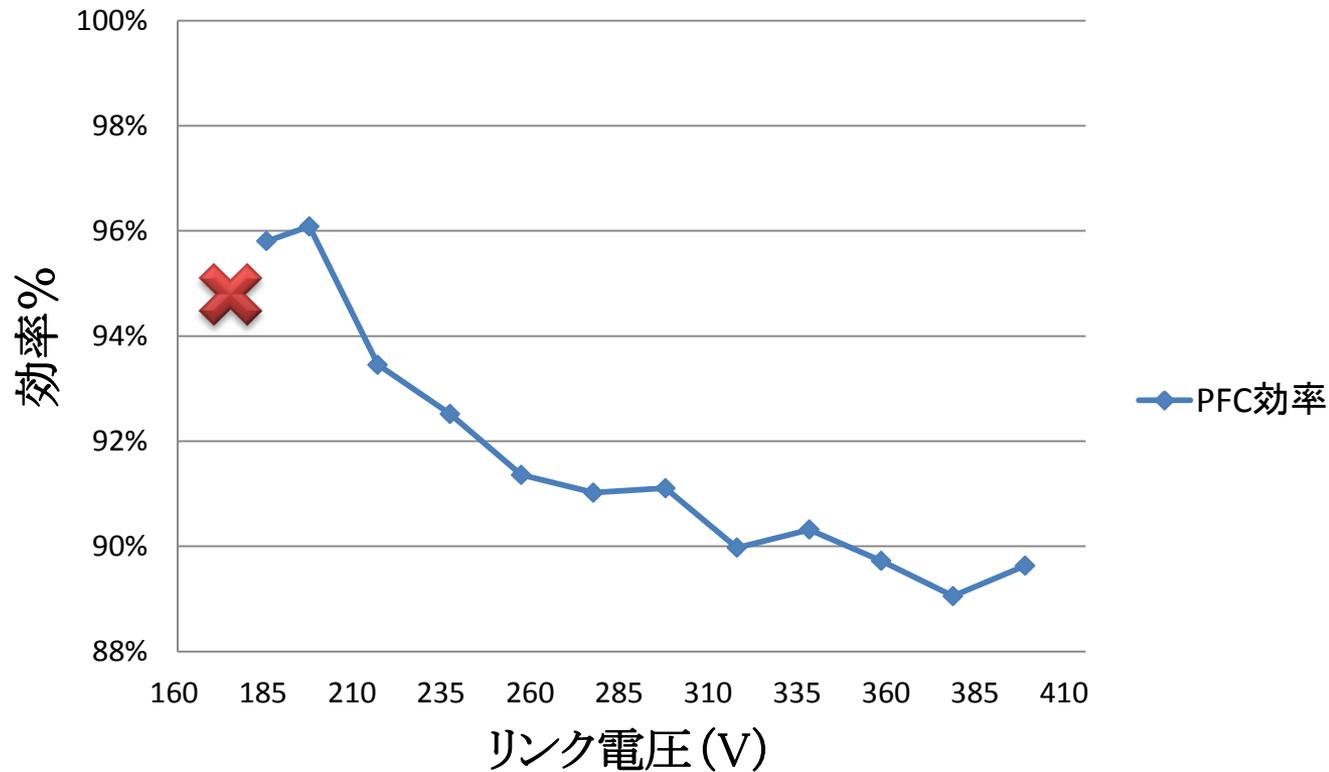


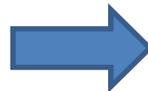
Figure 1.1 Bridgeless PFC Converter Control using C2000 Micro-controller

BLPFC AC/DC回路の実験結果

- AC入力電圧 $V_{in}=100V$
- スイッチング周波数200kHz固定
- 負荷容量50%(150W出力)

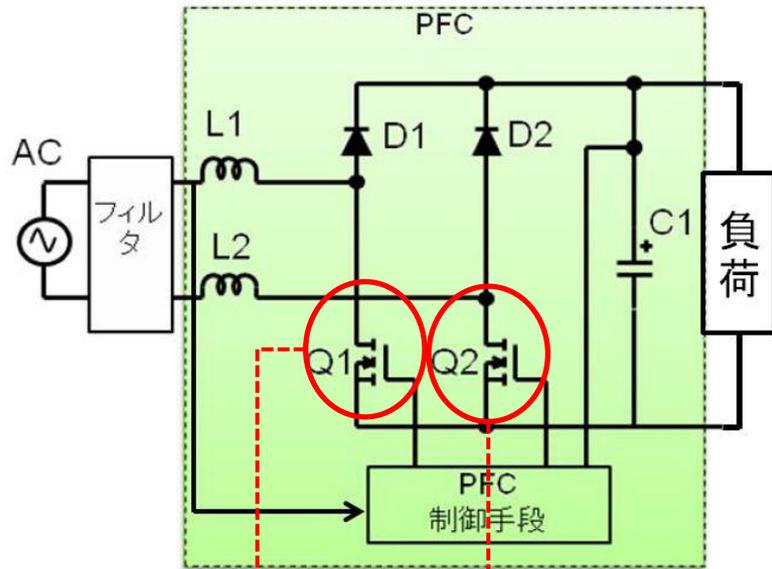


● リンク電圧は190V以下はNG



最適リンク電圧は200V

BLPFC AC/DC回路部分



- 軽負荷の状況：電源回路の**固定周波数**のPWM制御での**MOSスイッチロス**により、効率が大幅に劣化する。

軽負荷の場合 (Load rate :5%~20%)、デジタル制御でPWMスイッチング周波数を変化によつてのPFC AC/DC回路の効率向上効果の検討

最適制御で効率改善できるのか？

軽負荷 + 固定周波数

軽負荷 + 可変周波数

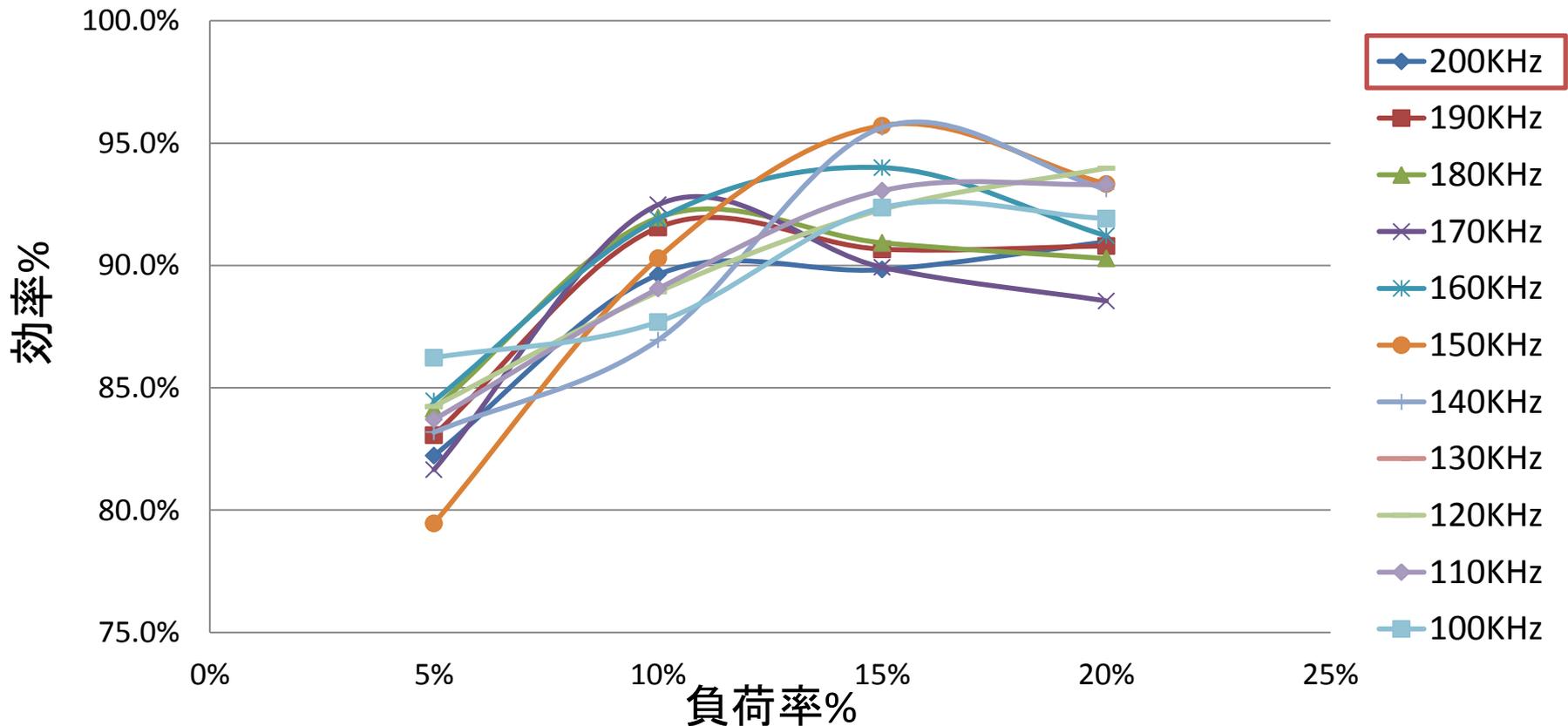
提案

BLPFC AC/DC回路部分

実験結果@400V

- AC入力電圧 $V_{in}=100V$
- リンク電圧(PFC出力電圧)400V固定

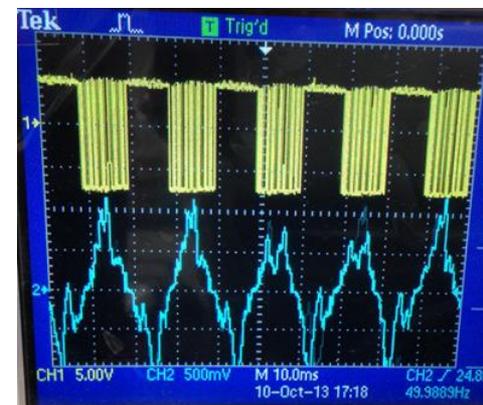
従来の固定周波数



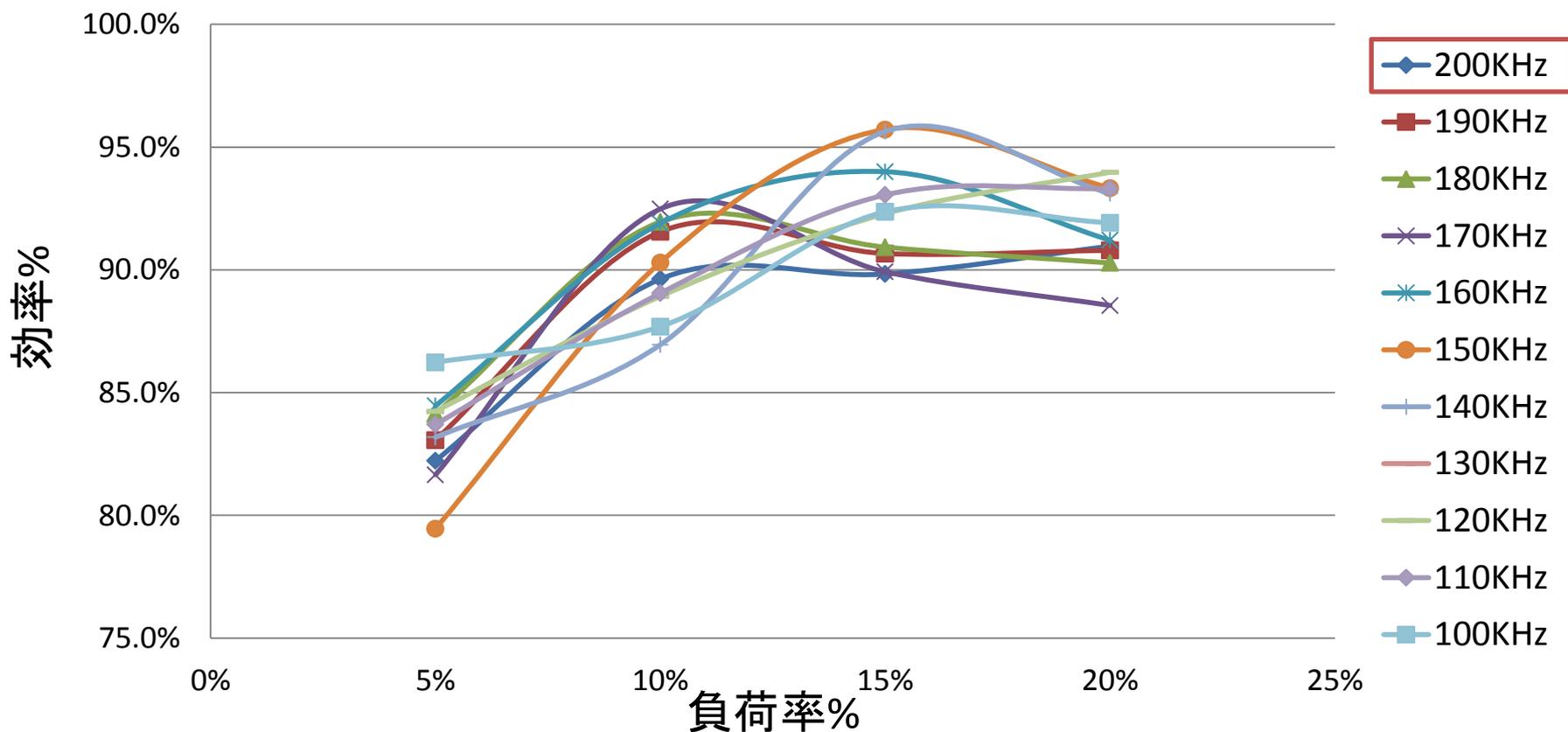
BLPFC AC/DC回路部分

実験結果@400V

- AC入力電圧 $V_{in}=100V$
- リンク電圧(PFC出力電圧)400V固定



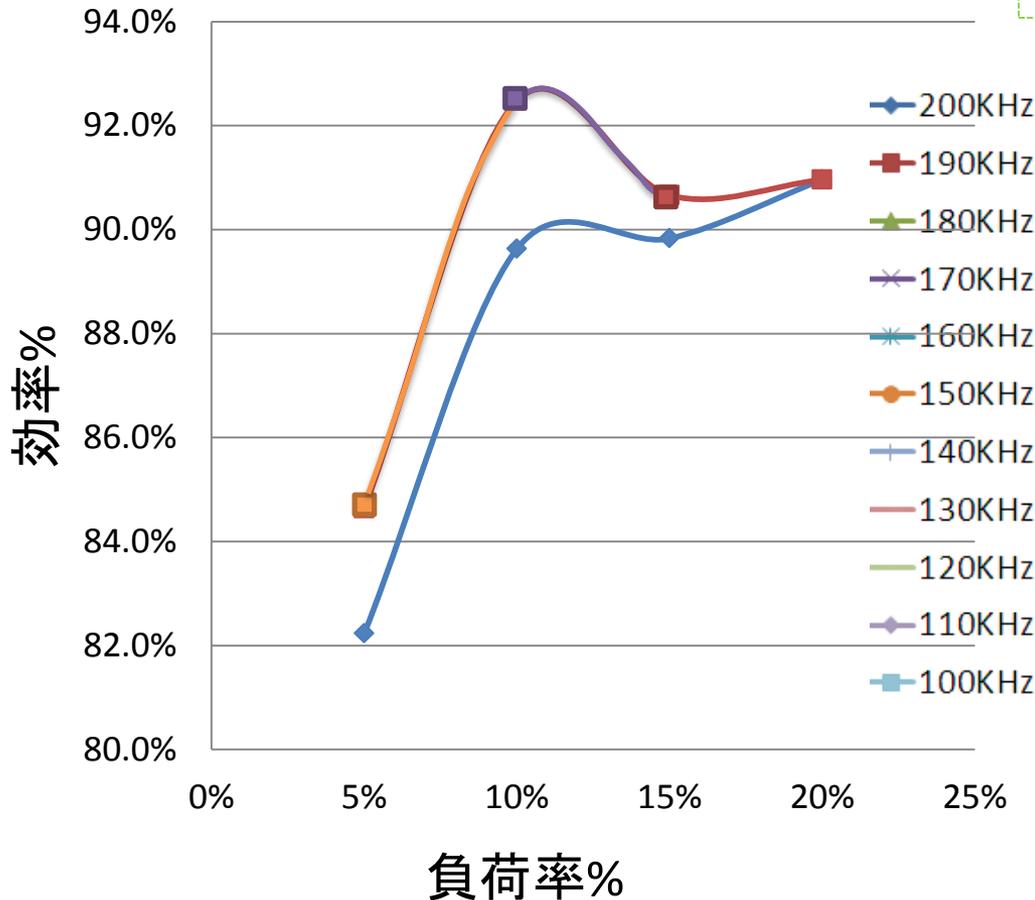
従来の固定周波数



BLPFC AC/DC回路部分

周波数最適変化の結果

- AC入力電圧 $V_{in}=100V$
- リンク電圧(PFC出力電圧)400V固定



従来の周波数は
固定されている



LOAD	最適周波数
5%-10%	150kHz
10%-15%	170kHz
15%-20%	190kHz
20%~	200kHz

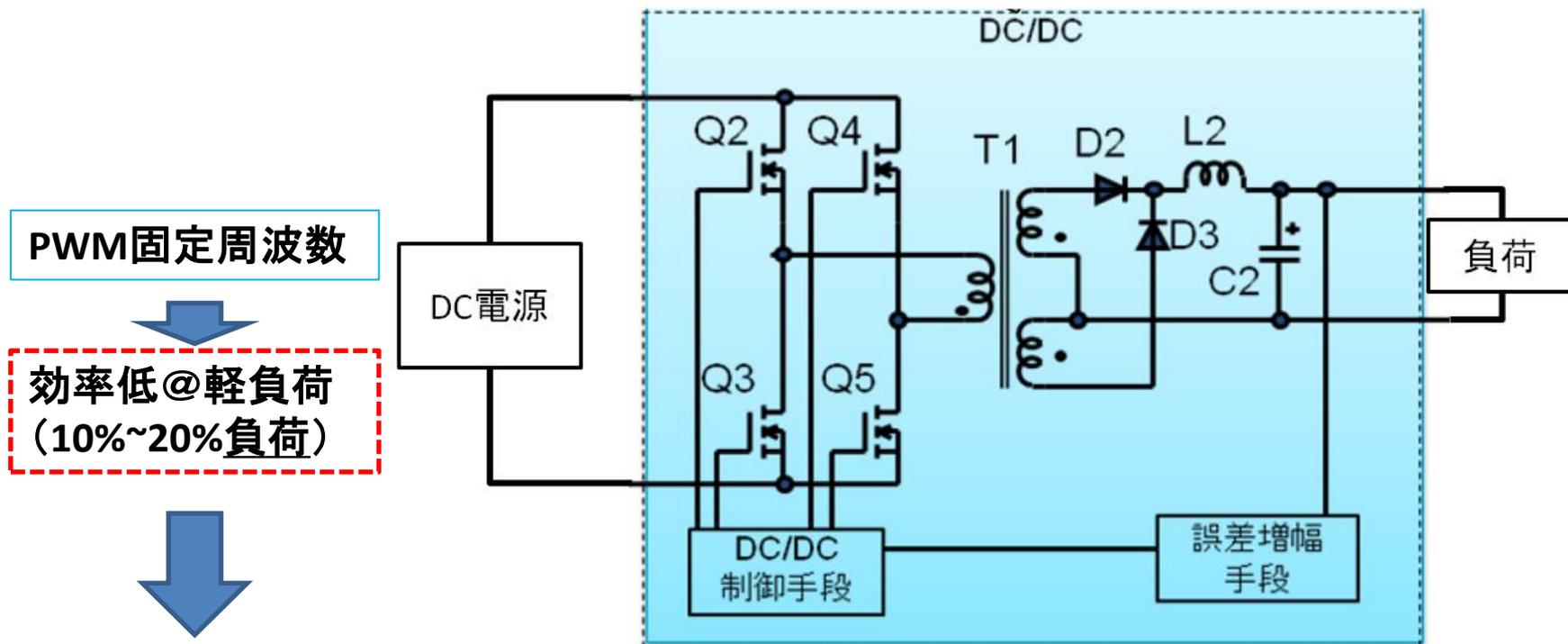
プログラムで実現!

OUTLINE

- 研究背景・目的
- 電源効率劣化の原因
- 研究方法
- BLPFC AC/DC変換回路部の検討
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

PSFB DC/DC回路部分

PWM(スイッチング周波数)の最適可変(@10%~20%負荷)



PWM固定周波数

効率低@軽負荷
(10%~20%負荷)

解決方法

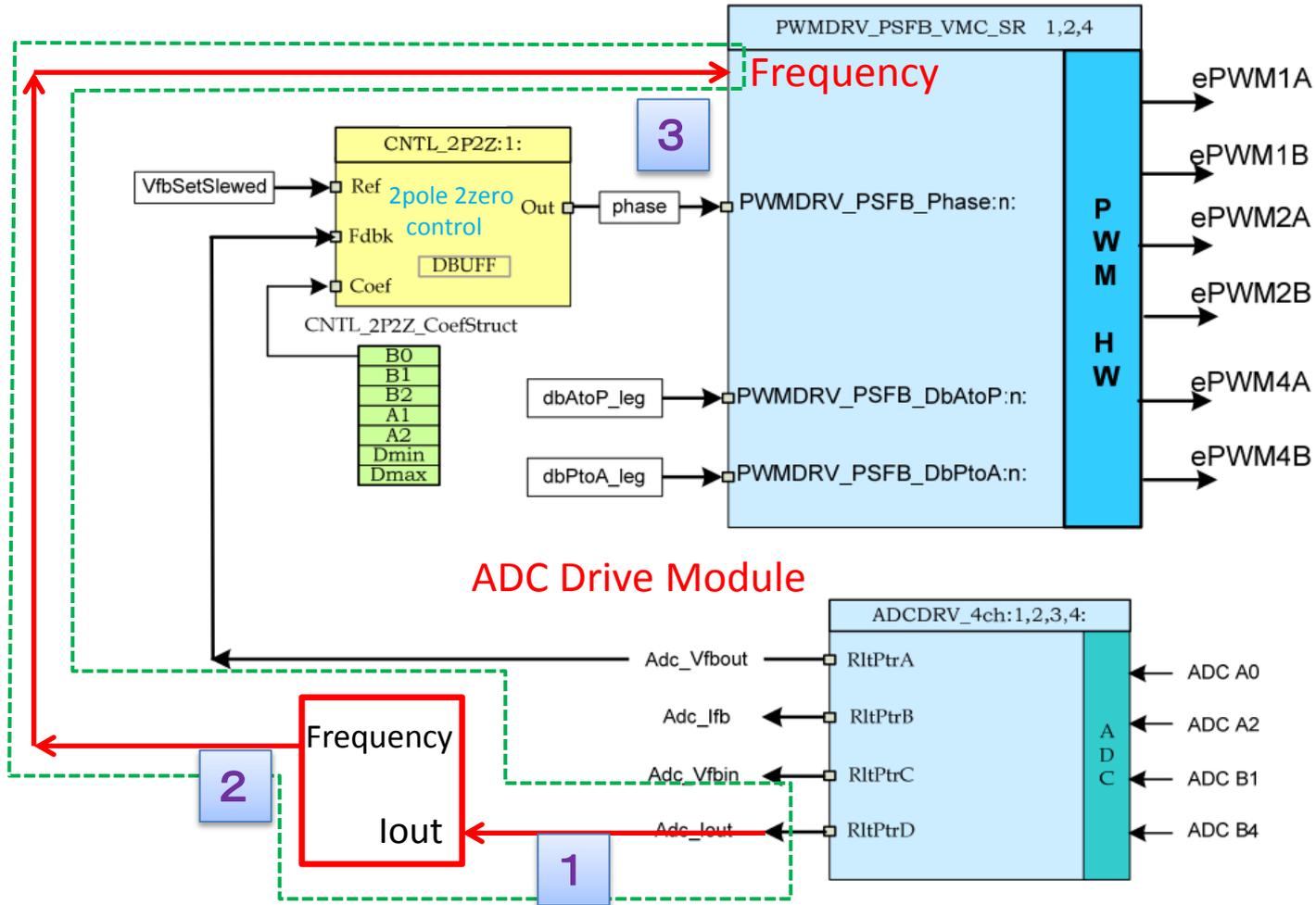
可変周波数@軽負荷

Phase Shift Full Bridge DC/DC Circuit

PSFB DC/DC回路部分

VMC Control Flow

PWM Drive Module

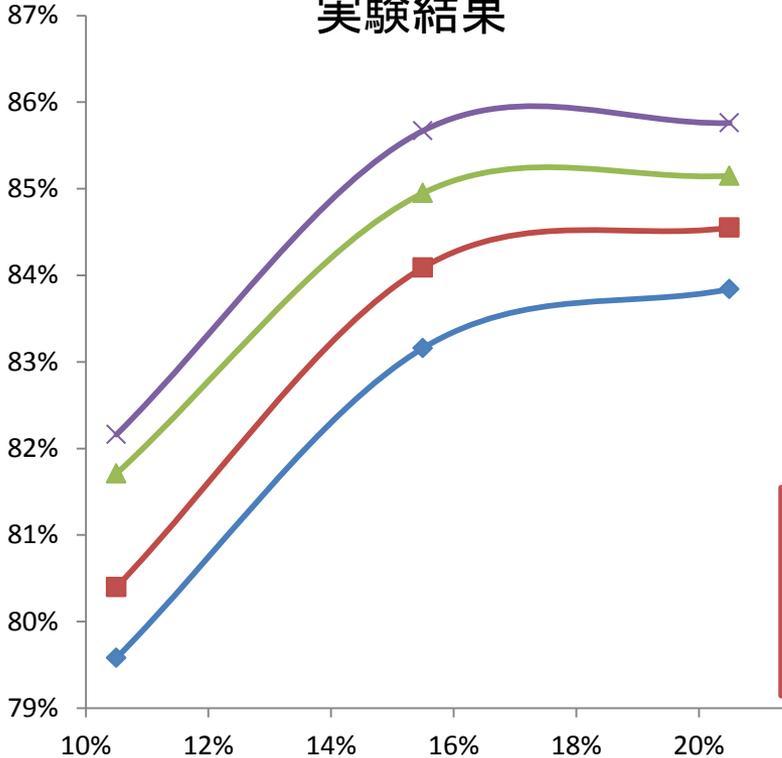


赤い部分が本実験のプログラム追加部分

PSFB DC/DC回路部分

PWM(スイッチング周波数)の最適可変(@10%~20%負荷)
異なるPWM周波数におけるDC/DC回路効率

効率



100kHz

90kHz

80kHz

70kHz

~~最適~~

- **軽負荷**: スイッチング周波数を70kHzに変更する。
- **50%負荷重負荷**: スイッチング周波数を100kHzに戻す。

プログラムで実現!

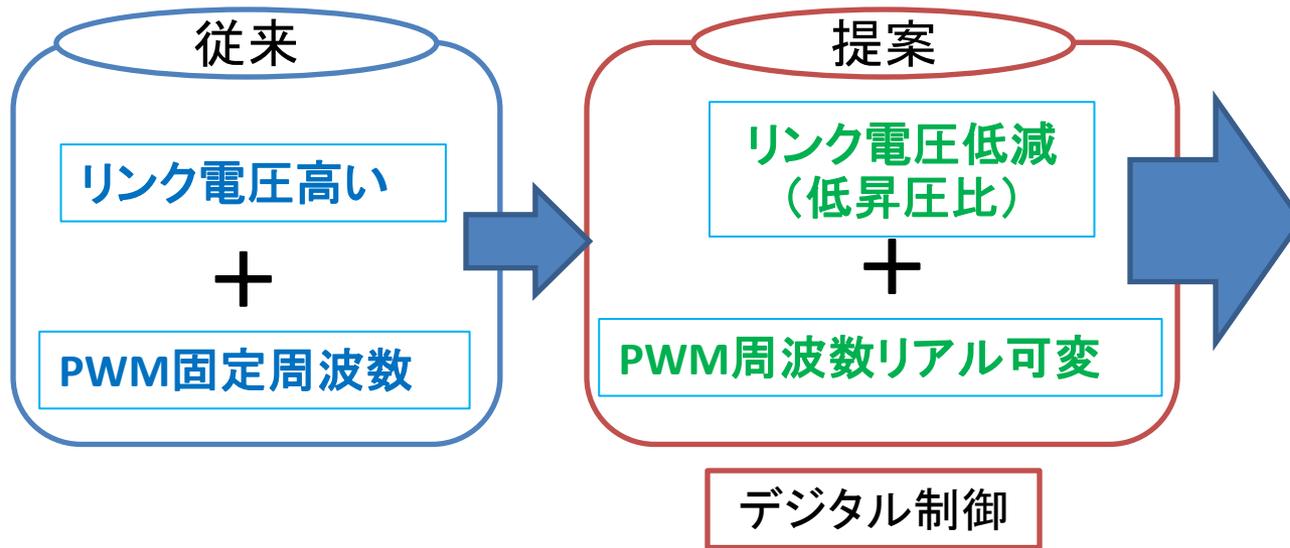
10%~20% Load Rate

OUTLINE

- 研究背景・目的
- 電源効率劣化の原因
- 研究方法
- BLPFC AC/DC変換回路部の検討
 - リンク電圧最適可変(@ 50% 負荷)
 - PWM(スイッチング周波数)の最適可変(@ 5%~20% 負荷)
- PSFB DC/DC変換回路部の検討
 - PWM(スイッチング周波数)の最適可変(@10%~20% 負荷)
- まとめ

まとめ

現段階の成果



- AC/DCリンク電圧可変: 効率6%↑@50% 負荷
- AC/DC PWM周波数可変: 効率1~4%↑@5%~20%負荷
- DC/DC PWM周波数可変: 効率3~6%↑@10%~20%負荷

最終目標

電源回路 (PFC AC/DC+DC/DC)



% of Rated Load	10%	20%	50%	100%
TITANIUM	90%	94%	96%	91%

問題点

PFC AC/DCボードとDC/DCボードを繋がって、全体的な効率の向上を検討する。

謝 辞

日ごろご指導いただいています

落合政司先生

(群馬大学客員教授、サンケン電気 技師長)

小堀康功先生

(群馬大学客員教授、小山高専 教授)

に感謝をいたします。

ご清聴ありがとうございました

- Q1:なぜPFCの入力電圧は(90V~265V)ですか？
- A:国により一般家庭回路の電圧が違います。例えば日本の場合は100Vでヨーロッパなれば220Vです。そのため、入力電圧は(90V~265V)すべて対応しなければなりません。

- Q2:今回実験で100V入力を使う原因はなんですか？
- A:日本の一般家庭回路の電圧100Vのため、今回実験を使う電圧は100Vにしました。今後は入力電圧の変化により効率にどの影響を与えるのかについて検討したいと考えています。

- Q3:なぜ軽負荷を重視していますか？
- A:従来の電源は50%で動作するケースが多いため、軽負荷時の効率は低いです。しかし、サーバ電源はN+1方式により、20%~50%の軽負荷で動作するケースが多いので、軽負荷でも効率が良い電源を開発するのが今回の目的です。

- Q4: サーバ電源のN+1運転方式について説明してください。
- A: N+1運転方式とは従来の電源ユニットのNより、もう一つの電源を並列することです。例えば負荷が100W必要の場合、2つ50Wの電源以外もう一つの50Wの電源を並列します。若し、一つの電源が故障しても残りの電源で装置に電力を供給し続けることができる運転方法です。このような方式はN+1運転方式と呼ばれています。

- Q5: 今回のリンク電圧の検討は50%に限られていますが、負荷が変動する場合、リンク電圧も変わりますか？
- A: 負荷が変動する場合、リンク電圧の最適値の選択ほうほうは今後の課題の一つです。

- Q6: 今までの成果は？
- A: 提案手法により、従来の電源効率より大幅の改善が明らかに変わりました。今後は二つのボードを繋げて80PLUSの最高認定を実現したいと思います。