

時間ディジタイザのストカスティック キャリブレーションのシミュレーション解析

加藤健太郎 (鶴岡工業高等専門学校), 李从兵 李恩思
王俊善 小林佑太郎 小林春夫 (群馬大学)

Supported by STARC



電子回路研究会 2014年1月23日 石川県金沢市しいのき迎賓館3Fセミナールーム

Kobayashi Lab @ Gunma University



発表内容



- 研究の背景
- ストカスティックキャリブレーション
- シミュレーション
- FPGAを用いた実装
- まとめ



研究の背景



CMOSプロセスの微細化



ジッタ, タイミングエラーの増加



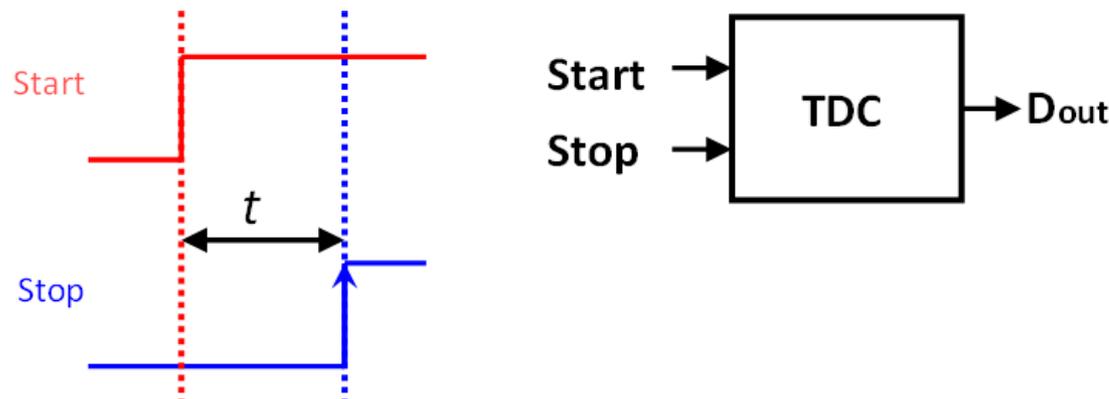
オンチップ遅延測定回路



TDC (Time to Digital Converter)

Analog

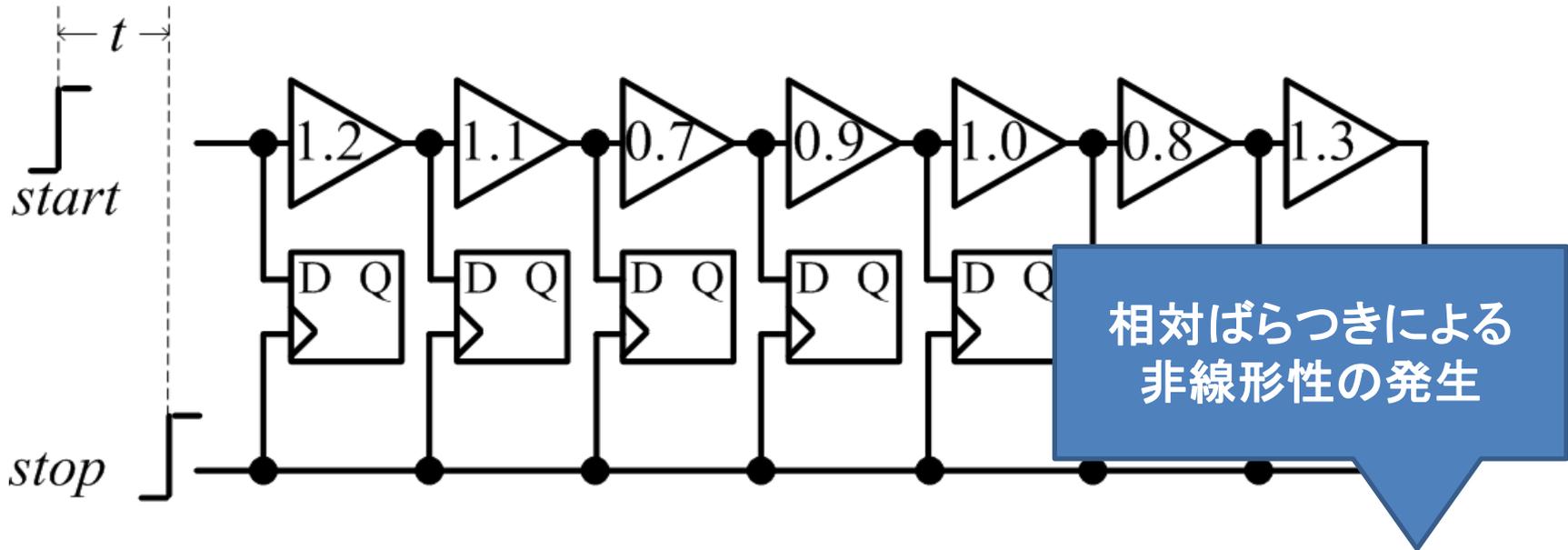
- オンチップ^o遅延測定回路
- 2入力線へ入力される遷移間の時間インターバル t
- **→** 対応するデジタル値 (D_{out})



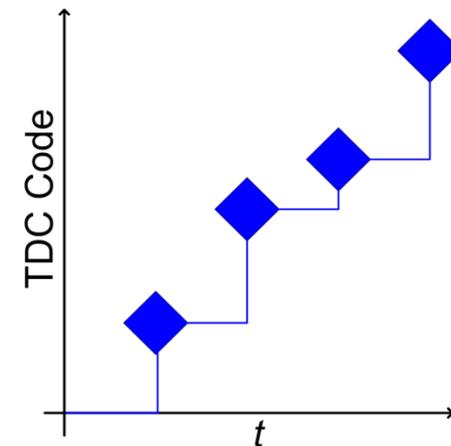
- すべてデジタル素子から構成される
- **→** 最先端プロセスVLSIへの適用が容易

Analog

8-Stage TDC



t	TDC Code	t	TDC Code
$0.0 < t < 1.0$	10000000	$4.0 < t < 5.0$	11111000
$1.0 < t < 2.0$	11000000	$5.0 < t < 6.0$	11111100
$2.0 < t < 3.0$	11100000	$6.0 < t < 7.0$	11111110
$3.0 < t < 4.0$	11110000	$7.0 < t$	11111111



発表内容

- 
- 研究の背景
 - **ストカスティックキャリブレーション**
 - シミュレーション
 - FPGAを用いた実装
 - まとめ

ストカスティックキャリブレーションの原理



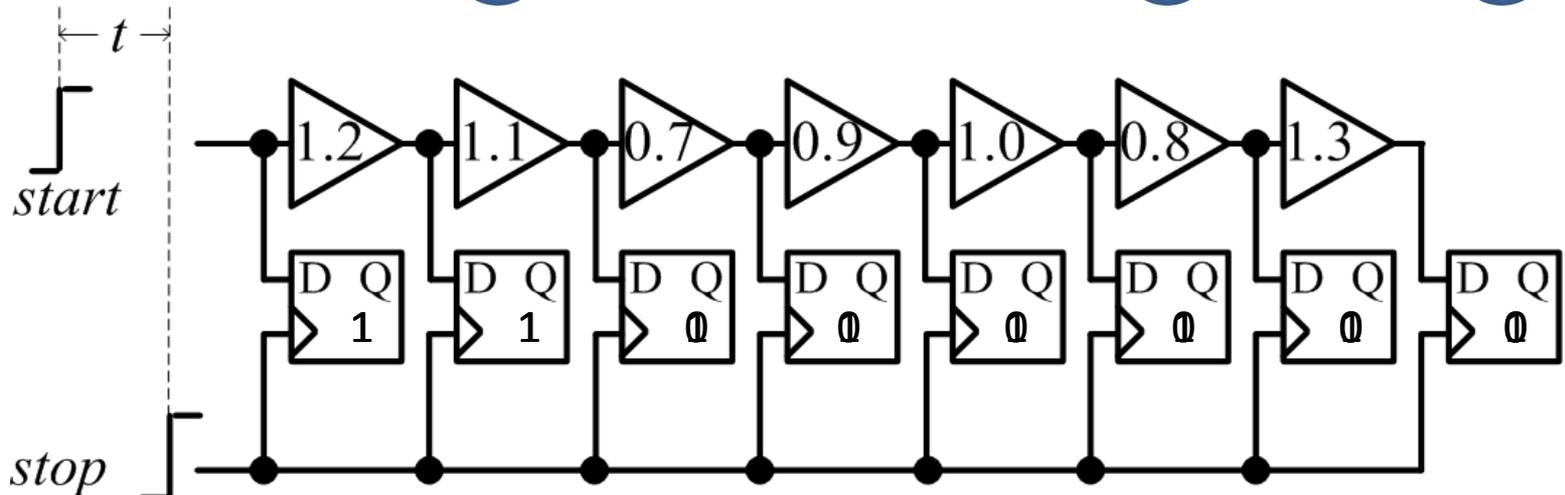
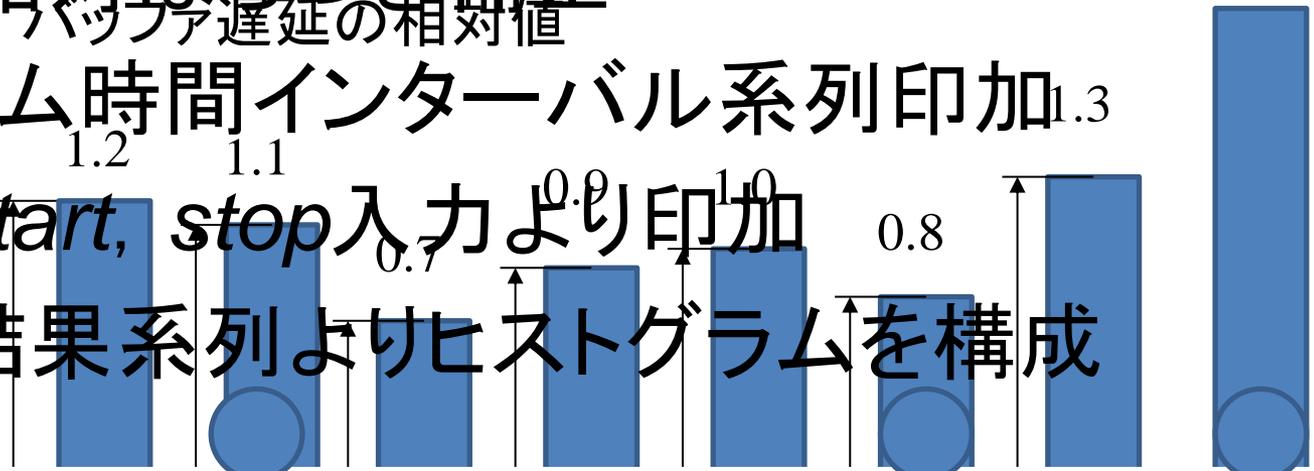
- ストカスティックキャリブレーション

→ 相対ばらつき補正
相対ばらつき補正の長さはの相対値 = バッファ遅延の相対値

- ランダム時間インターバル系列印加

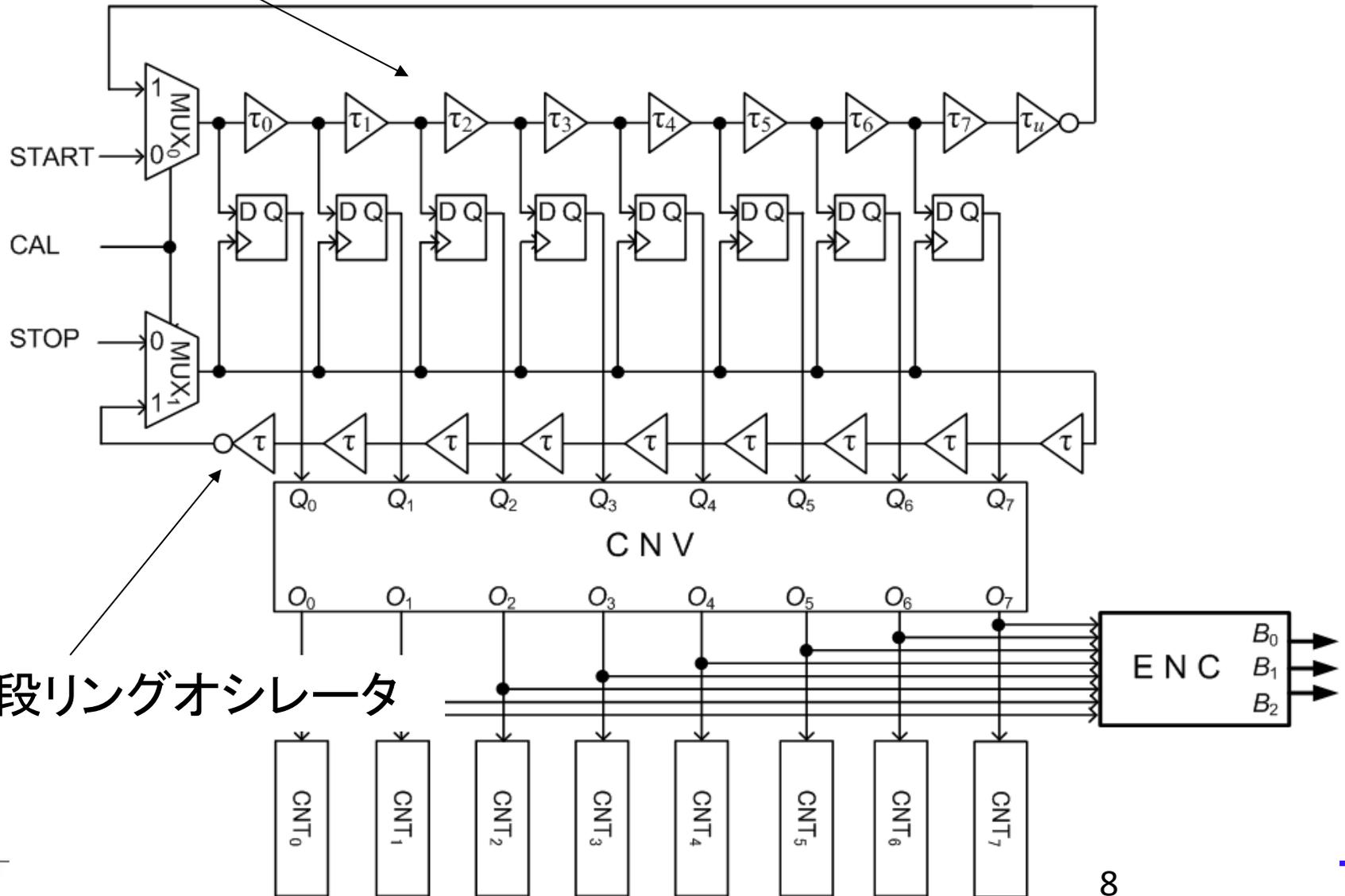
- → *start*, *stop* 入力より印加

- 測定結果系列よりヒストグラムを構成



ストカスティックキャリブレーション回路 [6]

上段リングオシレータ



キャリブレーションパラメタ, 設計パラメタ



- キャリブレーションパラメタ
 - 収束確率
 - 収束時間



- 設計パラメタ
 - リングオシレータの周期
 - TDCステージ数
 - リングオシレータの初期差分遅延



研究の目的

設計パラメタの決定



キャリブレーションパラメタと
設計パラメタの関係の把握要



シミュレーションによるキャリブレーション
パラメタと設計パラメタの
特性解析

研究の背景

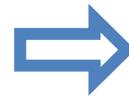
- 研究の背景
- ストカスティックキャリブレーション
- シミュレーション
- FPGAを用いた実装
- まとめ

シミュレーション実験-評価特性



• 設計パラメタ

- 発振周期 (T_0, T_1) vs
 - 収束確率 (P_E)
- 初期差分遅延 (d) vs
 - 収束確率 (P_E)



T_0, T_1 が互いに素である時収束性が高いと予測



リングオシレータの発振周期，初期差分遅延の定義



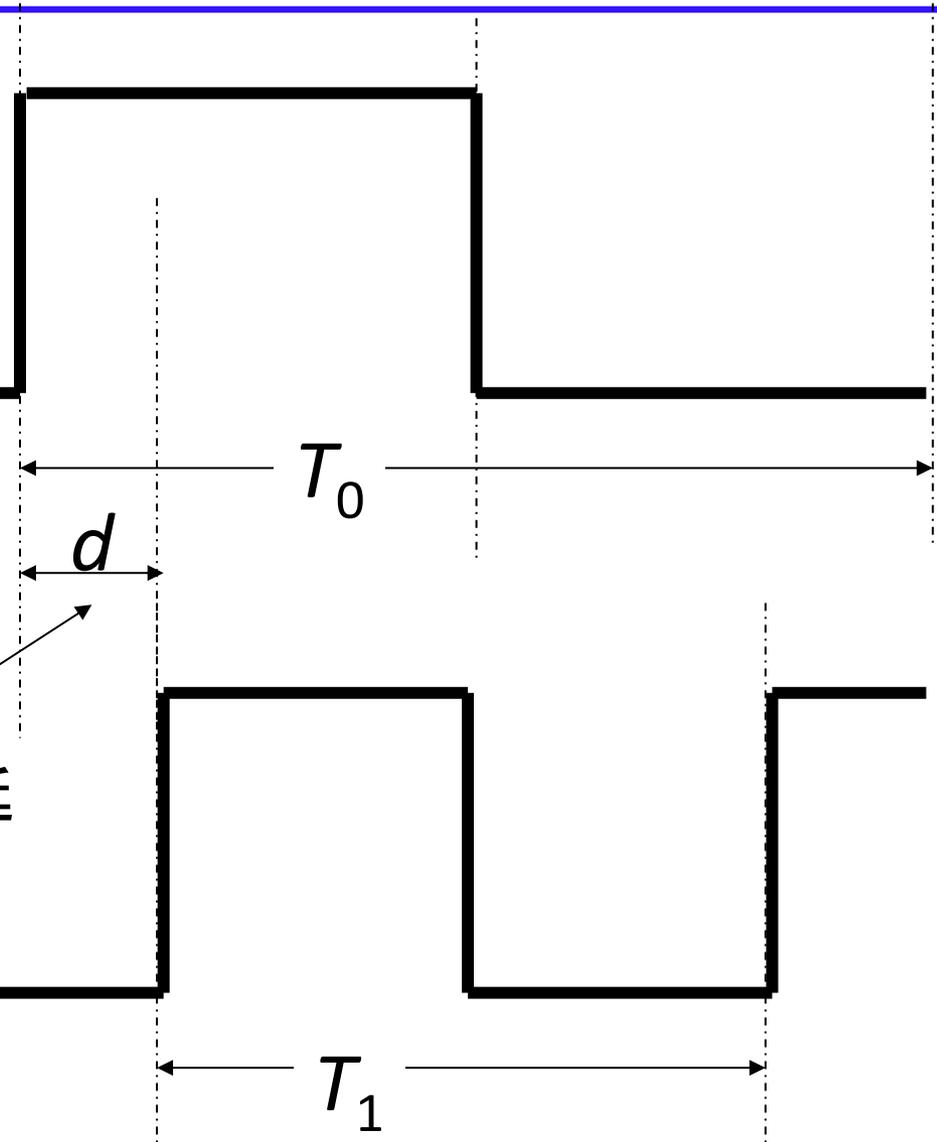
上段
リングオシレータ

キャリブレーション
開始

下段
リングオシレータ

初期差分遅延

$$T_0 > T_1$$



DNLの定義

$$dnl_{ij} = \frac{T_i}{\sum_{i=1}^{N_{STG}-2} T_i} \cdot \frac{b_{ij}}{\sum_{i=1}^{N_{STG}-2} b_{ij}}$$

正規化バッファ遅延

j サンプリング後正規化Bin長

$$DNL_j = \max(|dnl_{1j}|, \dots, |dnl_{(N_{MEAS}-2)j}|)$$

dnl_{ij} : j サンプリング後の i 番目のバッファの遅延の正規化誤差

DNL_j : j サンプリング後のTDCの正規化誤差

T_i : i 番目のバッファの遅延(unit delay)

b_{ij} : j サンプリング後の i 番目のステージのbinの長さ

収束確率の定義

- 収束確率 $P_E(DNL)$: 設定したDNLにおいてキャリブレーションが成功する確率

$$P_E(DNL) = N_{SCAL} / N_{CAL} \times 100.0$$

N_{SCAL} : キャリブレーション成功回数

N_{CAL} : キャリブレーション実行回数

素数周期の定義



$$c = p / 10^n$$

c : 素数周期

p : 素数

n : 小数点以下の桁数

$$n = 2$$



素数



素数周期



シミュレーション-実験パラメータ設定

- TDCのバッファ遅延 τ 1 (unit delay)
- バッファ遅延にばらつきを加えた100個のTDCs ($TDC_0 - TDC_{99}$)を生成.
- ばらつきはバッファ遅延の10%を 3σ とする正規分布に従うものとする.
- 最大サンプリング回数: $N_{MAX}=2^{14}$
- 数値の小数点以下の桁数: $n=2$

リングオシレータ発振周期(T_0 , T_1) 特性

- N_{STG} 8 16 32 64 128
- $T_0 > T_1$
- 以下の3つのケースにおいて収束確率を評価
 - Case 1 : T_0 と T_1 が共に素数周期
 - T_0 : T_{p0}
 - T_1 : $T_{min} \sim T_{max}$ のすべての素数周期
 - Case 2 : $T_0 = n \times T_1$ (n は正の整数)
 - T_0 : T_{max}
 - T_1 : $T_{min} \sim T_{max}$ の上式を満たすすべての周期
 - Case 3 : T_0 と T_1 が共に任意の値
 - T_0 : T_{max}
 - T_1 : $T_{min} \sim T_{max}$ の上式を満たすすべての周期
- 初期差分遅延 d_0

リングオシレータ発振周期(T_0 , T_1) 特性2

N_{STG}	T_{min}	T_{max}	T_{p0}
8	2	12	11.93
16	2	18	17.89
32	2	36	35.93
64	2	68	67.93
128	2	132	131.87

リングオシレータ発振周期(T_0 , T_1) 特性3

- 収束確率 (P_E) 評価結果

Case	N_{STG}				
	8	16	32	64	128
Case 1	100.0 (%)	100.0 (%)	100.0 (%)	100.0 (%)	100.0 (%)
Case 2	0.0 (%)	0.0 (%)	0.0 (%)	0.0 (%)	0.0 (%)
Case 3	37.5 (%)	44.0 (%)	57.1 (%)	75.9 (%)	77.7 (%)

初期差分遅延特性

• パラメタ設定

– $NSTG \rightarrow 64$

– $T_{p0} \rightarrow 67.93$, $T_1 \rightarrow 2.11$ 固定

– 初期差分遅延差 d を0から T_{p0} までスウィープ
 $DNL = 1/128, 1/256, 1/512, 1/1,024$

$$P_{Emin} = \min(P_E(d_0), P_E(d_1), \dots, P_E(d_{n-1}))$$

$$P_{Eave} = \text{ave}(P_E(d_0), P_E(d_1), \dots, P_E(d_{n-1}))$$

$$P_{Emax} = \max(P_E(d_0), P_E(d_1), \dots, P_E(d_{n-1}))$$

$P_E(d_i)$: 初期位相差 d_i での収束確率

初期差分遅延特性2

- 収束確率(P_E)評価結果

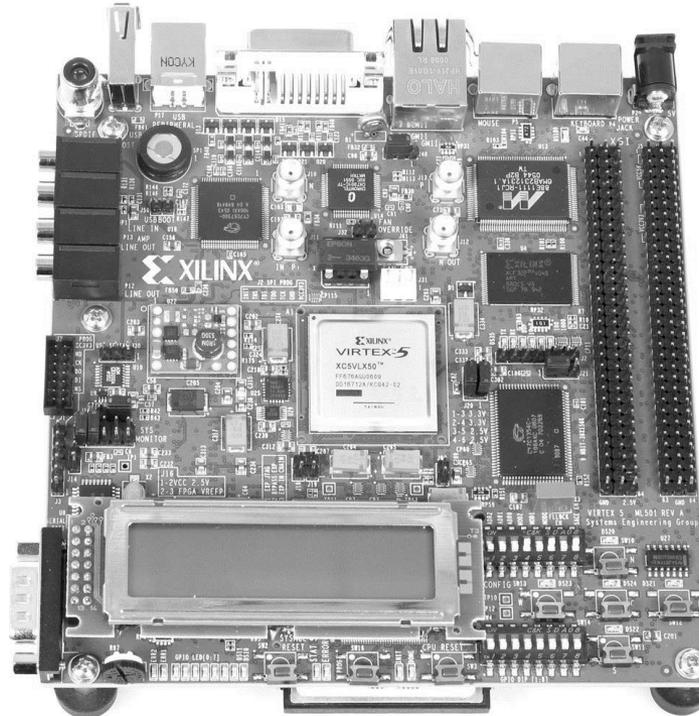
<i>DNL</i>	1/128	1/256	1/512	1/1,024
P_{Emin}	100.0 (%)	100.0 (%)	100.0 (%)	100.0 (%)
P_{Eave}	100.0 (%)	100.0 (%)	100.0 (%)	100.0 (%)
P_{Emax}	100.0 (%)	100.0 (%)	100.0 (%)	100.0 (%)

発表内容

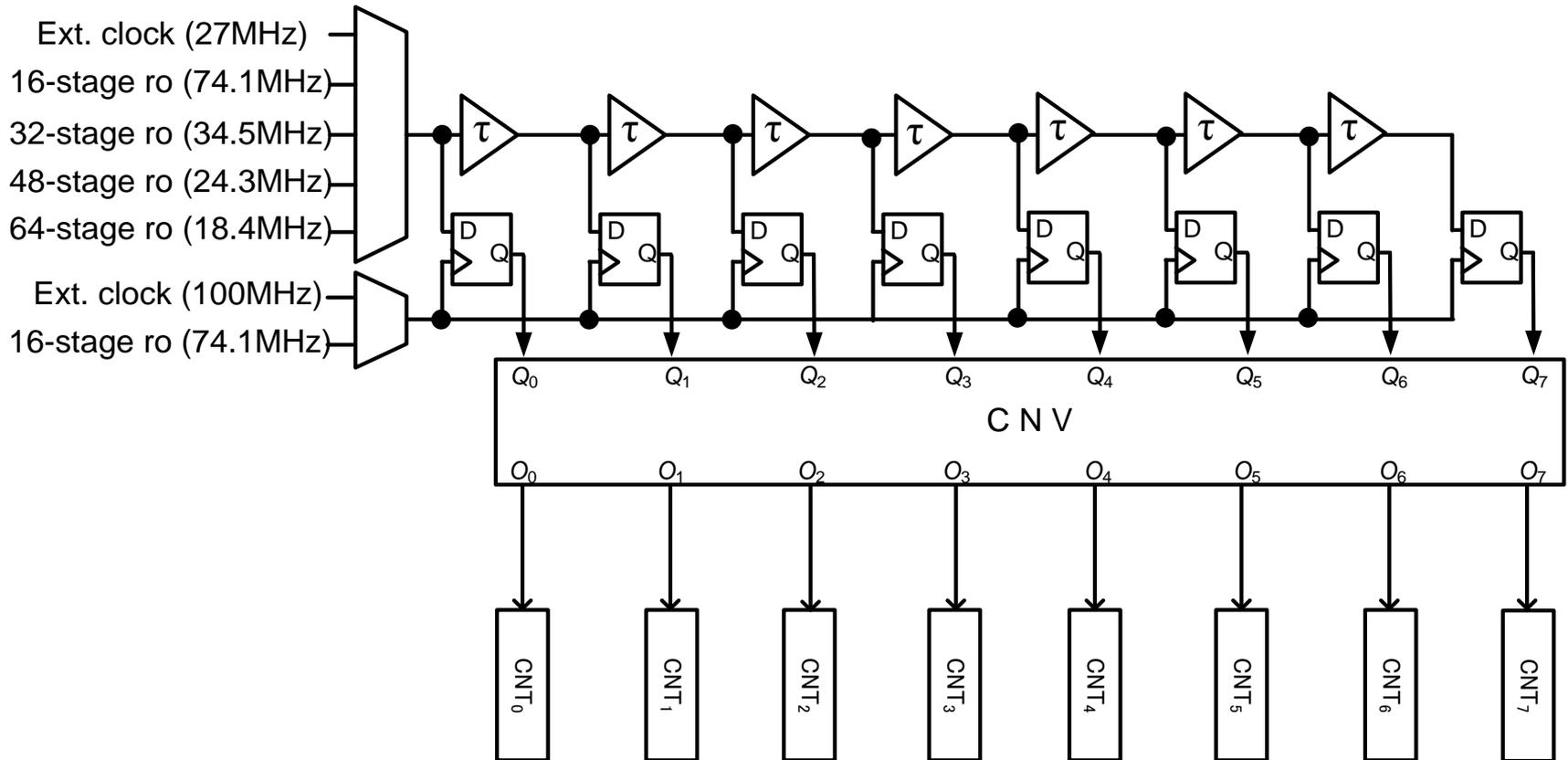
- 研究の背景
- ストカスティックキャリブレーション
- シミュレーション
- **FPGAを用いた実装**
- まとめ

FPGAを用いた実装

- 8段のキャリブレーション機能を有するTDCをFPGAボードに実装
- Xilinx社 Virtex 5 FPGAボード ML501



実装システムのブロック線図



DNL評価結果

- 測定回数4,096回

発振周波数 (MHz)		
上段	下段	$DNL_{4,096}$
34.5	74.1	0.026
24.5	74.1	0.055
18.4	74.1	0.044



- All Digital Platformへの実装の実現

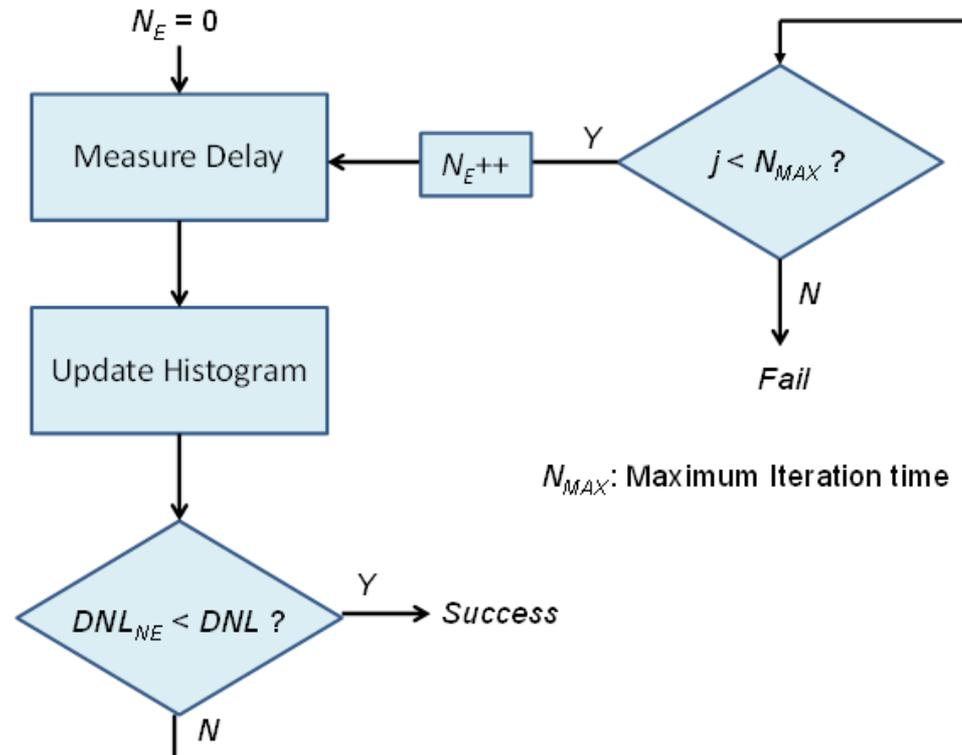
- 今後の課題

- FPGAを用いたジッタを含めた解析

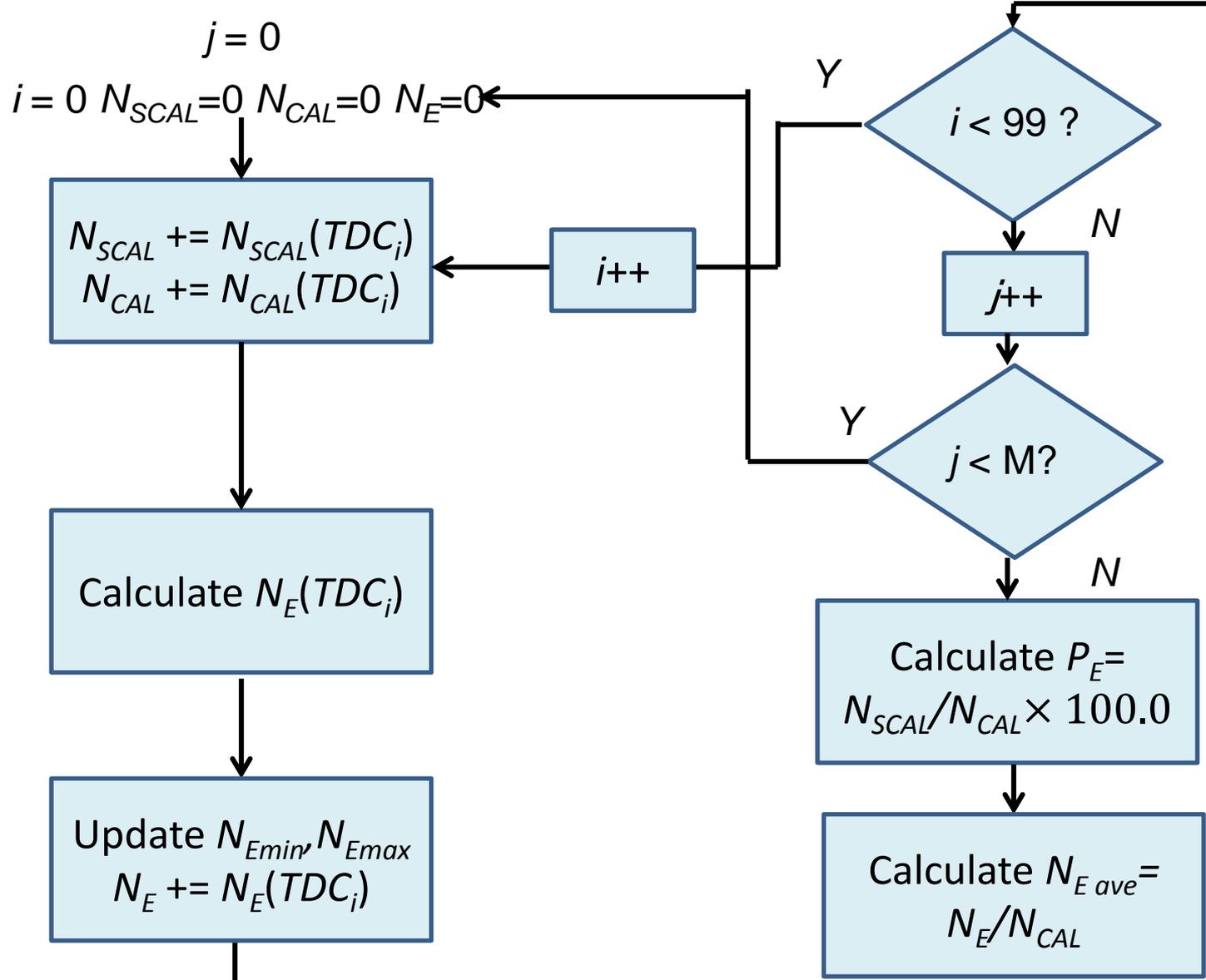


収束時間の定義

- $N_E(TDC, T_0, T_1, d, DNL)$: 上下段のリングオシレータの発振周期が T_0, T_1 , 初期差分遅延が d の時, 設定した DNL 以内に誤差が収束するのに必要なサンプリング数



Simulation Sequence



Cycle of two ring oscillators (T_0 , T_1) Spec. 4

- Required Measurement Time N_E spec.

N_E	Case	N_{STG}				
		8	16	32	64	128
N_{Emin}	Case 1	367	517	605	772	802
	Case 2	0	0	0	0	0
	Case 3	359	464	640	731	984
N_{Eave}	Case 1	633.1	1,060.0	1,509.6	1,976.3	2,323.3
	Case 2	0	0	0	0	0
	Case 3	648.7	1,052.4	1,303.8	1,724.8	1,911.7
N_{Emax}	Case 1	798	1,597	3,178	6,324	10,000
	Case 2	0	0	0	0	0
	Case 3	3,427	10,000	10,000	6,381	10,000

まとめ

- TDCのストカスティックキャリブレーションのシミュレーション解析を実施
- 設計パラメータとキャリブレーションパラメータとの関係を解析
- シミュレーション結果
 - 上段, 下段リングオシレータの発振周期が素数周期の時, キャリブレーション収束確率が100%
 - 収束確率と初期差分遅延との関係は低
- FPGAを用いた実装及び動作確認

Bit length of each counter

- Calculate bit length of each counter with the following equation assuming 10% variation
- DNL 1/1,024

$$L_{CNT} = \log_2 \left[1.1 \times N_E / N_{STG} \right]$$

N_{STG}	8	16	32	64	128
L_{CNT}	9	10	9	7	7

質疑応答

- Q1. 上段と下段の周波数は任意に決める事ができるのか？
- A1. 追加バッファ数を調節するなどして任意に決める事ができる.
- Q2. 素数周期に合わせこむ方策などは考えているか？
- A2. 今回はシミュレーションで理論的に考察の段階であり実際の合わせこみの方策に関してはまだ検討中の段階である.