

# AD/DA 変換器のデジタル自己校正・補正技術

小林春夫 (群馬大学)

キーワード ADC, DAC, デジタル補正, 冗長性, 自己校正, デジタルアシスト・アナログ技術

## Digital Error Correction Techniques in ADCs and DACs

Haruo Kobayashi (Gunma University)

**Abstract** This paper describes some aspects of digitally assisted analog technology, (i) Non-binary successive approximation ADC. (ii) Oversampling technology. (iii) Delta-Sigma ADC/DAC, especially DWA algorithms for multi-bit architectures. We address that the reliability design of ADCs/DACs is important and digital error correction techniques using redundancy are expected to improve the reliability.

**Keyword** ADC, DAC, Digital Error Correction, Redundancy, Self-Calibration, Digitally-Assisted Analog Technology

### 文 献

- [1] 小川智彦, 松浦達治, 小林春夫, 高井伸和, 堀田 正生, 傘 昊, 阿部彰, 八木勝義, 森俊彦, “逐次比較近似 ADC コンパレータ・オフセット影響の冗長アルゴリズムによるデジタル補正技術,” 電子情報通信学会誌 和文誌 C, Vol.J94-C, No.3, pp.68-78 (2011年3月)
- [2] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, “SAR ADC Algorithm with Redundancy and Digital Error Correction”, IEICE Trans. Fundamentals, vol.E93-A, no.2, pp.415-423 (Feb. 2010).
- [3] M. Hotta, M. Kawakami, H. Kobayashi, H. San, N. Takai, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Architecture with Digital Error Correction", IEEJ Transactions on Electrical and Electronic Engineering, vol.5, no.6, pp.651-659 (Nov. 2010).
- [4] T. Ogawa, H. Kobayashi, Y. Tan, S. Ito, S. Uemori, N. Takai, K. Niitsu, T. J. Yamaguchi, T. Matsuura, N. Ishikawa “SAR ADC That is Configurable to Optimize Yield,” IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [5] T. Yagi, K. Usui, T. Matsuura, S. Uemori, Y. Tan, S. Ito, H. Kobayashi, "Background Self-Calibration Algorithm for Pipelined ADC Using Split ADC Scheme”, IEICE Trans. on Electronics, Vol.E94-C, no.7, pp.1233-1236 (July 2011).
- [6] S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 2012).
- [7] S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Arakawa, D. Hirabayashi, Y. Yano, T. Gake, N. Takai, T. J. Yamaguchi, “Multi-bit Sigma-Delta TDC Architecture with Self-Calibration”, IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).
- [8] 元澤篤史, 萩原広之, 山田佳央, 小林春夫, 小室貴紀, 傘昊, 「マルチバンドパス  $\Delta\Sigma$  変調器技術とその応用」, 電子情報通信学会誌 和文誌 C vol. J90-C, no.2, pp.143-158 (2007年2月).
- [9] H. San, Y. Jingu, H. Wada, H. Hagiwara, A. Hayakawa, H. Kobayashi, T. Matsuura, K. Yahagi, J. Kudoh, H. Nakane, M. Hotta, T. Tsukada, K. Mashiko, and A. Wada, “A Second-Order Multi-bit Complex Bandpass  $\Delta\Sigma$  AD Modulator With I, Q Dynamic Matching and DWA algorithm,” IEICE Trans. Electronics, vol.E90-C, no.6, pp.1181-1188 (June 2007).
- [10] H. San, Y. Jingu, H. Wada, H. Hagiwara, A. Hayakawa, J. Kudoh, K. Yahagi, T. Matsuura, H. Nakane, H. Kobayashi, M. Hotta, T. Tsukada, K. Mashiko, A. Wada, “A Multibit Complex Bandpass Delta Sigma AD Modulator with I, Q Dynamic Matching and DWA Algorithm”, IEEE Asian Solid-State Circuits Conference, Hangzhou, China (Nov. 2006).
- [11] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, “A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass  $\Delta\Sigma$  AD Modulators”, IEICE Trans. on Fundamentals, E87-A, no. 4, pp.792-800 (April. 2004).
- [12] 萩原広之, 傘昊, 小林春夫, 「マルチビット・ローパス  $\Delta\Sigma$  変調器 2次 DWA アルゴリズムの提案」 電気学会 電子回路研究会, pp.7-12, 函館 (2004年6月).
- [13] 小林春夫, 「デジタルアシスト・アナログ技術 - 微細CMOSの強みを生かす回路設計 -」 大阪大学高度人材育成センター 先端アナログ技術セミナー (2012年1月23日)
- [14] 小林春夫「ナノCMOS時代のアナログ回路 - デジタルアシストAD変換技術を中心として -」 電子情報通信学会, 第22回 回路とシステム (軽井沢) ワークショップ (2009年4月).