



AD/DA変換器の デジタル自己校正・補正技術

Supported by STARC

小林春夫

群馬大学 理工学研究院 電子情報部門
〒376-8515 群馬県桐生市天神町1丁目5番1号
電話 0277 (30) 1788 FAX: 0277 (30)1707
e-mail: k_haruo@el.gunma-u.ac.jp



発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ



発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ

LSIのアプリケーション、技術進展を 考える

高信頼性応用： 車載、医用

過酷な環境： 宇宙航空（宇宙線）

「北海道最北・真冬・夜、沖縄最南・真夏・日中でも
屋外に設置する自販機は動作しなければならない」
（自販機メーカー技術者）

微細CMOS, 低電源電圧:

→ 回路が誤動作しやすくなる。



AD/DA変換器の研究軸を考える

これまでの AD/DA変換器の研究軸

$$\text{FOM (Figure of Merit)} = \frac{\text{消費電力}}{\text{スピード} \cdot \text{分解能}}$$

→ できるだけ小さく

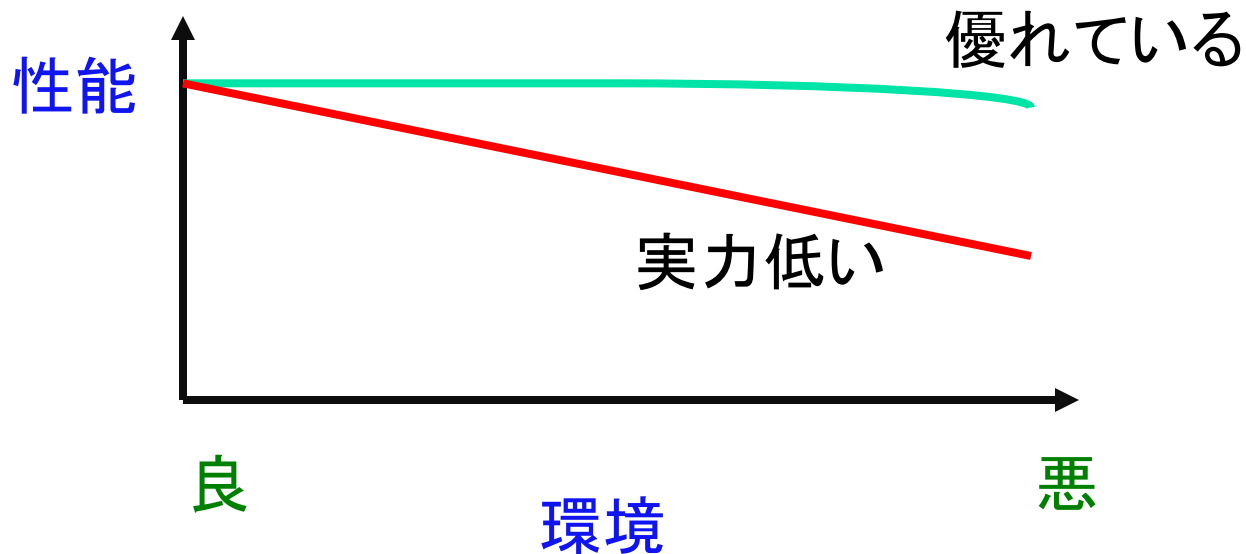


何かが足りない！

AD/DA変換器の 新しい研究軸の提案

過酷な環境下でもどれだけ性能を保てるか

↳ 温度、電磁ノイズ、宇宙線、電源ノイズ等

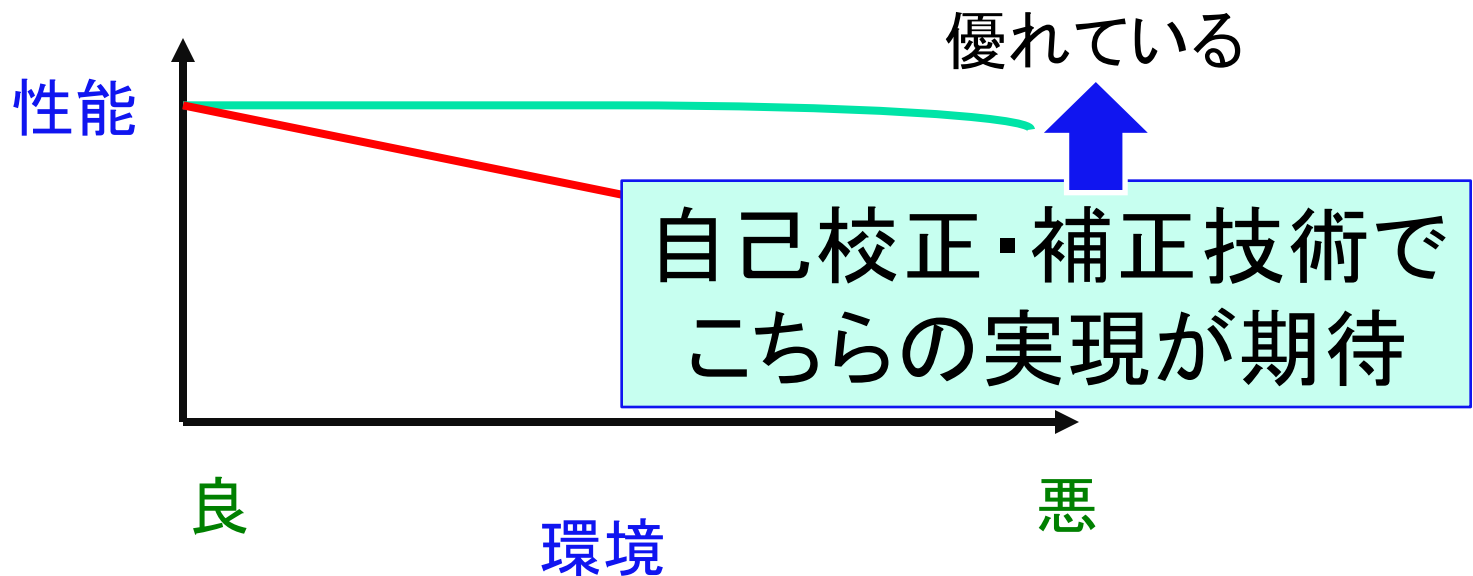


講演での主張

AD/DA変換器の 新しい研究軸の提案

過酷な環境下でもどれだけ性能を保てるか

↳ 温度、電磁ノイズ、宇宙線、電源ノイズ等



経時変化も
重要



発表内容

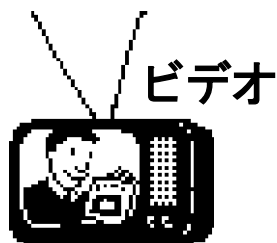
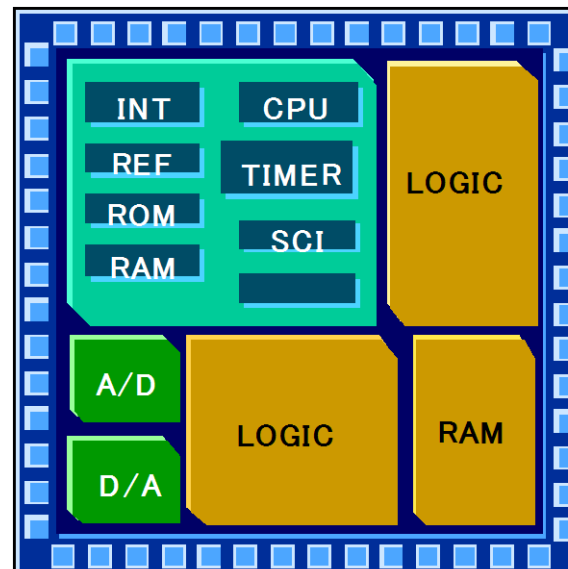
- プロローグ
- **研究背景**
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ

デジタル技術をささえる AD/DA変換器

自然界の信号は
アナログ



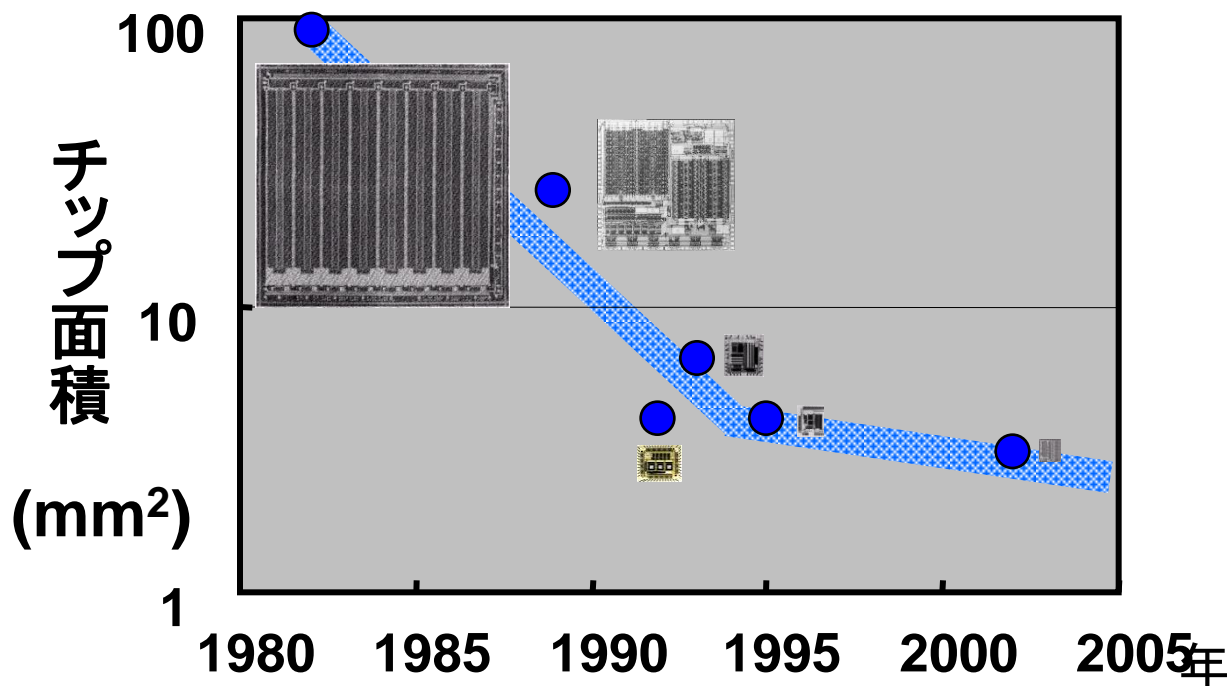
LSIでの信号処理は
デジタル



SOC:
System On a Chip

AD変換器の熾烈な研究開発競争

半導体プロセス、アーキテクチャ、回路構成の進歩により
性能向上スピードがデジタルLSI以上。

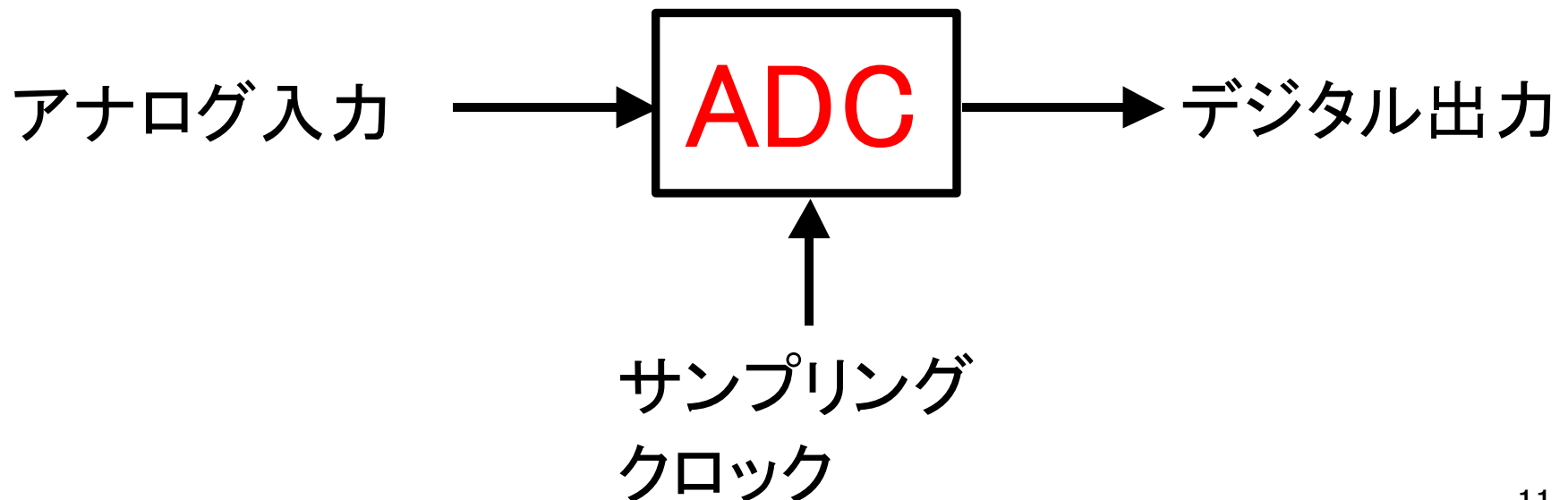


東京都市大学
堀田正生先生
作成資料

10ビットビデオ用AD変換器のチップ面積推移

AD変換器の動作

アナログ信号（電波、音声、電圧、電流等をデジタル信号（0, 1, 1, 0, ...）に変換する。





アナログ信号とデジタル信号

アナログ信号

連続的な信号

例：自然界の信号（音声、電波）、
アナログ時計（直観的にすぐ時間がわかる）

「坂道」

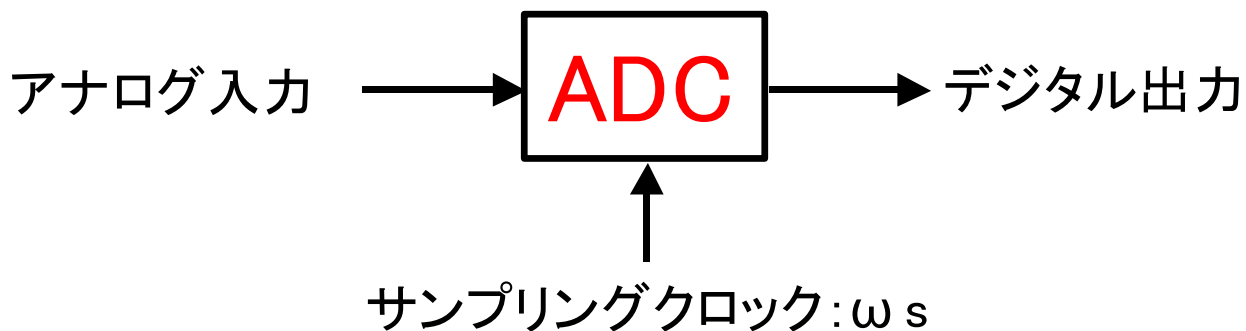
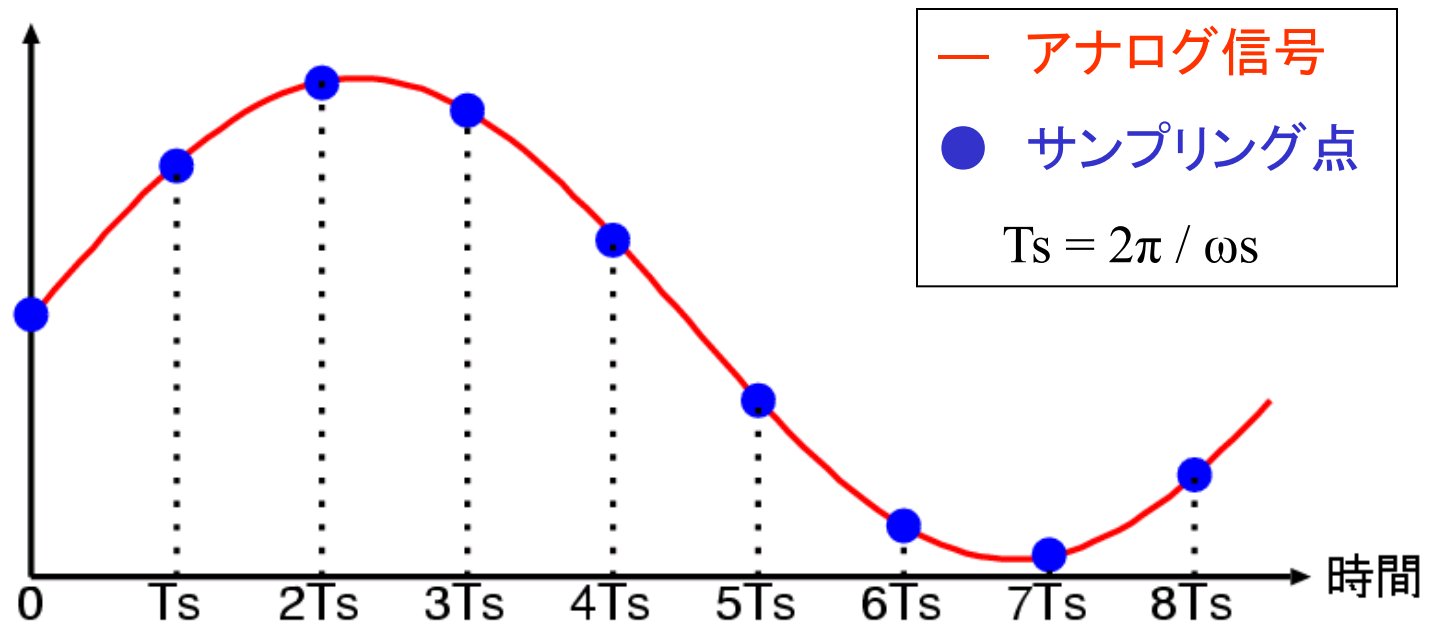
デジタル信号

離散的・数値で表現された信号

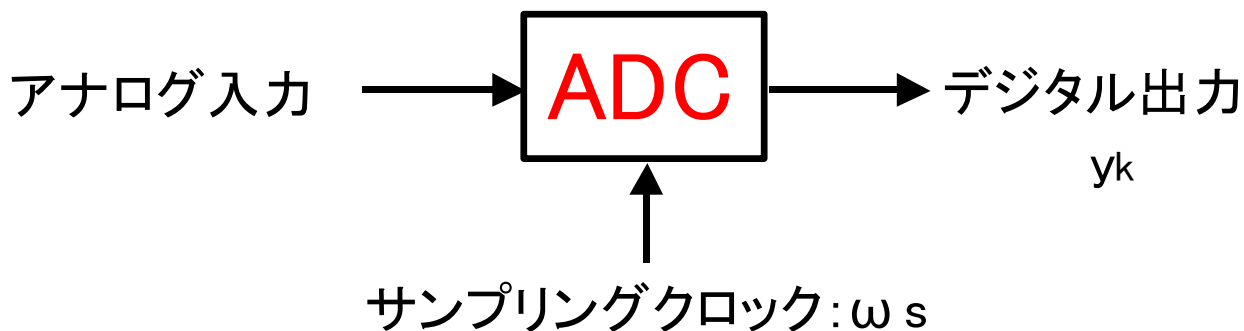
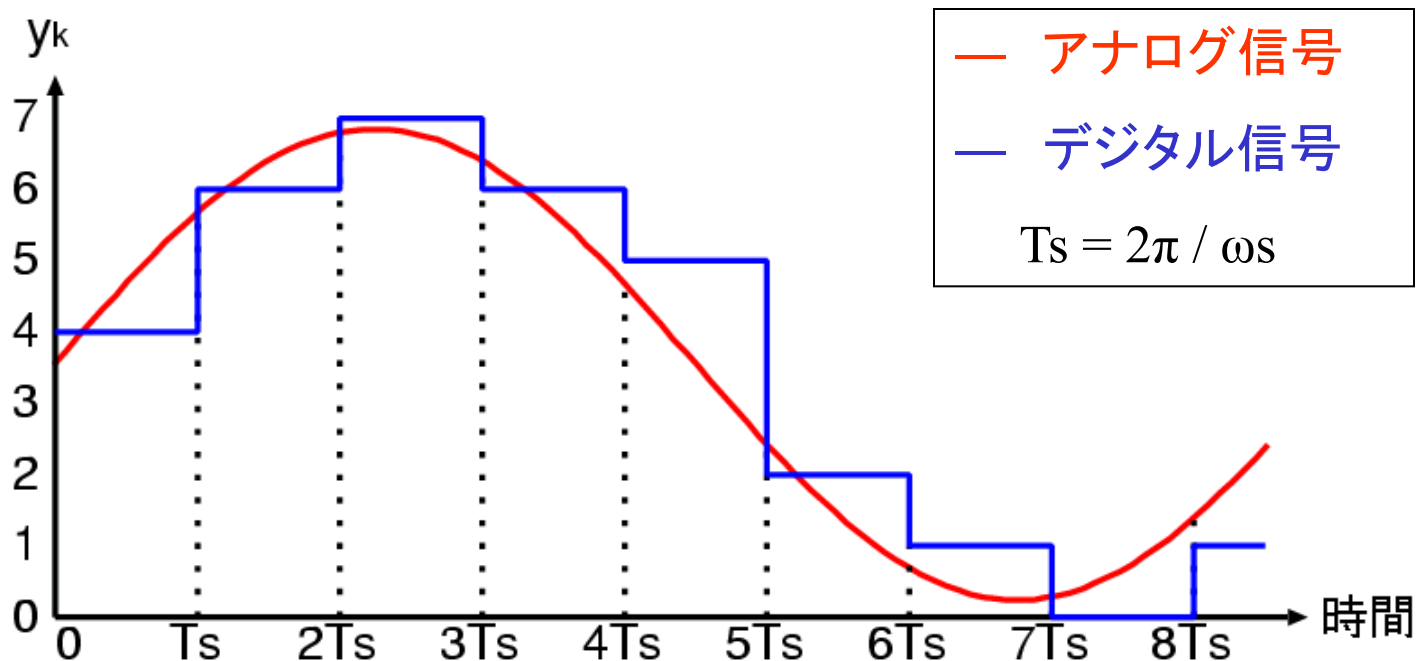
例：コンピュータ内での2進数で表現された信号
デジタル時計（精度がよい）

「階段」

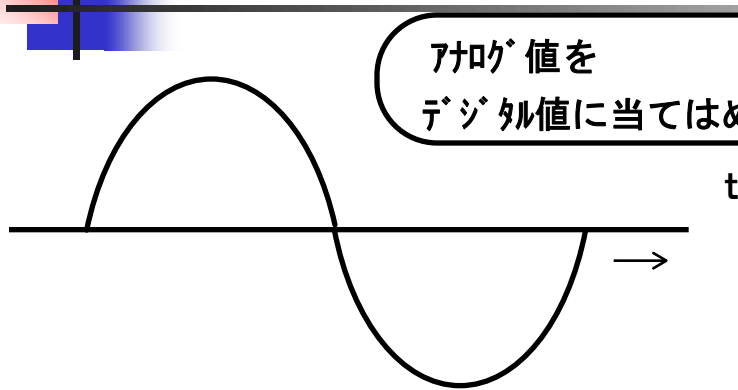
時間の量子化 (サンプリング)



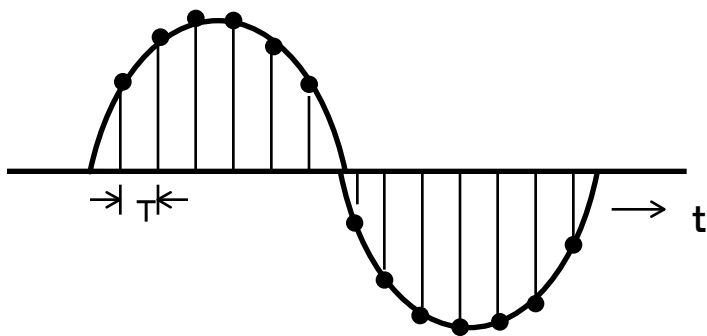
空間の量子化 (信号レベルの数値化)



アナログ -> デジタル 変換波形

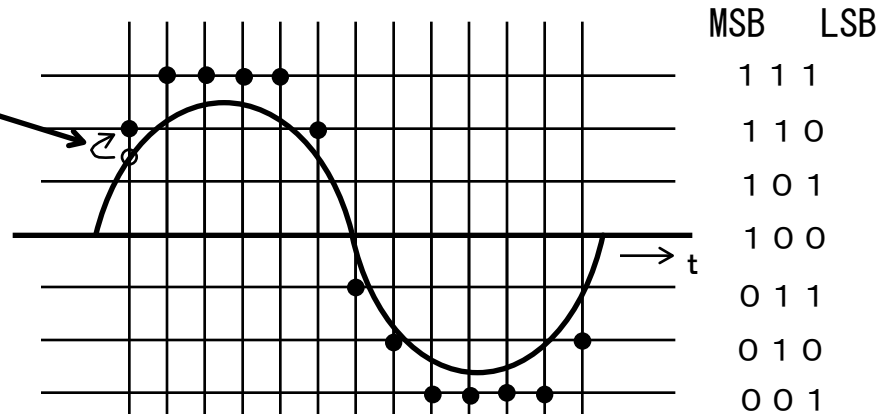


(a) アナログ入力

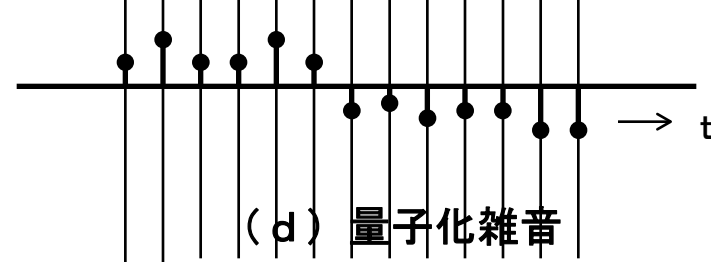


(b) 標本化

アナログ値を
デジタル値に当てはめる



(c) 量子化



(d) 量子化雑音

MSB	1	1	1	1	1	0	0	0	0	0	0	0	
	1	1	1	1	1	1	1	0	0	0	0	1	
LSB	0	1	1	1	1	0	1	0	1	1	1	1	0

(e) 符号化

AD変換器の分解能

信号 2進

レベル 4 2 1

0 0 0 0

1 0 0 1

2 0 1 0

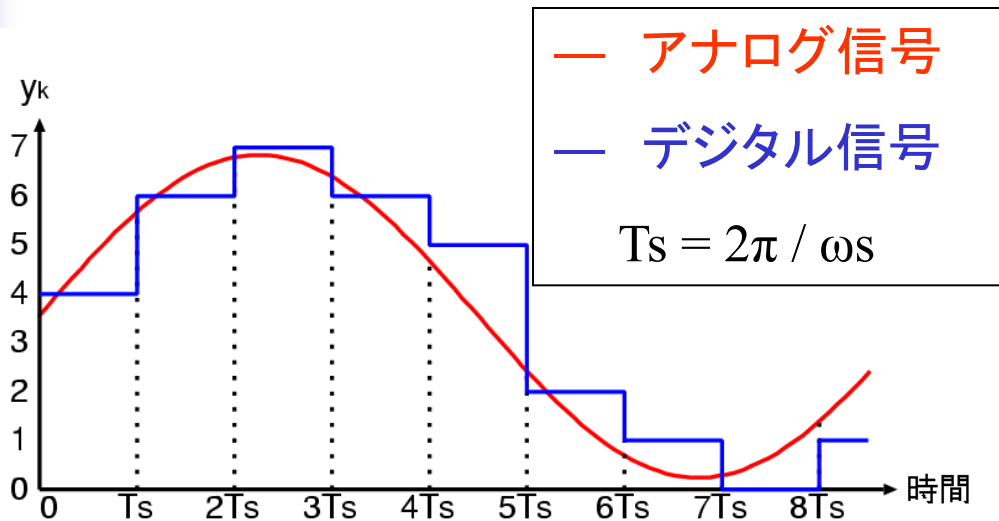
3 0 1 1

4 1 0 0

5 1 0 1

6 1 1 0

7 1 1 1



0 - 7 の8レベル: 2の3乗 = 8

3ビット → 分解能

よく用いられるAD変換器の分解能

0 - 255 の256レベル: 2の8乗 = 256

8ビットの分解能

0 - 1023 の1024レベル: 2の10乗 = 1024

10ビットの分解能



発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ

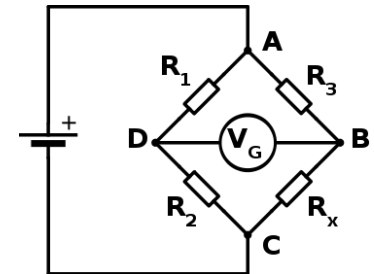
測定の方法

零位法と偏位法

● 零位法

測定量が基準値と等しいかを調べる

天秤、ブリッジ回路



● 偏位法

測定量の結果として生じる

計器の指示値を読む

体重計、電圧計

零位法

(ゼロ位法、Zero Method, Null Method)

- 利点:

平衡の検知は高精度可能

測定対象からエネルギーをとることがない。

基準量の精度で測定可能

 高精度測定では零位法を使用

- 欠点:

測定量と基準量が等しくなるまで調整要

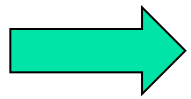
逐次比較近似ADC

偏位法

(Deflection Method)

- 利点:

測定値の指示値を読むだけでよい



簡潔、高速

- 欠点

測定量の精度を測定器の精度より良くできない

測定対象からエネルギーをとり測定

(測定時に測定器自身が負荷)

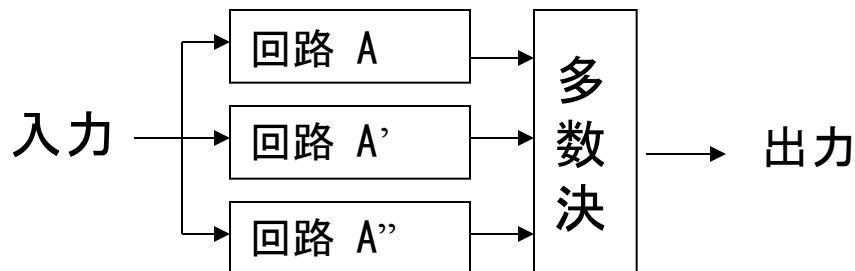
パイプラインADC

冗長性によるデジタル誤差補正

- **空間**の冗長性と**時間**の冗長性
- 回路の非理想要因を許容して正解を出力。
- 非理想要因は計測しない。
- デジタル誤差補正技術により
 - 高信頼性化
 - 高速化
- ここで紹介するのは

時間の冗長性を用いた
逐次比較近似ADC

cf. 空間の冗長性の例





時間の冗長性

1人の人が、間違いなく 休みもとらずにやれば
6時間で終わる仕事

➡ 7時間を割り当てる。

➡ 途中で間違えても修正・回復できる。

適度に休息をとり 余裕をもって確実に
仕事を完了させることができる。

長い間には効率的。短い時間で大プロジェクトが完了できる。

ADCアーキテクチャ例： 冗長アルゴリズムSAR ADC

[1] T. Ogawa et. al., "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals (Feb. 2010).



逐次比較近似AD変換器の背景

- 高分解能
- 中速
- 低消費電力
- 小型・小チップ面積

産業界で広く使用

- 車載用マイコンに混載
- ペンデジタイザ
- 工業用制御機器

- 大部分がデジタル回路で構成
ナノCMOSでの実現に適す

逐次比較近似ADCの構成と動作

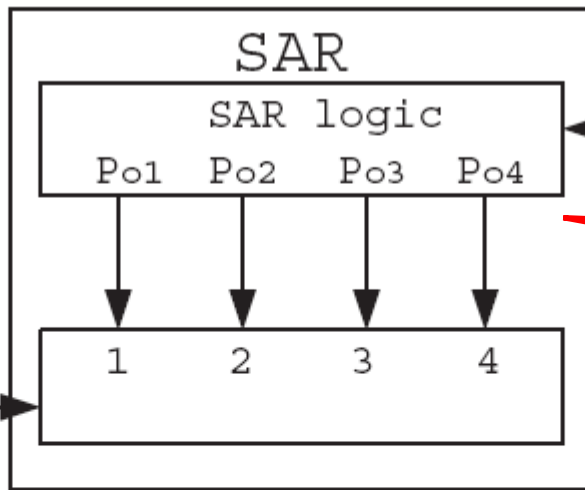
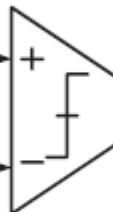
アナログ入力

コンパレータ
天秤

Comparator

Analog input
 u

S/H



SAR 論理回路

Clock

サンプル
ホールド回路

天秤の原理で動作
天秤がコンパレータ
分銅がDAC

Analog output

DAC

MSB

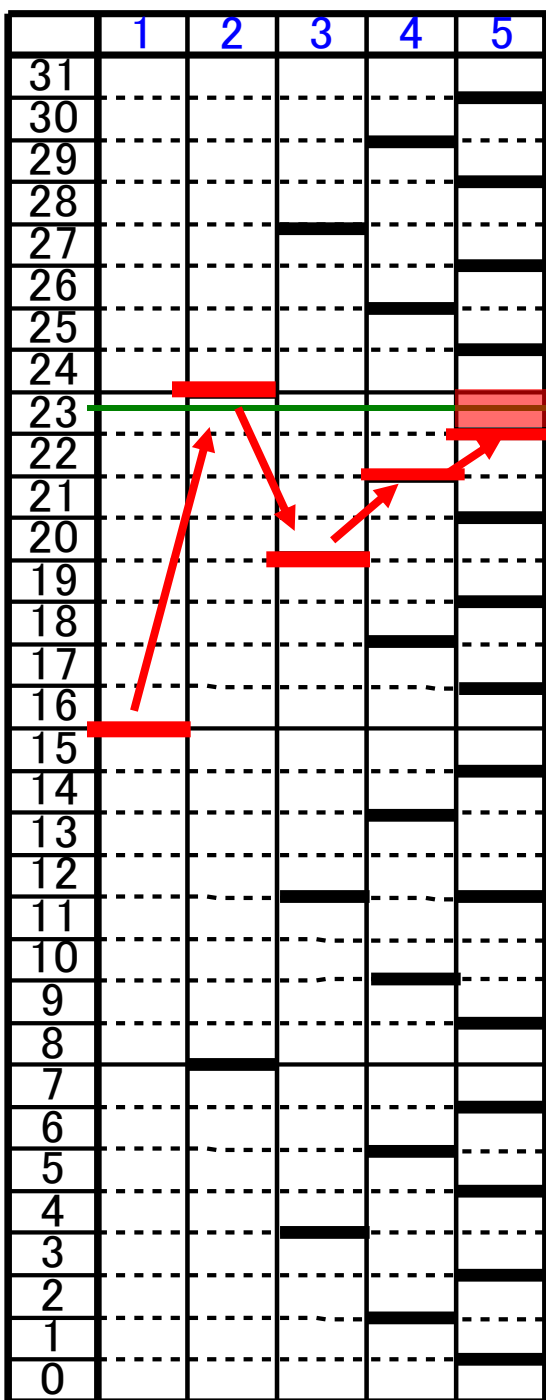
LSB

Digital output

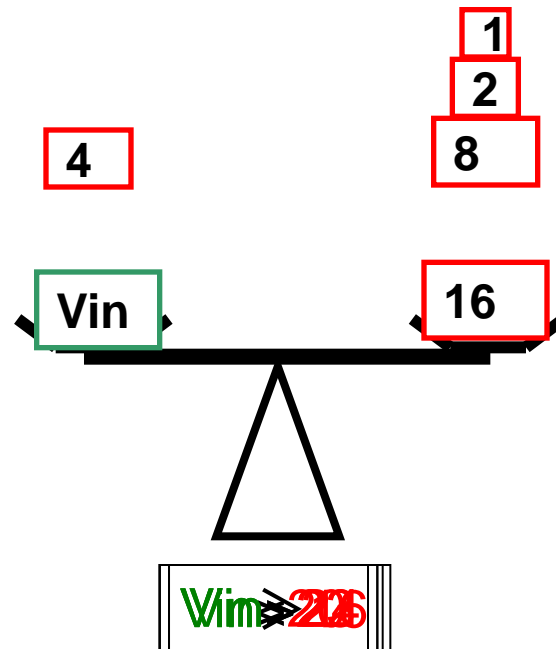
デジタル出力

DA変換器
分銅

5ビット 逐次比較近似ADC 2進探索アルゴリズム動作



23.5 動作例: アナログ入力 23.5 のとき



$$\boxed{\text{Vin}} = \begin{matrix} 1 \\ 2 \\ 8 \\ 16 \end{matrix} - \boxed{4} = \boxed{23}$$

2進探索アルゴリズム コンパレータ誤判定時の動作



Vin=23.5 動作例: アナログ入力 23.5のとき

1ステップ目で誤判定したとき

誤差大

デジタル
出力15

Vref(1)=16

Vref(2)=8

Vref(3)=12

Vref(4)=14

Vref(5)=15

デジタル出力 15

非2進探索 冗長アルゴリズム

kステップ目の判定 $d(k) : +1 \text{ or } -1$

2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)2^3 + d(2)2^2 + d(3)2^1 + d(4) + d(5)0.5 - 0.5$$

非2進アルゴリズム: 5ビット分解能を6ステップで実現。

従来の非2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)\gamma^4 + d(2)\gamma^3 + d(3)\gamma^2 + d(4)\gamma^1 + d(5) + d(6)0.5 - 0.5$$

$$1 < \gamma < 2$$

アルゴリズムが一意的に決まる。

$$\gamma = 2^{\frac{5}{6}}$$

非2進探索アルゴリズムの一般化

$$D_{out} = 2^4 + d(1)p(2) + d(2)p(3) + d(3)p(4) + d(4)p(5) + d(5)p(6) + d(6)0.5 - 0.5$$

$p(k)$ を自由に決める。 $p(k)$: 分銅の重さ

非2進探索アルゴリズムの デジタル誤差補正原理

入力5のとき

2進探索

判定出力: 101

$$Dout = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

判定出力: 1101

$$Dout = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力: 0111

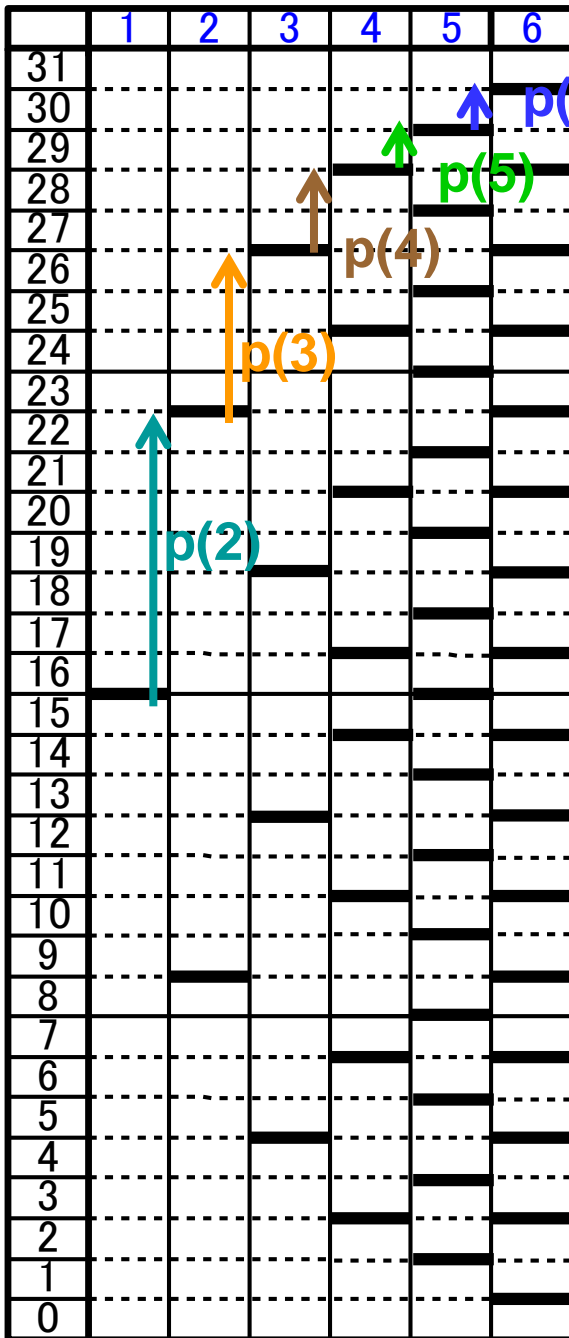
$$Dout = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

1ステップ目で判定誤りをしてでも補正できる

非2進探索アルゴリズム

5ビット分解能(32レベル)

6ステップ(k=1,...,6)の場合



$$p(2)=7$$

$$p(3)=4$$

$$p(4)=2$$

$$p(5)=1$$

$$p(6)=1$$

分銅の重さに対応

と設計する。

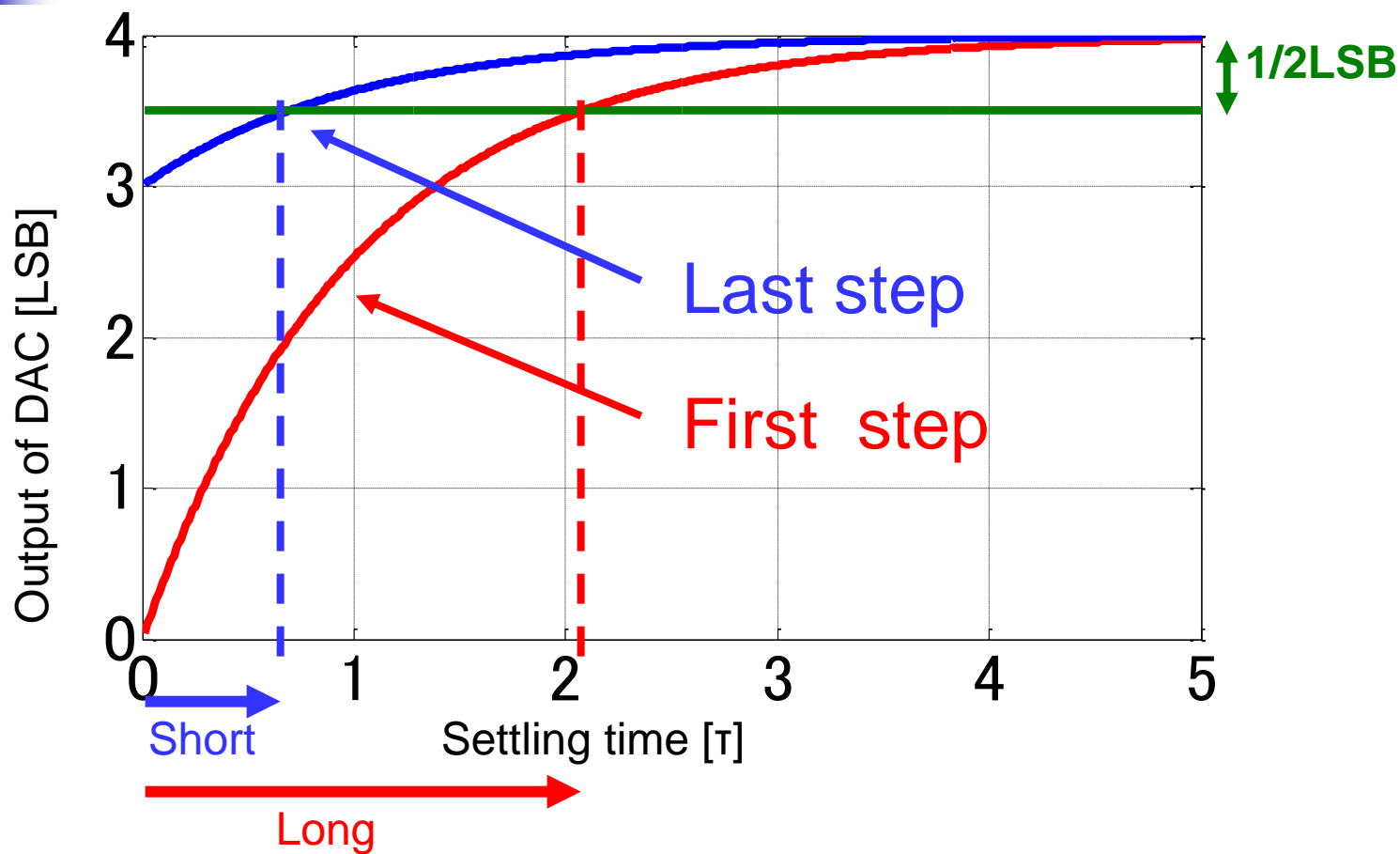
$$2^{5-1} = 1 + p(2) + p(3) + p(4) + p(5) + p(6)$$

$$2^4 = 1 + 7 + 4 + 2 + 1 + 1 = 16$$

$$2^{N-1} = 1 + \sum_{i=2}^M p(i)$$

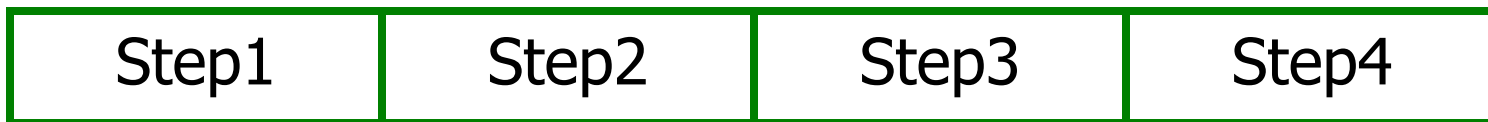
を満たしている

参照電圧発生用の 内部DA変換器の整定時間



非2進探索アルゴリズムによる AD変換 高速化 (原理説明)

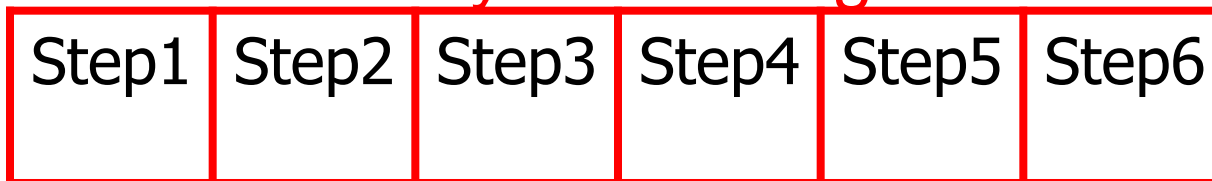
Binary search algorithm



Exact DAC settling → Long
time

A/D conversion time

Non-binary search algorithm



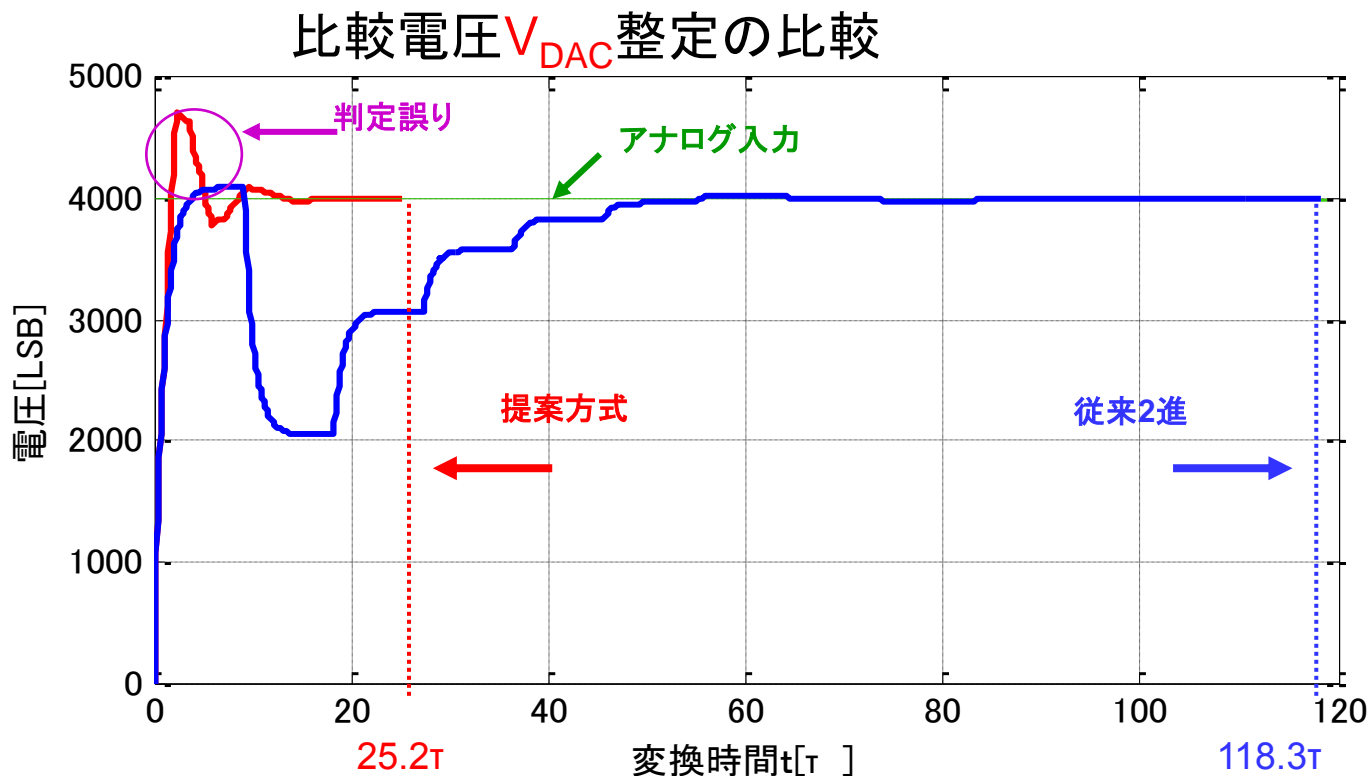
Correct incomplete settling error.

Incomplete DAC settling → Short time

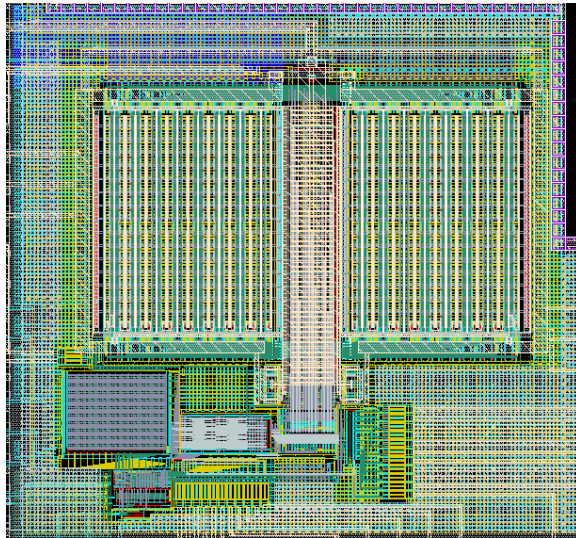
非2進探索アルゴリズムによる AD変換 高速化 (シミュレーション確認)

従来2進: 14ビット14ステップ 1サイクル9.1 τ

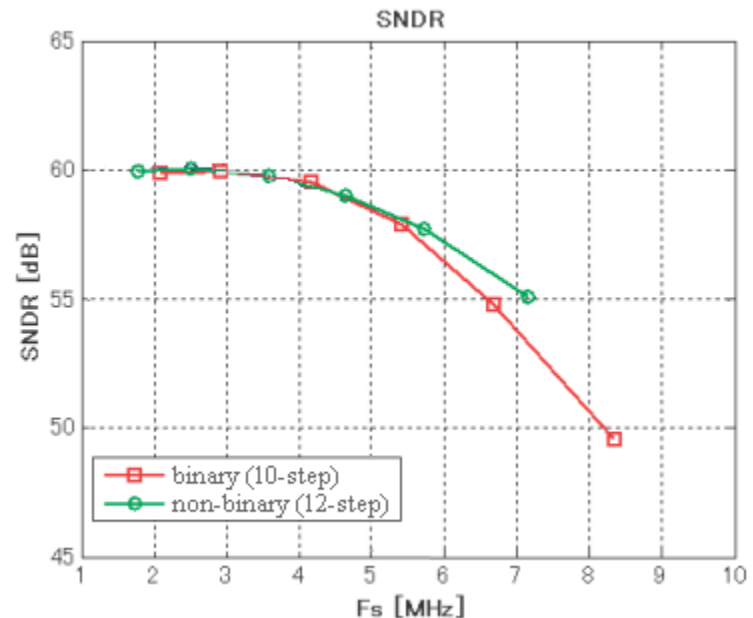
提案非2進: 14ビット22ステップ 1サイクル1.2 τ



非2進逐次比較近似ADC IC実現と測定結果



10b SAR ADC
TSMC 180nm CMOS
サイズ 1.2×1.2mm²



測定結果

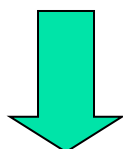


逐次比較ADCへの期待

- 昔からの方式
 - 産業界で広く使用
 - 微細CMOS実現での研究活発
 - 冗長アルゴリズム(信号処理技術)
 - ➡ デジタル回路部だけの設計変更で
 - 高信頼性化
 - 高速化
- が可能。

人生訓のような結果

2進 SAR ADC はADC構成の中で最も効率(Figure of Merit) がよいと期待されて現在研究がホット。



冗長性を持たせることで、より効率が良い。

「無用の用」(老子、荘子)

一見役に立たないものが、実は大きく役立つ

冗長 逐次比較近似ADCを 両目を開いて見る

「途中で誤動作」の情報

ADCテスト/診断

高性能化

に利用できる可能性



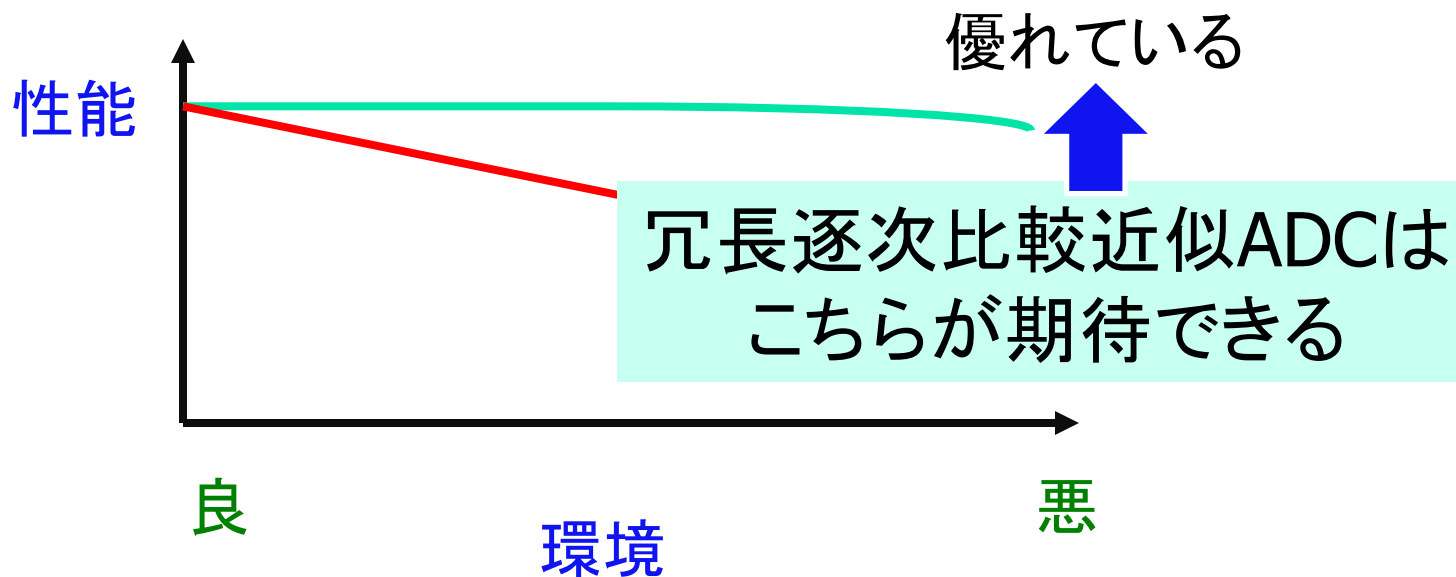
「あの手 この手の 思案を胸に。。。」



AD/DA変換器の 新しい研究軸の提案

過酷な環境下でもどれだけ性能を保てるか

↳ 温度、電磁ノイズ、宇宙線、電源ノイズ等



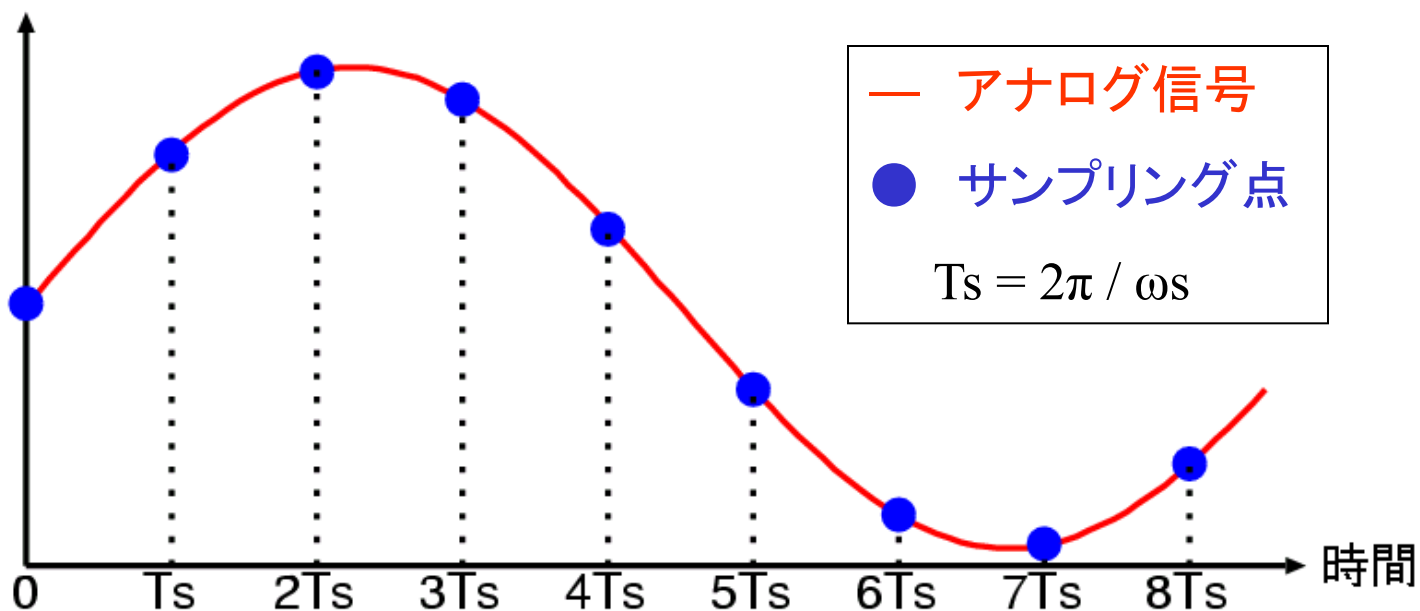


発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ

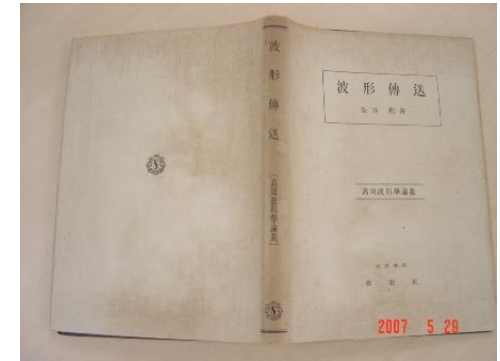
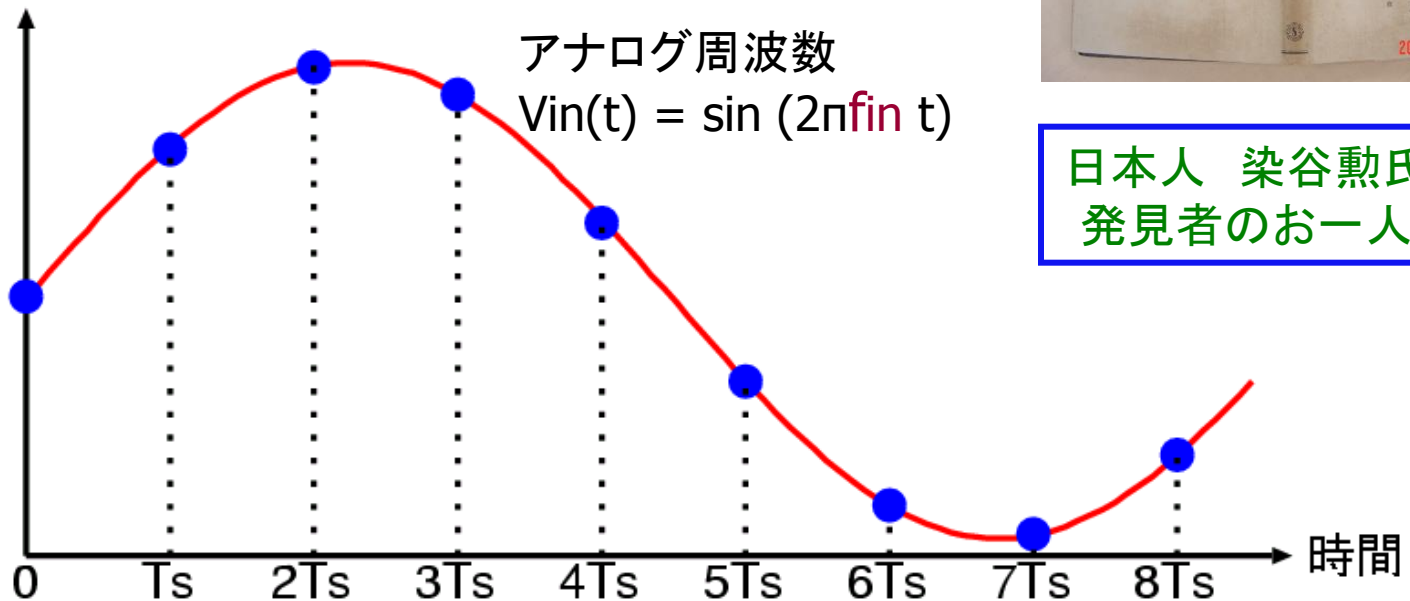
デジタル信号の特徴(2)

時間の量子化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

サンプリング定理



日本人 染谷勲氏
発見者のお一人

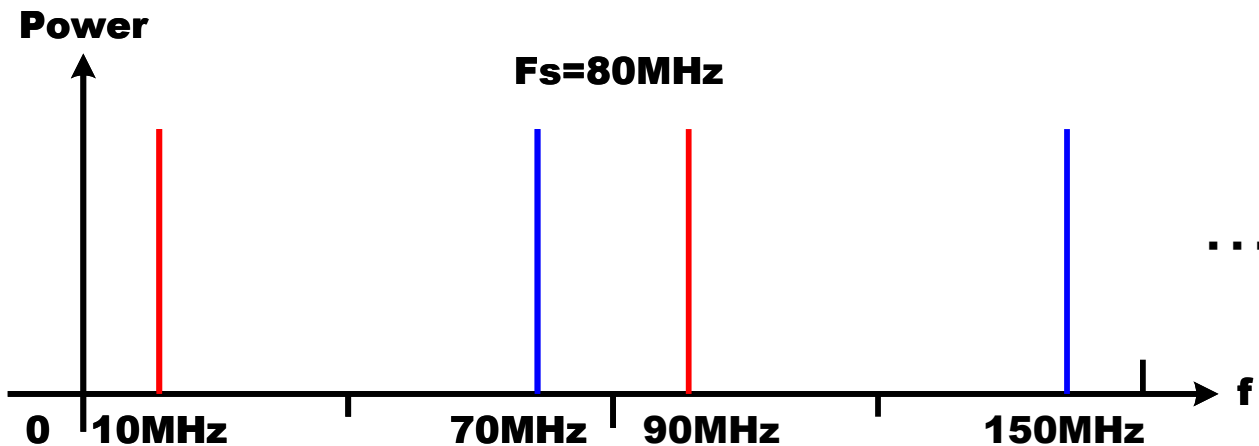
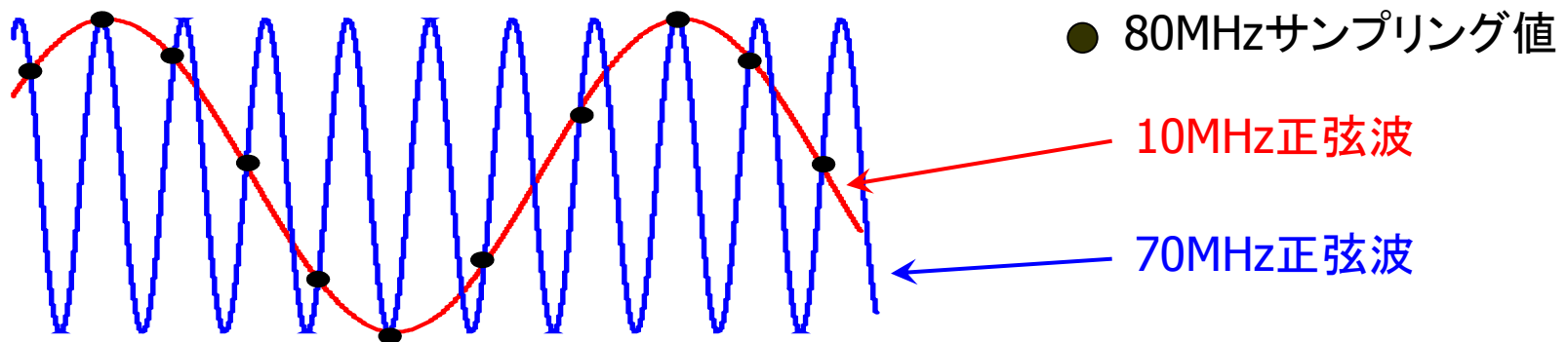
サンプリング周波数 $f_s = 1/T_s$

$f_s > 2 f_{in}$ ならば サンプリングされたデータ(●)から
アナログデータ(—)が復元できる。

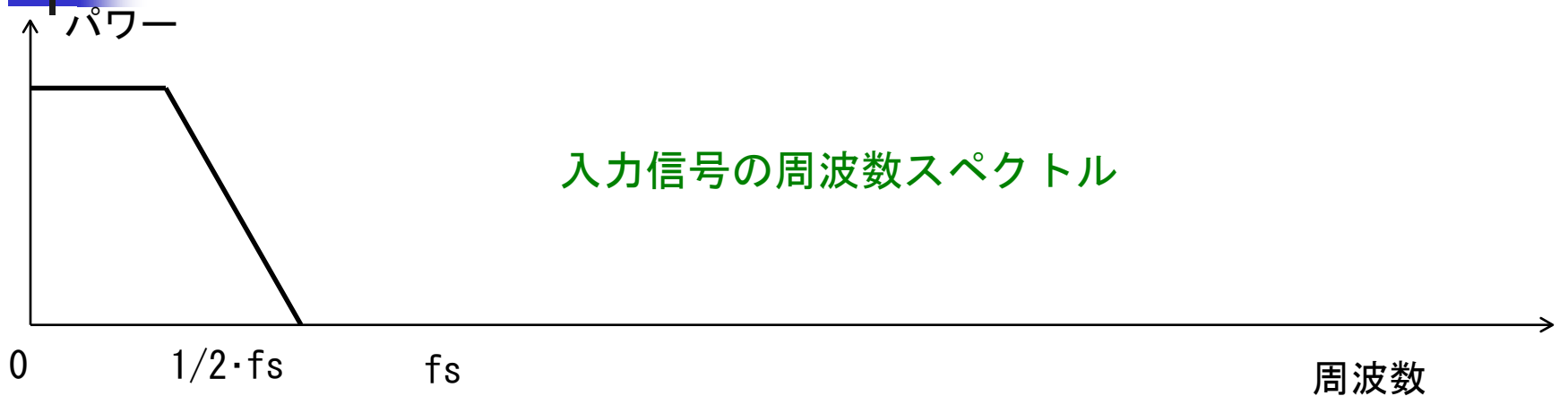
信号に含まれる最大周波数 f_{in} の2倍より大きな周波数 f_s
でサンプリングする。

サンプリングと折り返し(aliasing)

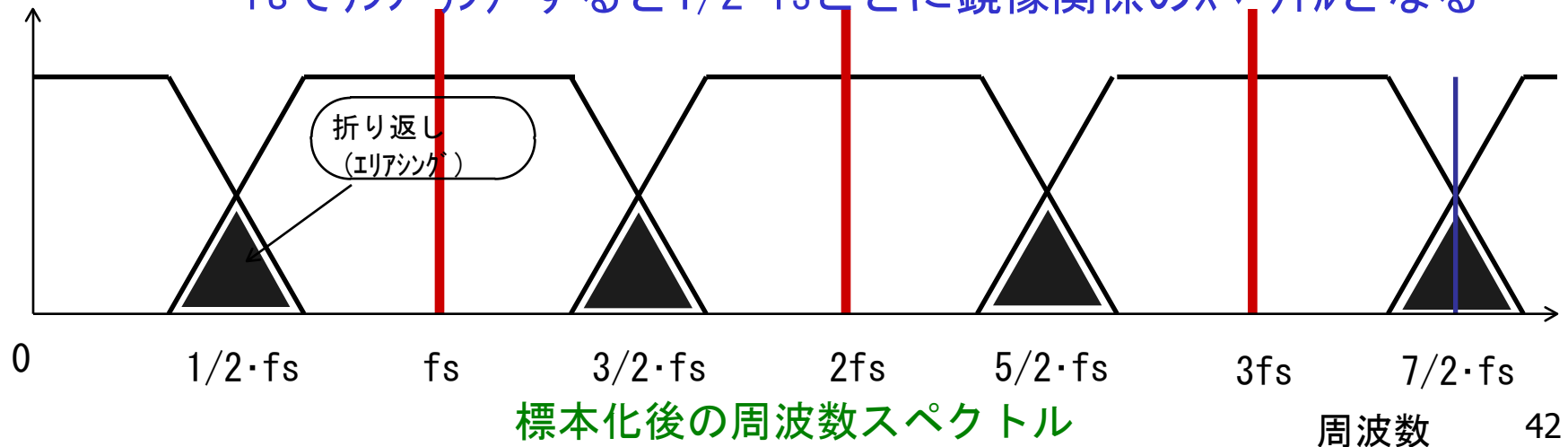
80MHzでサンプリングを行うと10MHzと70MHzは区別できない



サンプリングと周波数スペクトル



f_s でサンプリングすると $1/2 \cdot f_s$ ごとに鏡像関係のスペクトルとなる



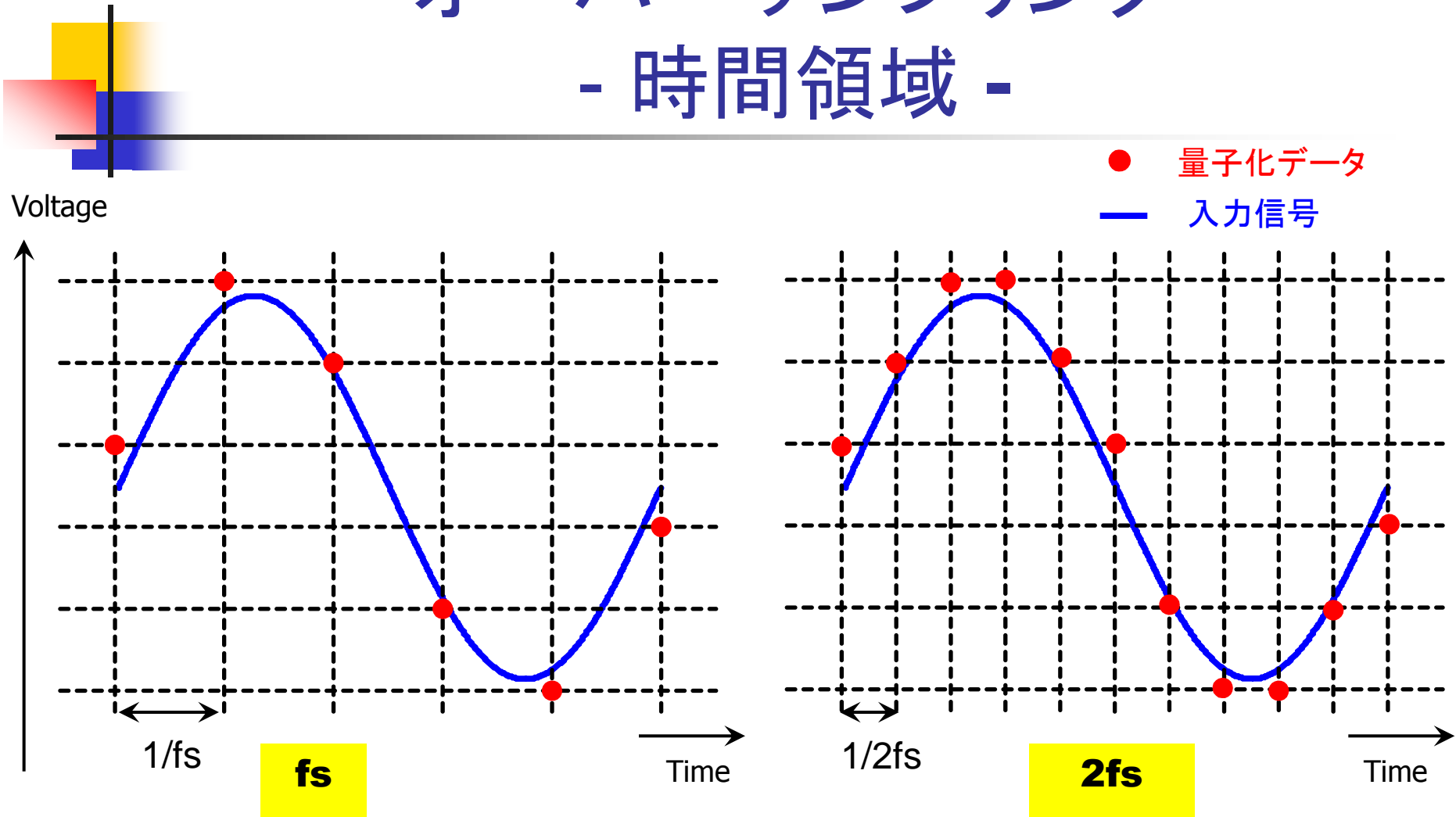


オーバーサンプリング

- ナイキスト周波数を
超える高い周波数でのサンプリング
- 高速サンプリングにより電源ノイズ、
基板ノイズ、量子化ノイズ、ジッタ等の
信号帯域内ノイズ低減
- アナログフィルタが簡単化

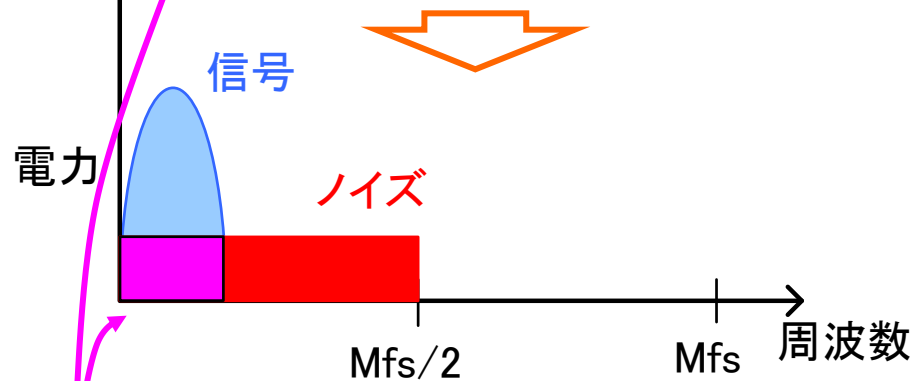
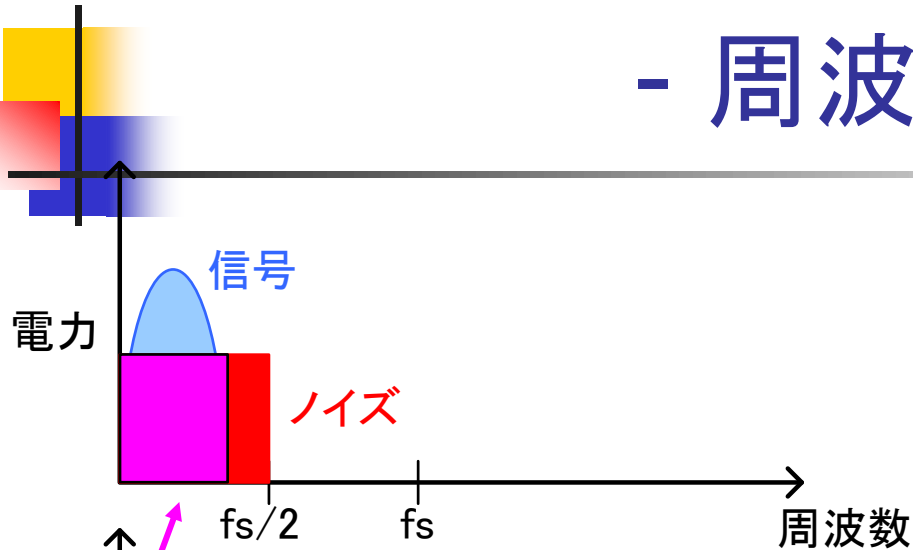
サンプリングの冗長性
↓
ノイズ、高周波成分の影響が小さくなる

オーバーサンプリング - 時間領域 -



オーバーサンプリング係数を高めると
入力信号の再現性が高まる

オーバーサンプリング - 周波数領域 -



信号帯域のノイズ成分

サンプリング周波数をM倍

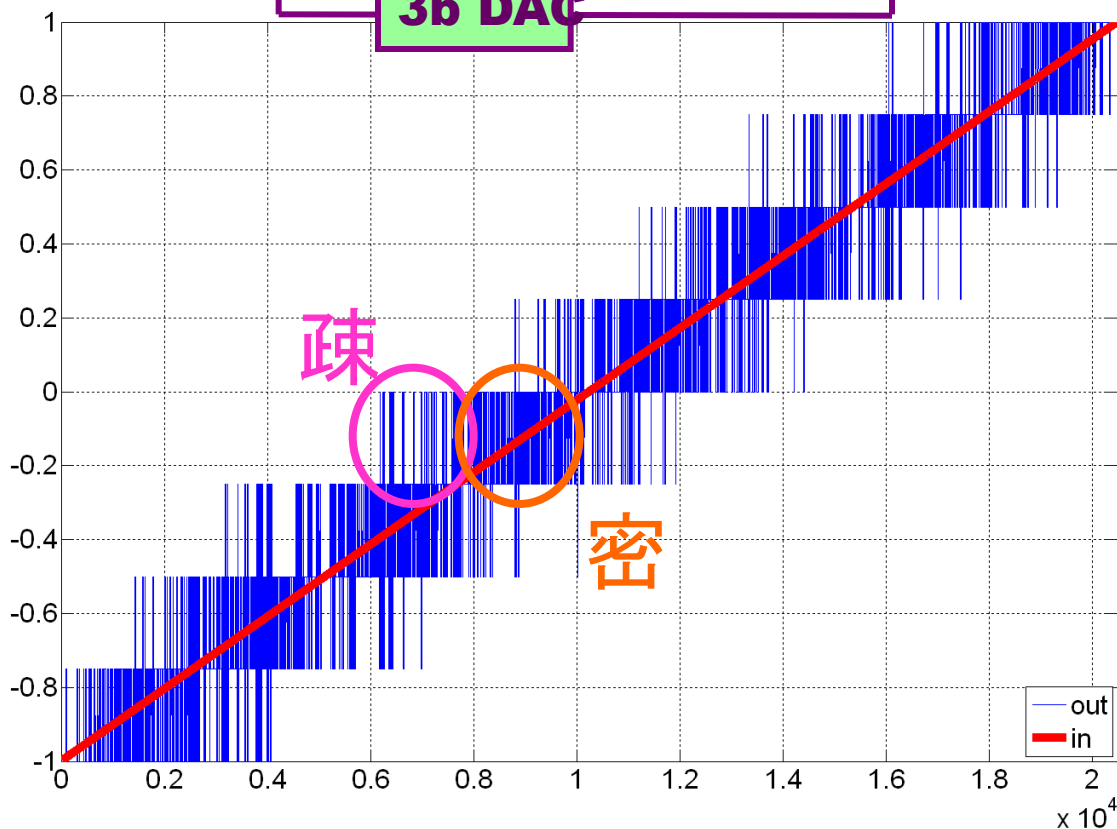
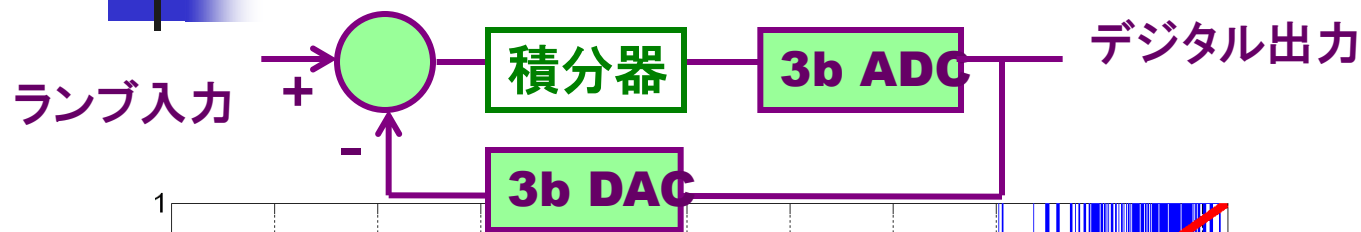
↓
ノイズは広域に分散

↓
ただしノイズ総量は変わらない

↓
信号帯域でノイズ低減

高速サンプリングにより低ノイズ化

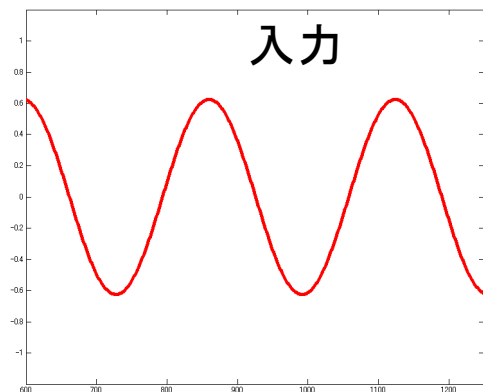
デルタシグマ変調による高精度化



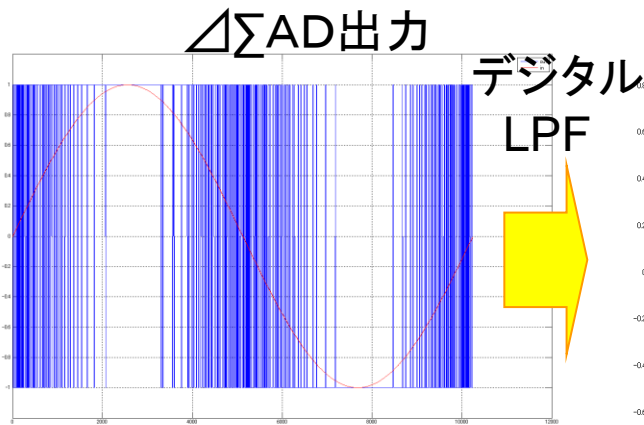
内部のADC
は低分解能

疎密により
より細かい
デジタル値を
表現できる

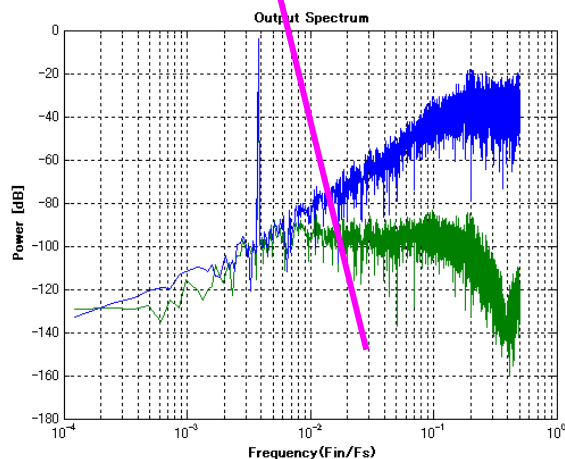
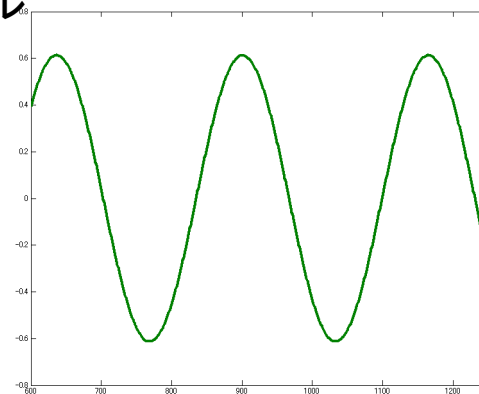
$\Delta\Sigma$ AD変調器の 入出力波形



$\Delta\Sigma$ 変調



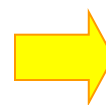
LPF出力



PDM(パルス密度変調)

↓
フーリエ級数展開

↓
高周波成分 大

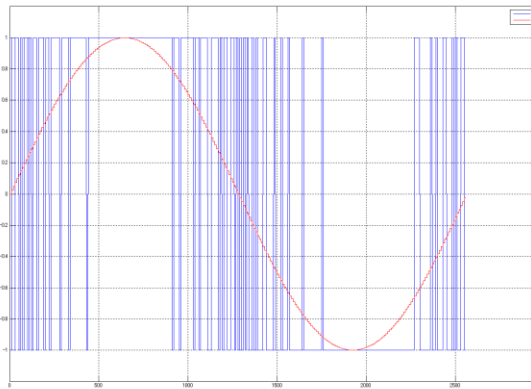


ローパスフィルタ

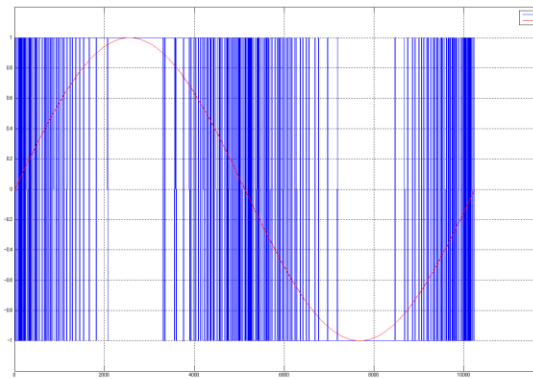
↓
高周波成分(ノイズ)除去

↓
元信号 復元

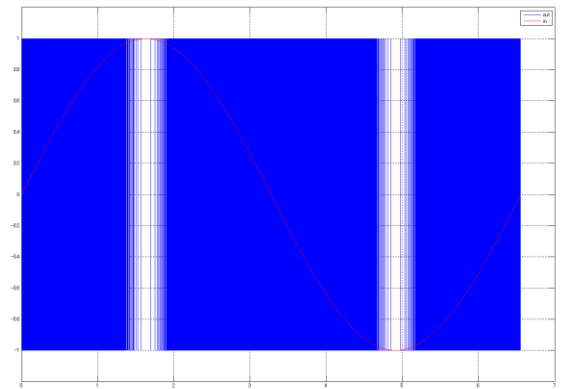
オーバーサンプリング比 OverSampling Ratio (OSR)



OSR=2⁸



OSR=2¹⁰

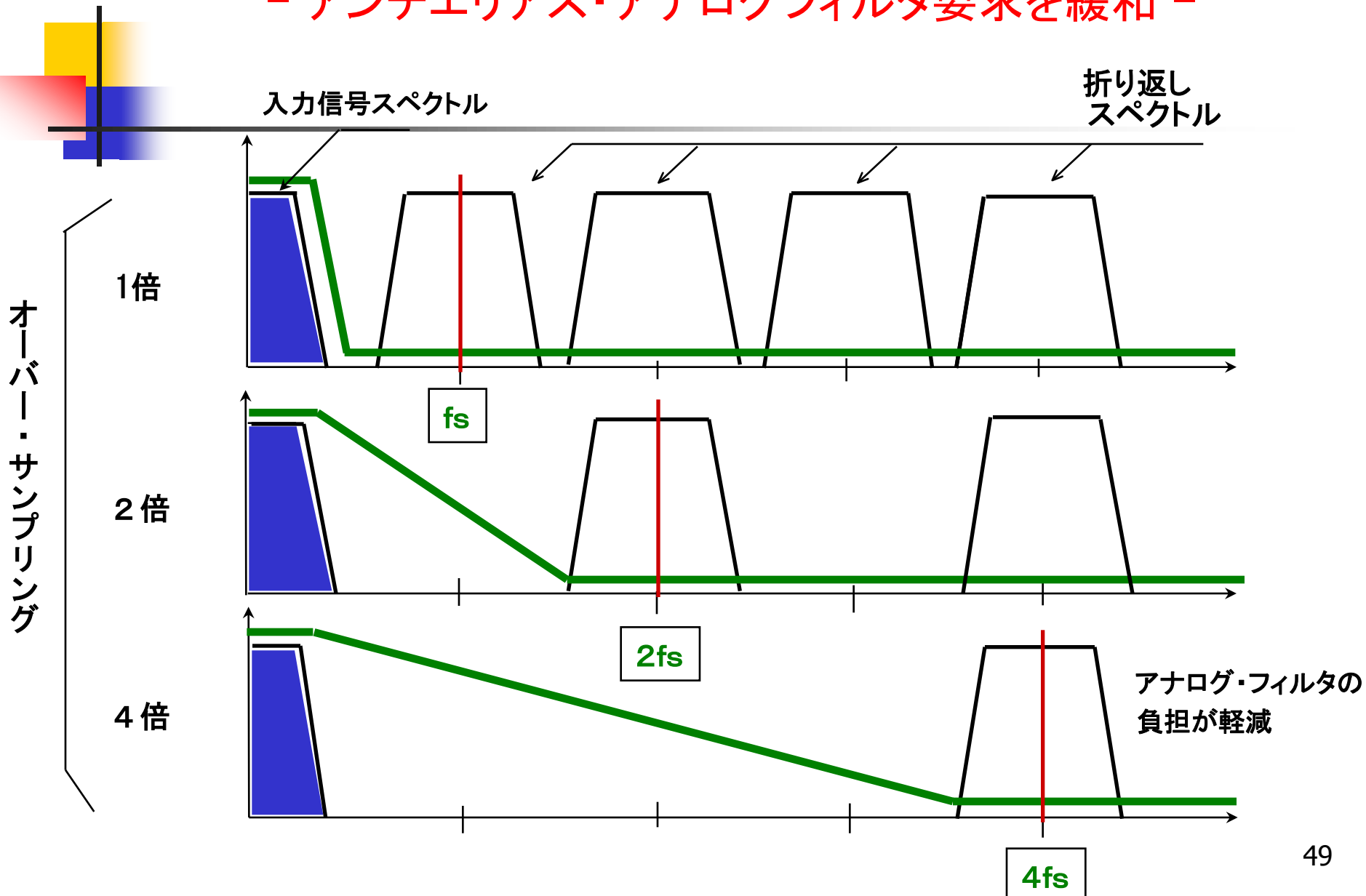


OSR=2¹⁶

OSRが大きいほどON,OFFの回数が増える
⇒細かい値が表現可能。

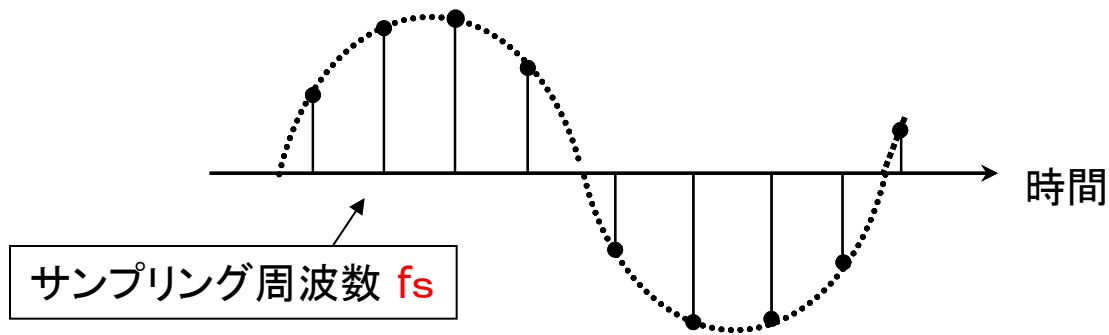
オーバーサンプリング

- アンチエイリアス・アナログフィルタ要求を緩和 -

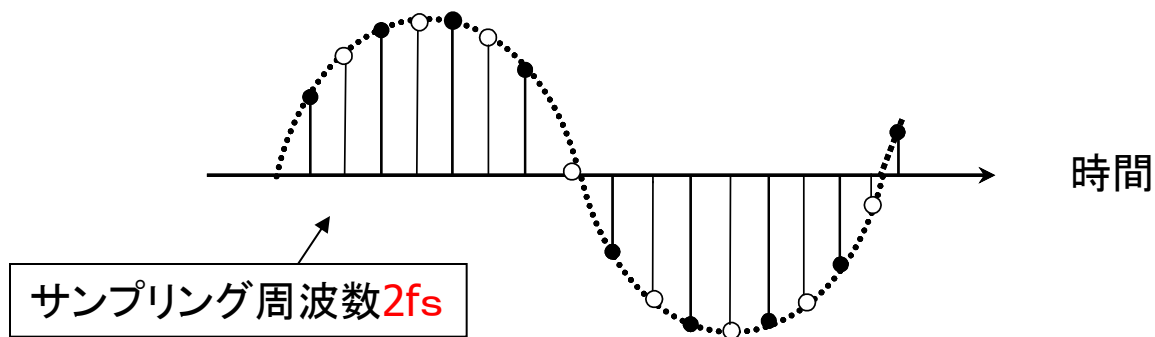


DA変換器出力データと サンプリング周波数

DA変換器
出力 1



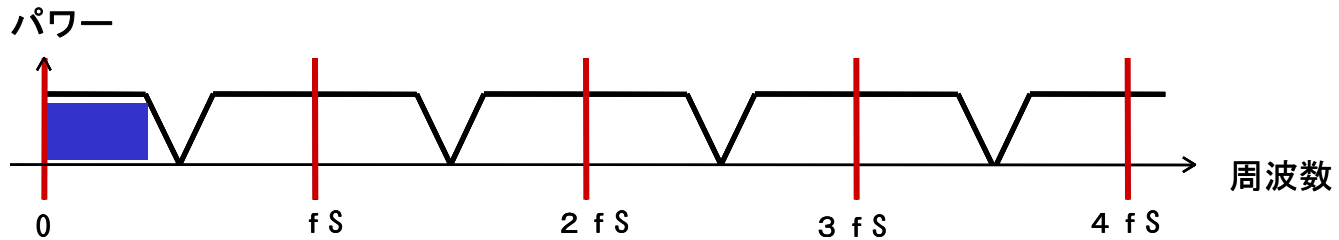
DA変換器
出力 2



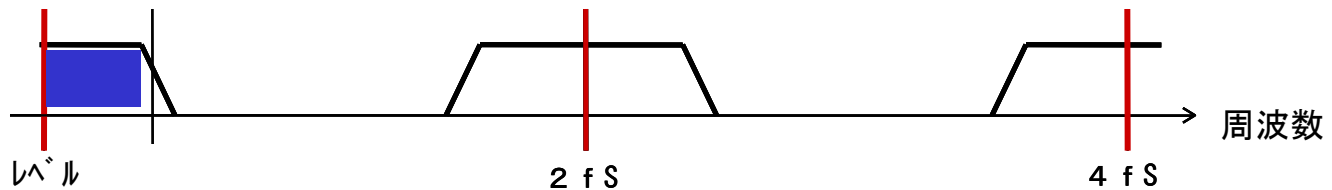
DA変換器出力周波数スペクトルと サンプリング周波数

サンプリング
周波数

f_s



$2f_s$



DA変換器でのオーバーサンプリングにより
後段のアナログフィルタが簡単化



発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ



$\Delta\Sigma$ AD/DA変調技術

- アナログ最小、デジタルリッチな構成
ナノCMOSではデジタルは大きな恩恵
- スピードを精度に変換
ナノCMOSではスピードに余裕
- 高精度なデバイス、回路不要

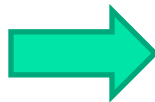


ナノCMOSで高精度なAD/DACを
実現するのに適した構成



$\Delta\Sigma$ 変調は日本発の技術

1960年 安田靖彦先生(当時 東大大学院生
現 東大・早稲田大学名誉教授)が考案。

- 近年の集積回路技術の進展に適した方式
  活発に研究・開発、実用化。
- ◆ AD/DA変換器、完全デジタルPLL回路
 時間デジタイザ回路等幅広く応用。
- ◆ 性能向上が著しい

発明者の安田靖彦先生に 偶然にお会いする

2011年11月29日(火)
於 スウェーデン大使館

新津葵一先生
エリクソン・ヤング・
サイエンティスト・アワード
受賞式 懇親会にて

安田先生は
審査員のお一人



新津先生



安田先生

$\Delta\Sigma$ か $\Sigma\Delta$ か

$\Delta\Sigma$ (デルタシグマ) 安田靖彦先生の主張

$\Sigma\Delta$ (シグマデルタ) IEEE の論文

$\Delta\Sigma$ or $\Sigma\Delta$? That is a question.



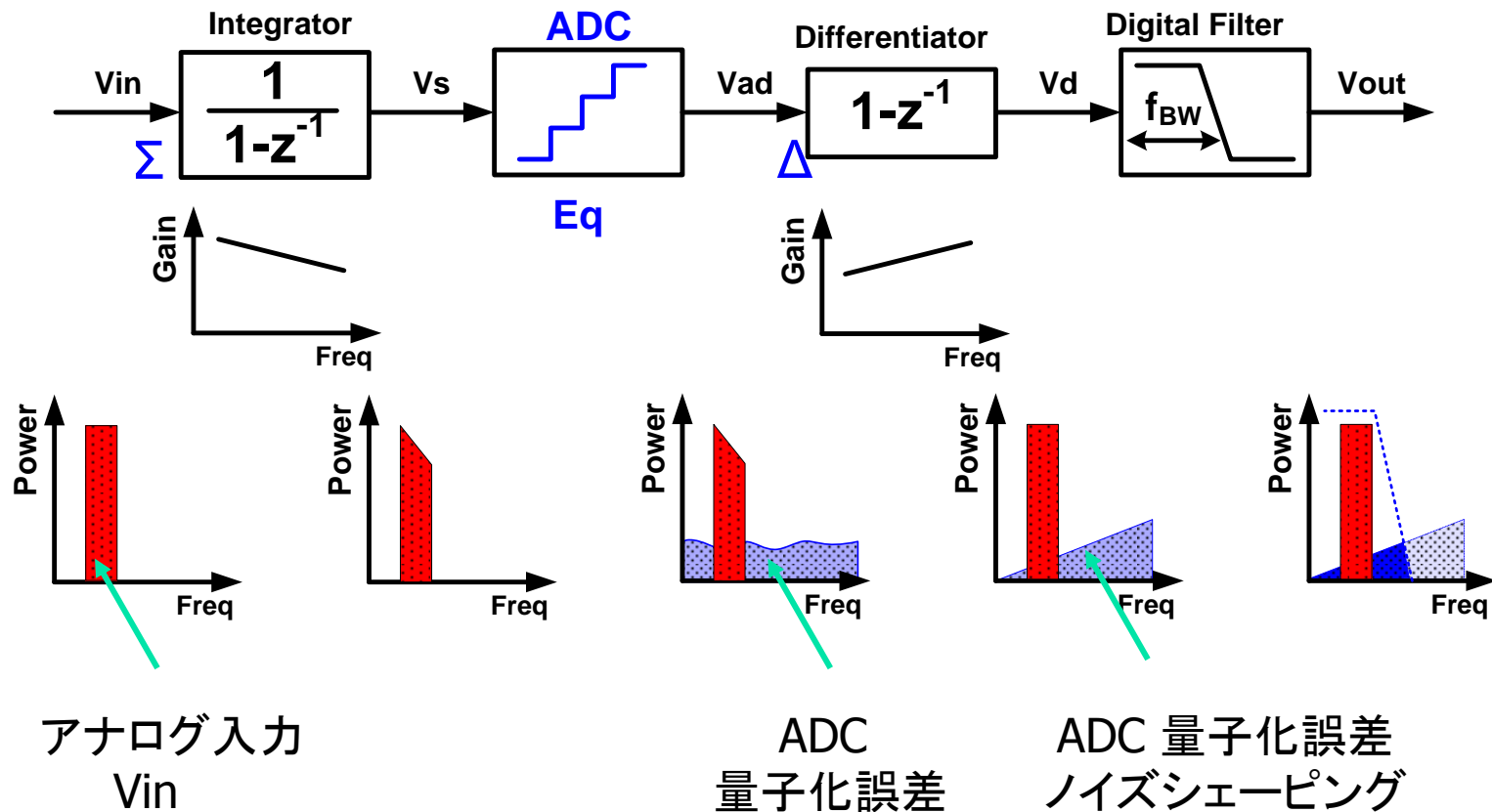
Hamlet

発明者の安田先生にしたがい

$\Delta\Sigma$

ΔΣ変調器の構成

入力を積分してからΔ変調

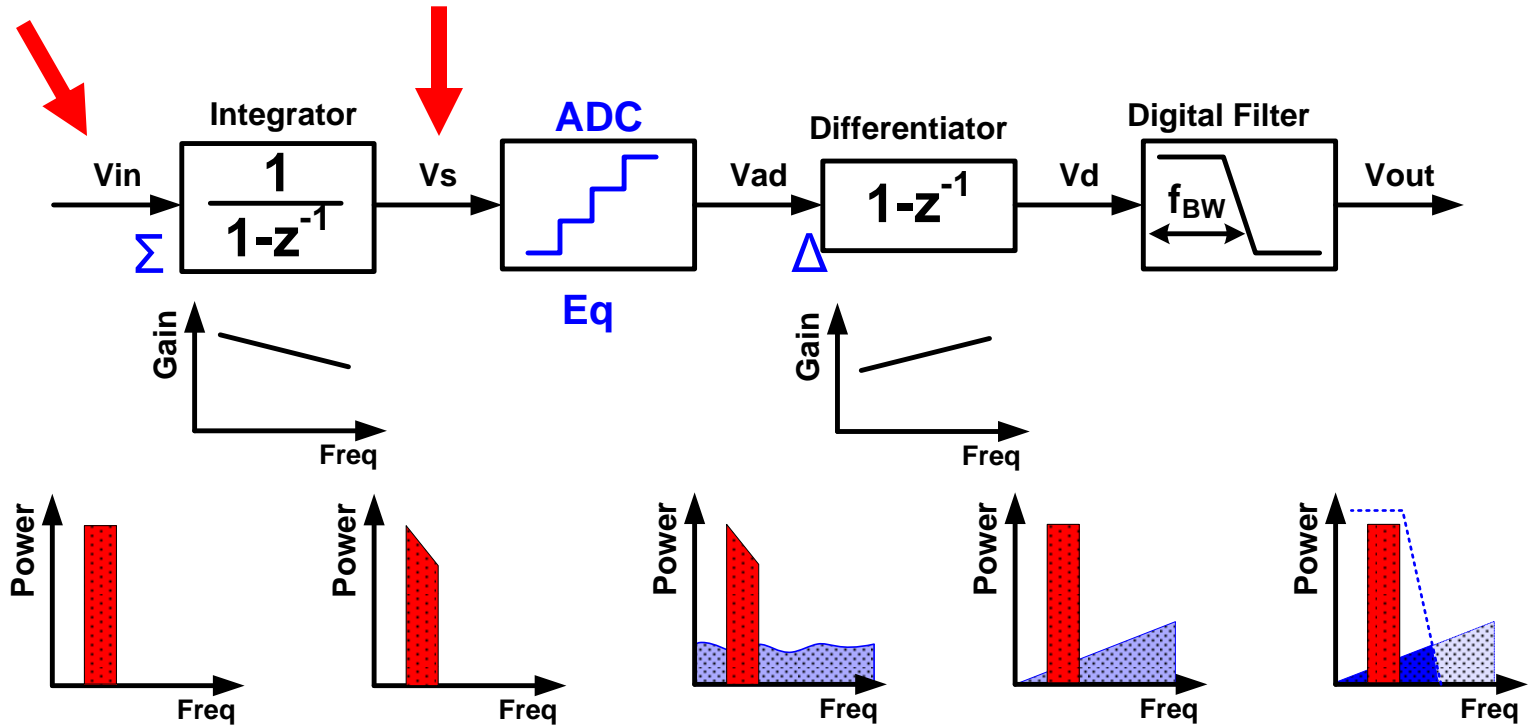


ΔΣ変調器の構成

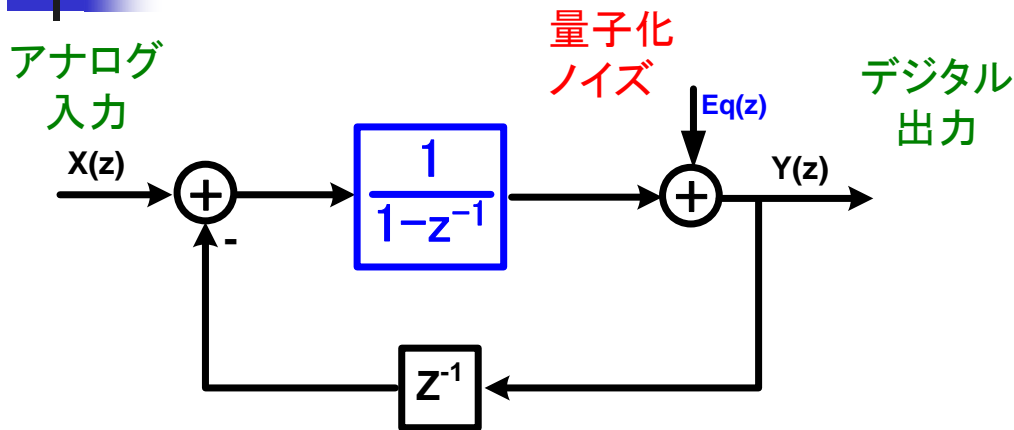
直接は実現できない

DC入力の場合

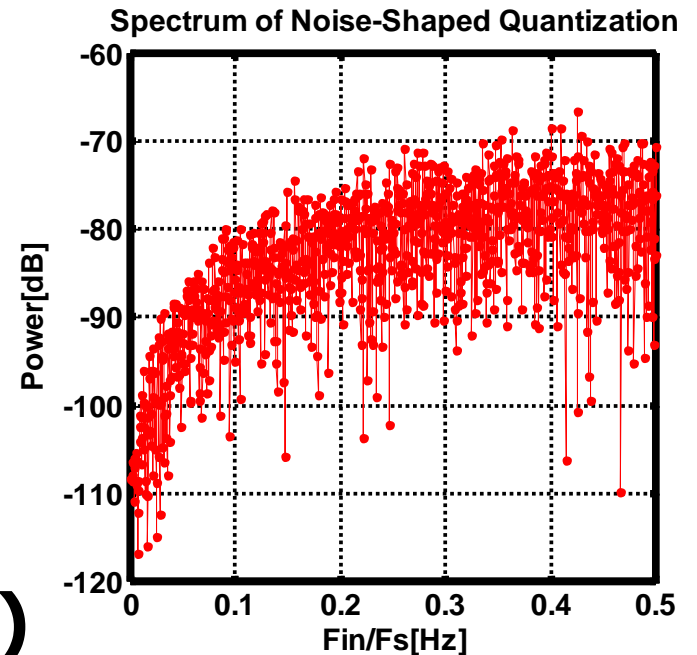
無限大になってしまう



$\Delta\Sigma$ 変調の等価実現

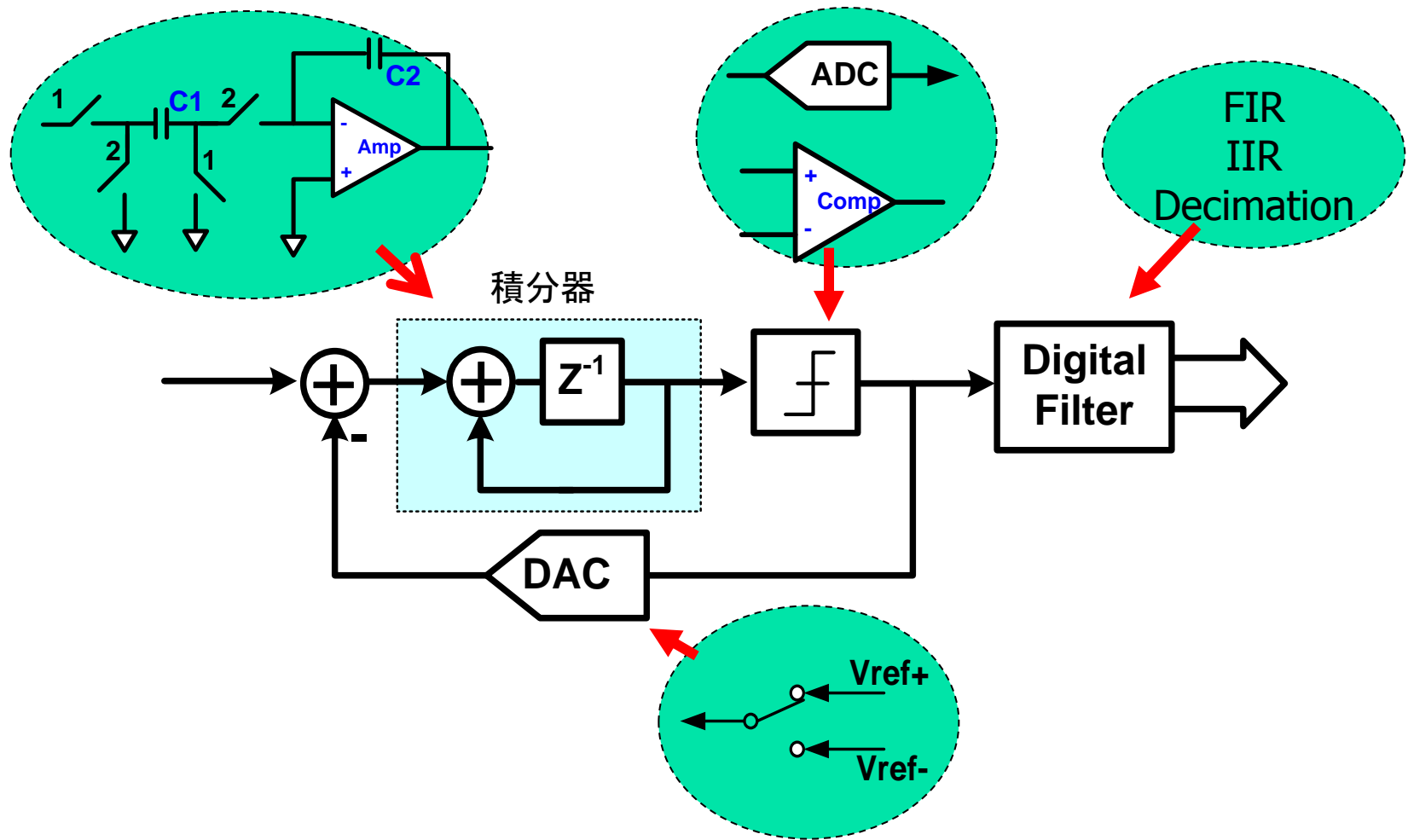


$$Y(z) = X(z) + (1 - z^{-1}) \cdot Eq(z)$$

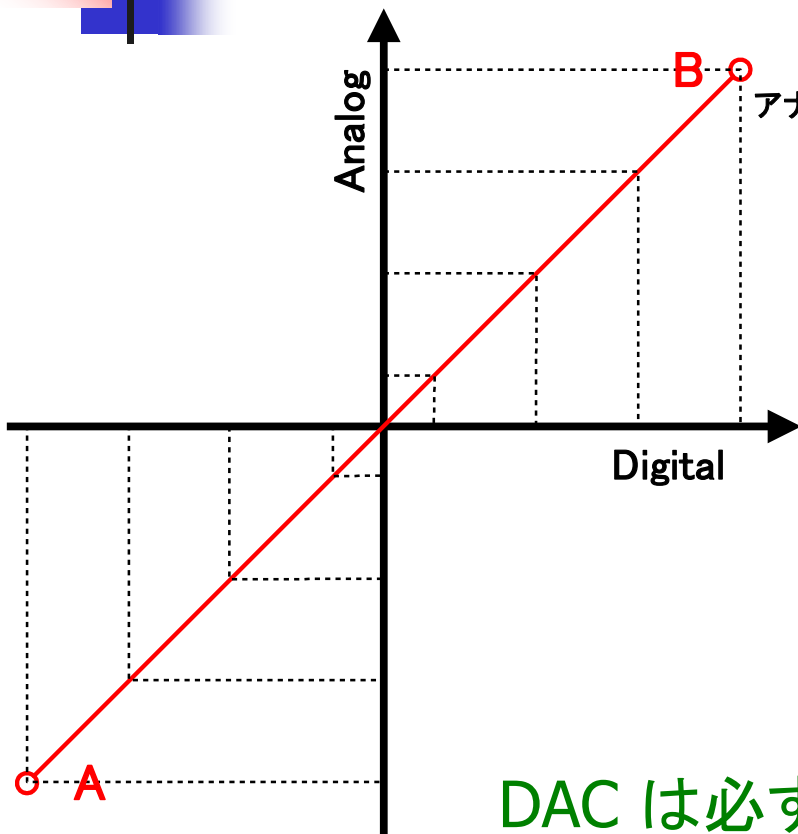


量子化ノイズを高域に移し、帯域内ノイズを低減

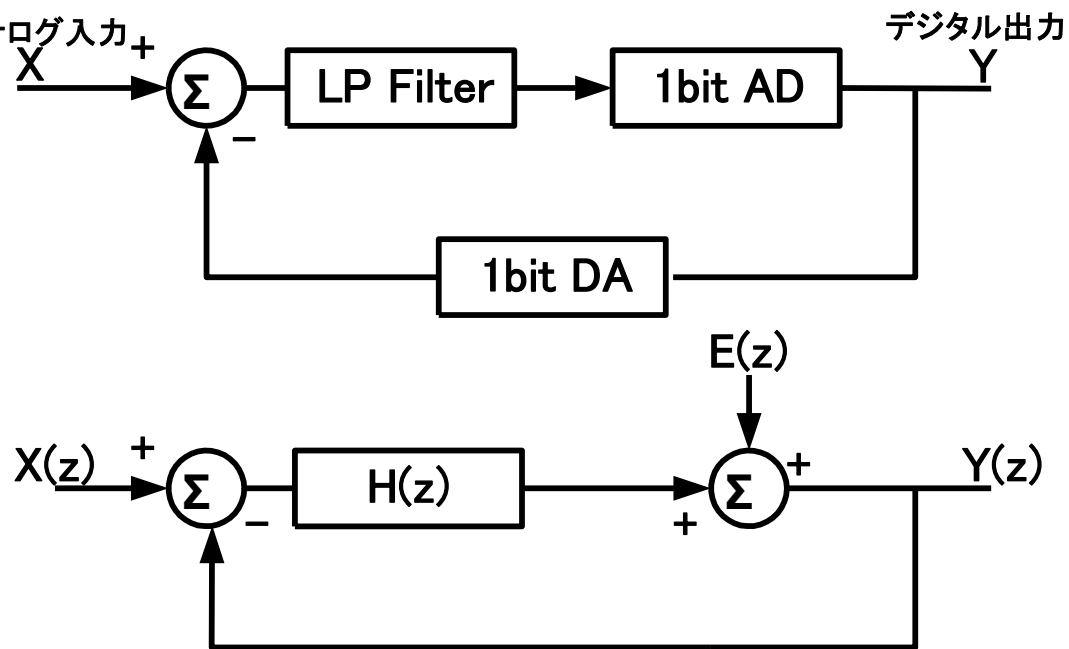
$\Delta\Sigma$ ADCの構成と回路



内部ADC/DACが1ビット

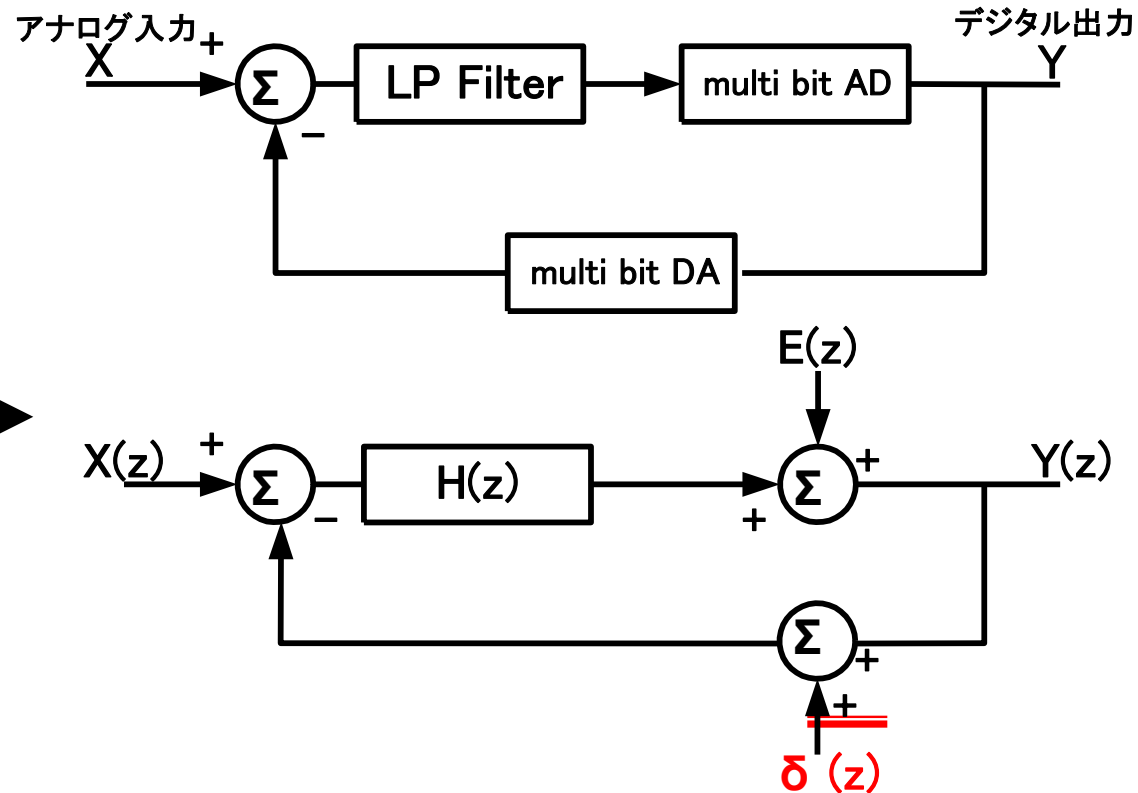
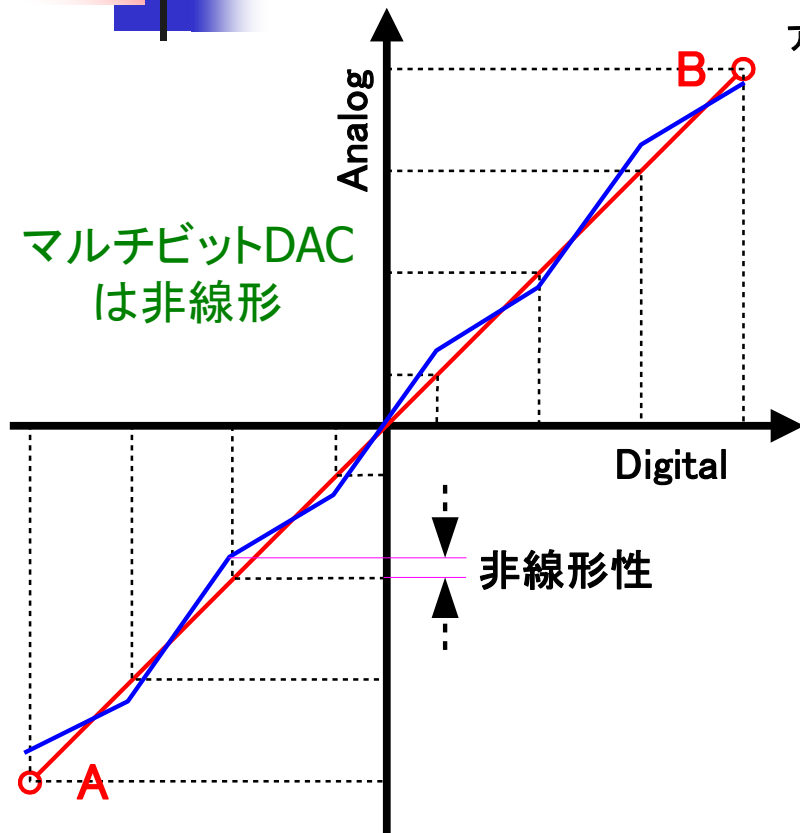


アナログ入力+



DAC は必ず線形

内部ADC/DACが多ビット



$$Y(z) = \frac{H(z)}{1+H(z)} (X(z) - \delta(z)) + \frac{1}{1+H(z)} \cdot E(z)$$

2値と多値

2値: 論理

Yes かNoか。

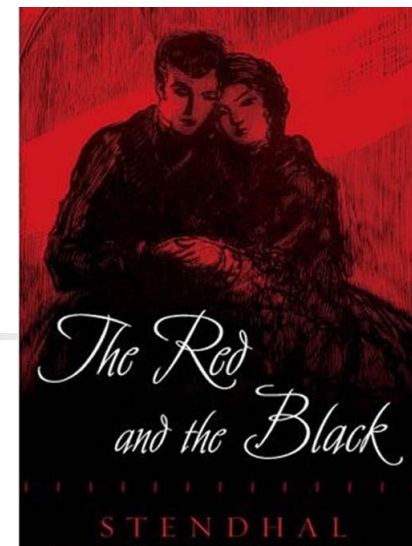
白か黒か。

誤差なし

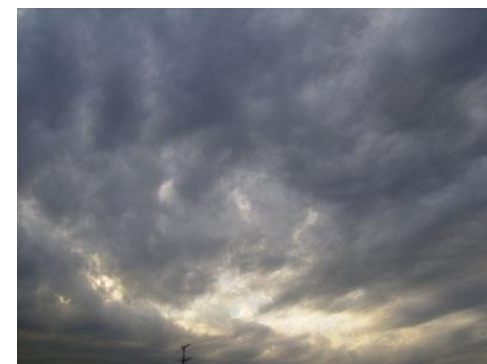
多値: 数値

灰色

誤差を含む



赤と黒



灰色の空



フィードバックの理論

多少行き過ぎた行動をしても

(ADCに誤差があっても)

その結果を正しく戻せば対応できる。

(DACが正確ならば)

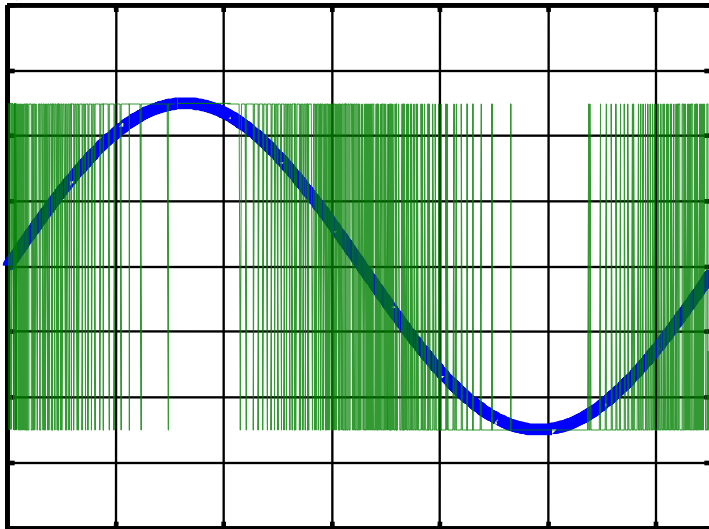
結果を正しく報告できなければ

(DACが不正確なら)

システム全体の性能劣化

$\Delta\Sigma$ 変調器内のADC/DAC

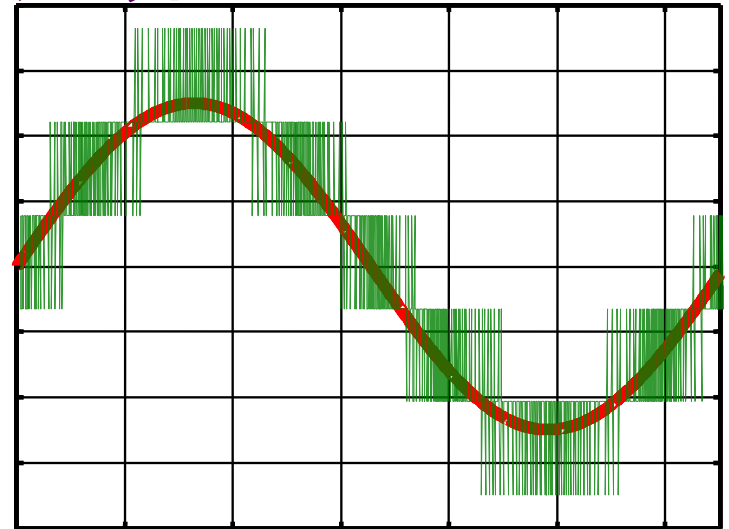
1ビット



■ シングルビット

- 高次フィルタが必要
(消費電力→大)

マルチビット



■ マルチビット

- 低次フィルタで高精度(低消費電力)
- アンプのスルーレート緩和(低消費電力)
- マルチビットDACの非線形性が問題



なぜマルチビット $\Delta\Sigma$ 変調器 (1)

低消費電力化のため

● AD変調器の場合

単に「知的に面白い」から研究していたが。。
「アンプのスルーレート要求が緩和できる。
アンプ低消費電力化のために必須。」

(米国系半導体メーカー技術者)

● DA変調器の場合

後段のアナログフィルタ要求が緩和

なぜマルチビット $\Delta\Sigma$ 変調器 (2)

高精度・広帯域化のため

AD変調器の場合

内部ADC/DACが3ビット

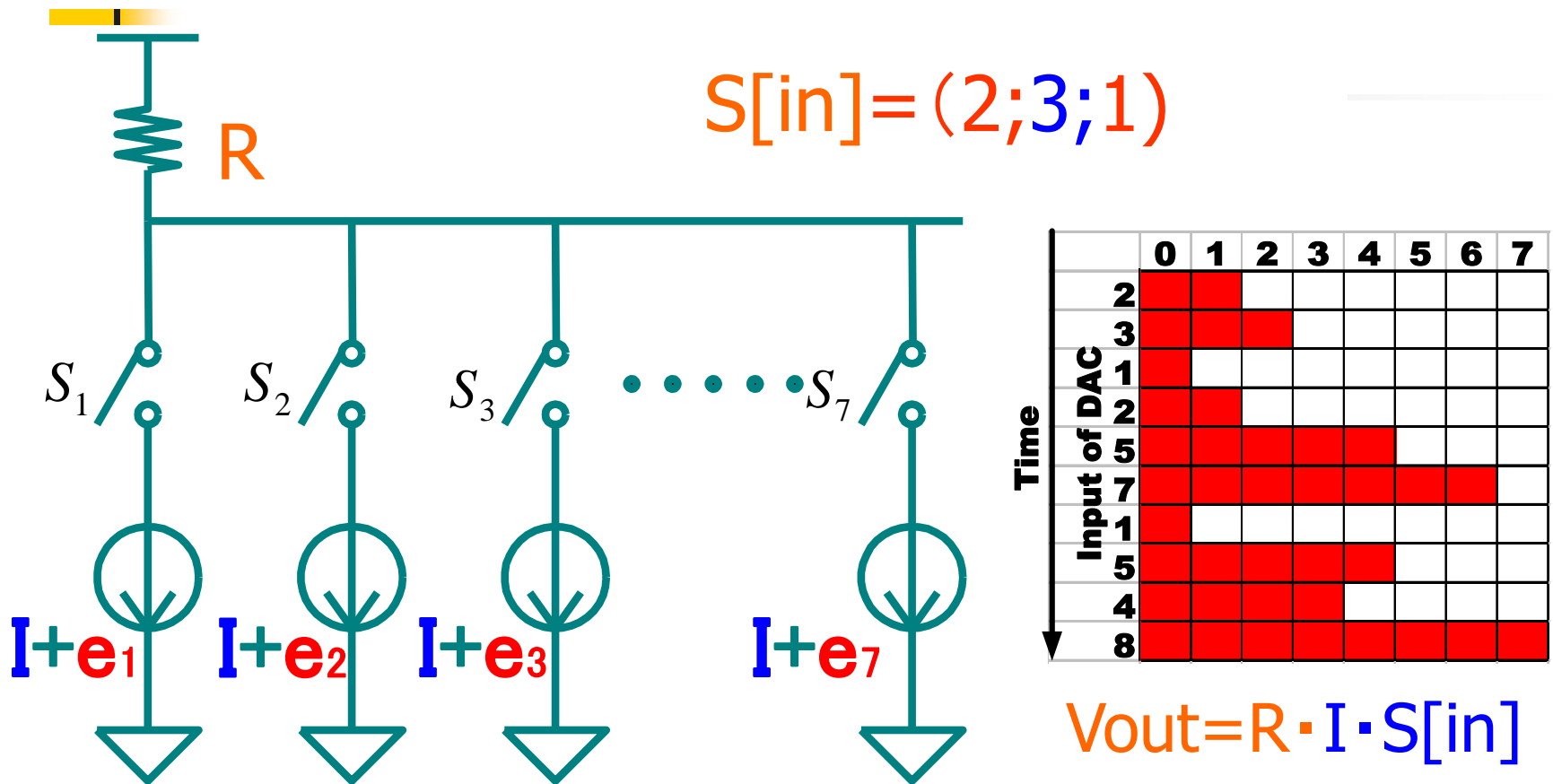
→ 3次の変調器が安定

一般に Nビット

→ N次変調器が安定

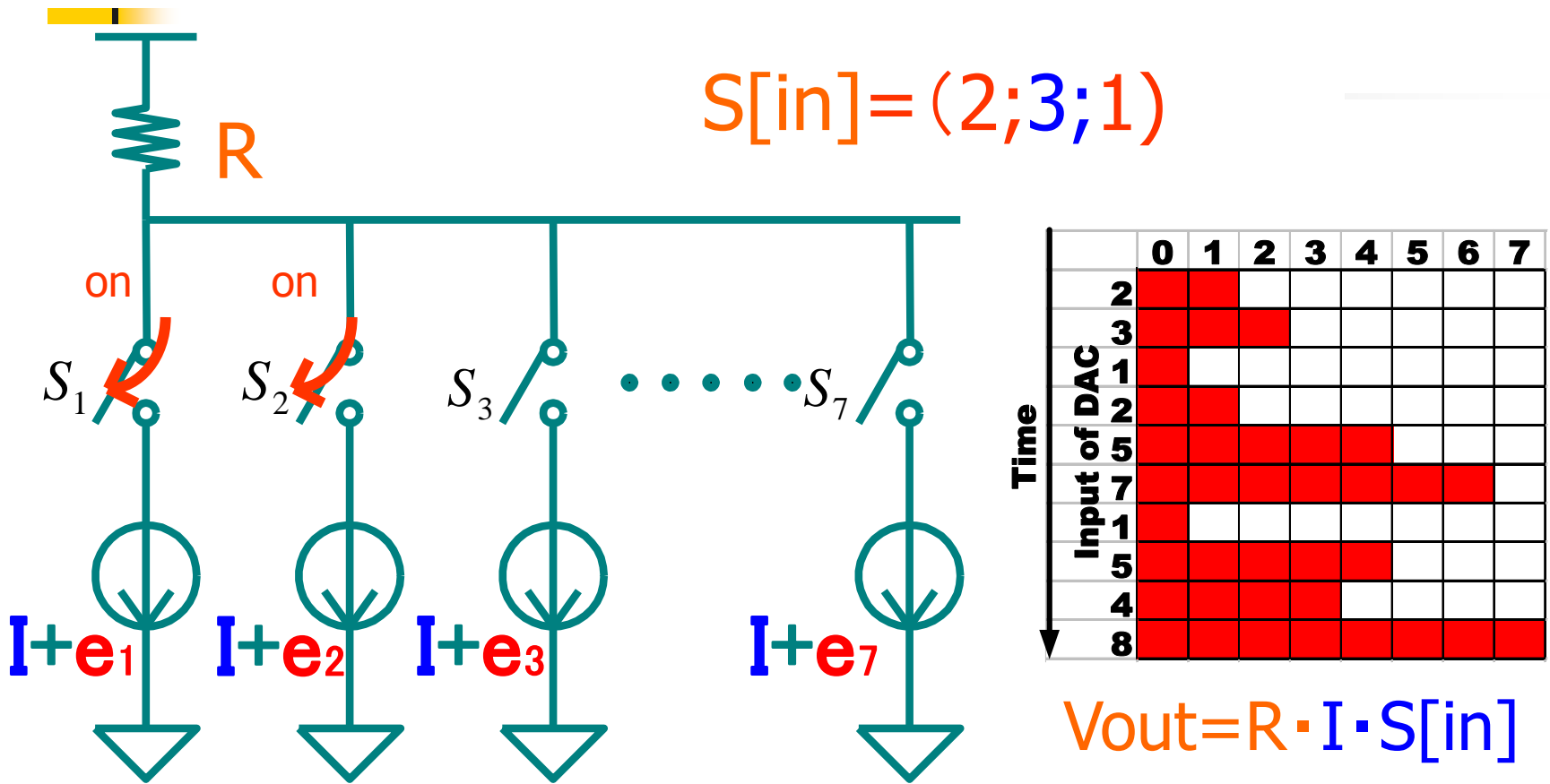
高次の変調器が1つのループで実現可

セグメント電流セル型DACの非線形性



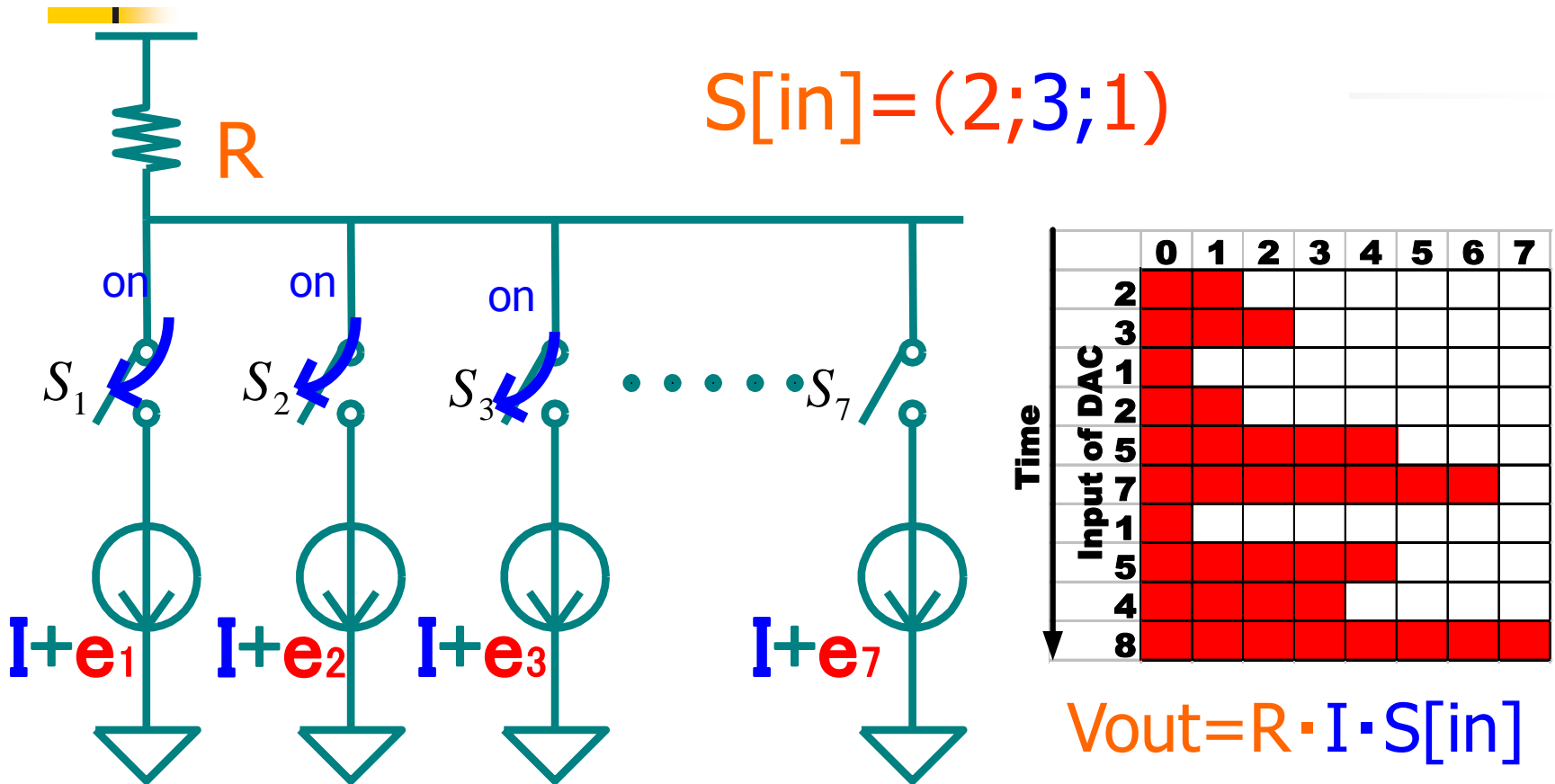
電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

セグメント電流セル型DACの非線形性



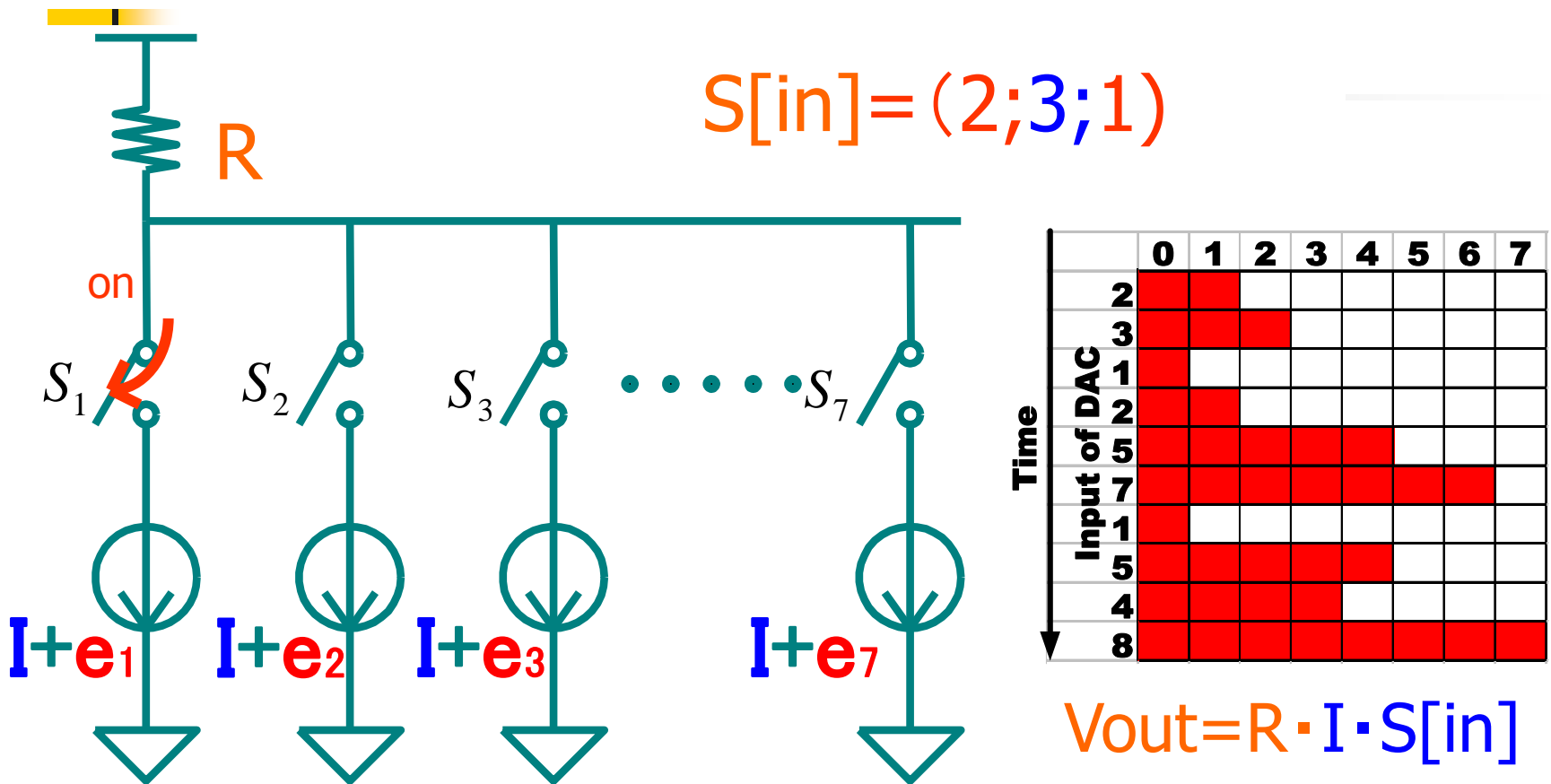
電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

セグメント電流セル型DACの非線形性



電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

セグメント・電流セル型DACの非線形性

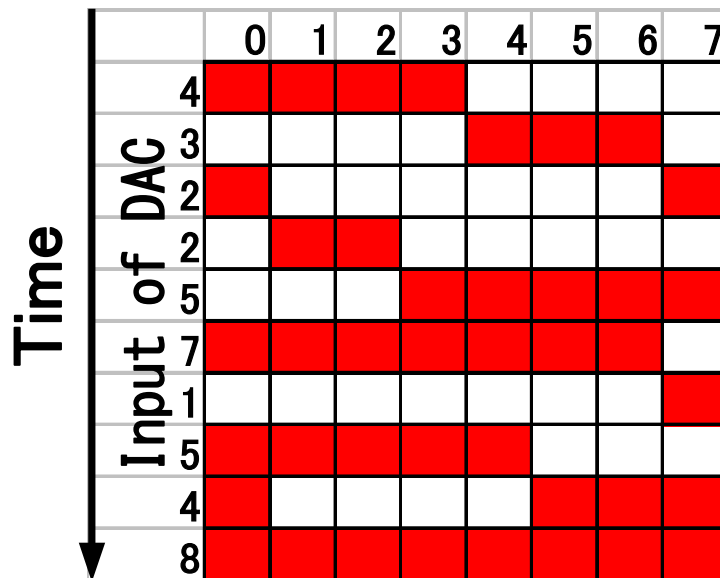


電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

デジタル信号処理で DAC非線形性をノイズシェープ

Data Weighted Averaging (DWA)アルゴリズム

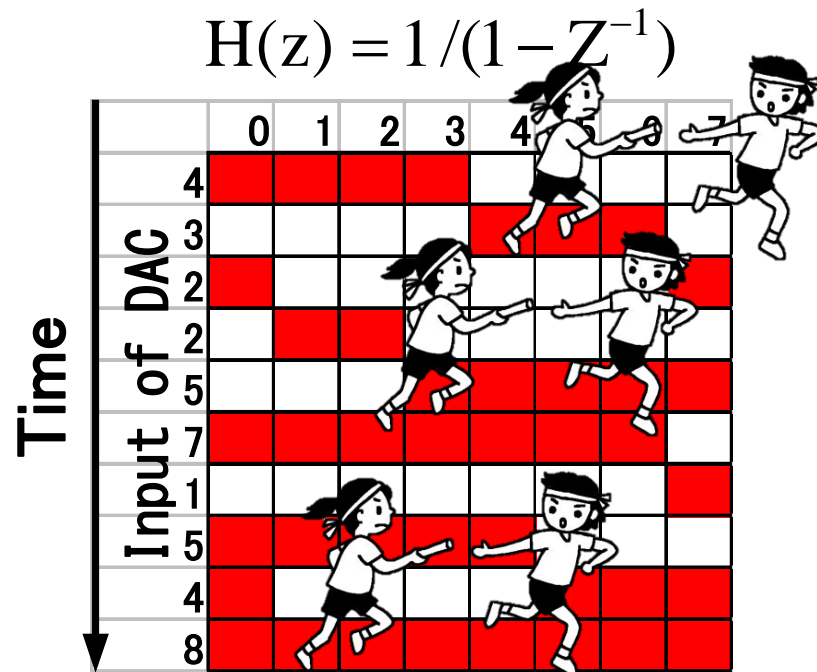
$$H(z) = 1/(1 - Z^{-1})$$



セグメント型の
冗長性を利用

デジタル信号処理で DAC非線形性をノイズシェープ

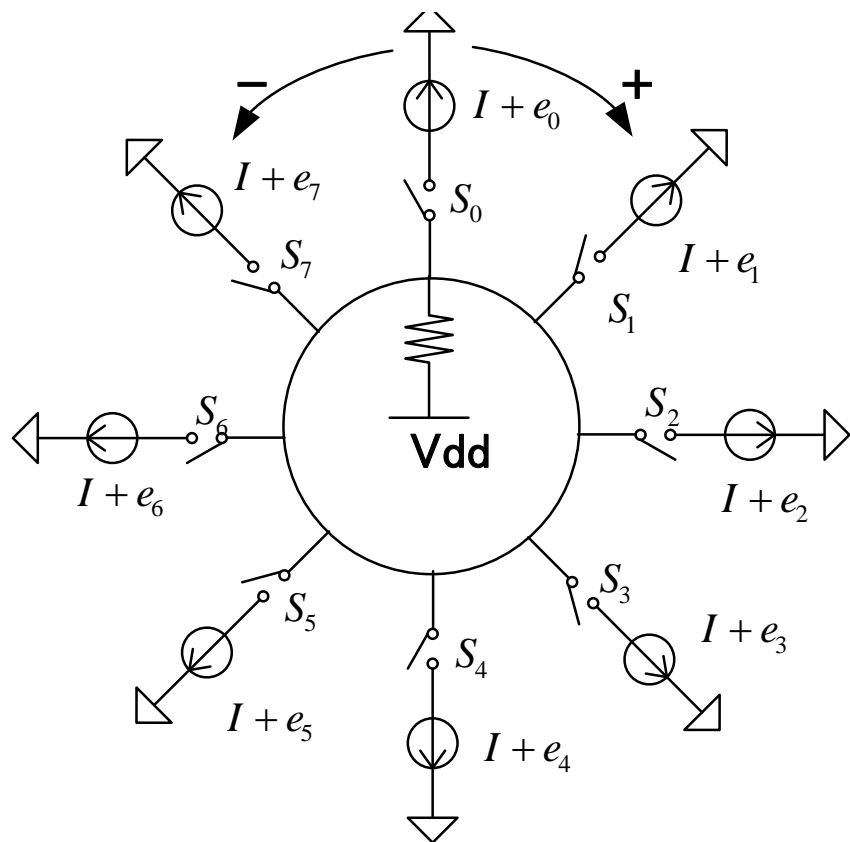
Data Weighted Averaging (DWA)アルゴリズム



バトンレースの動作

LowPass DAC非線形性

ノイズ・シェープ・アルゴリズム



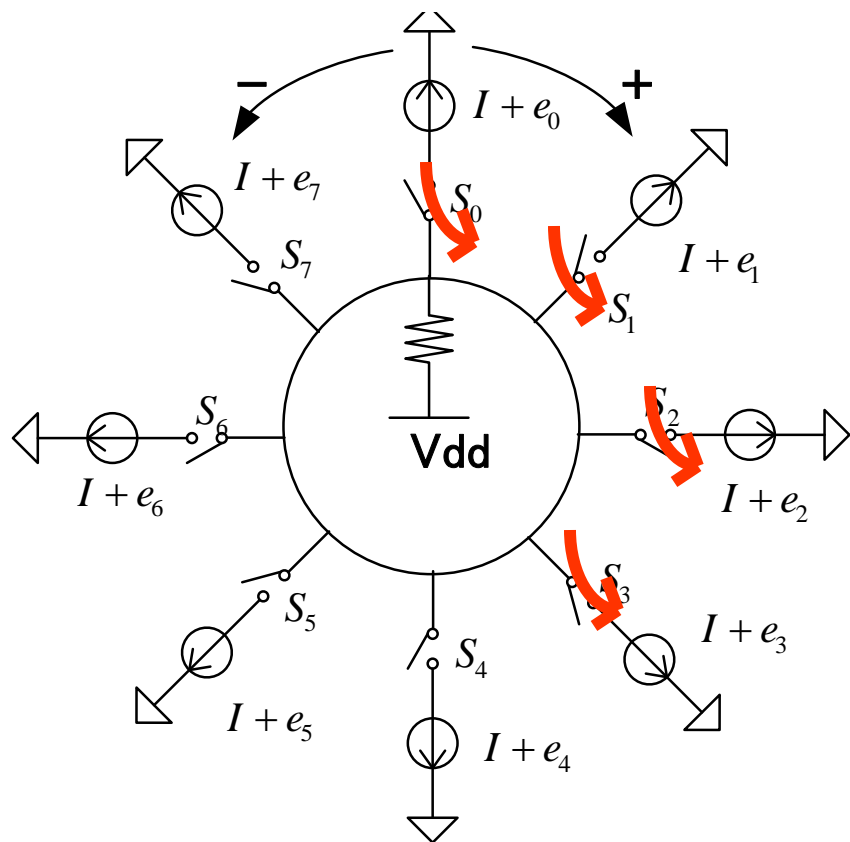
$$H(z) = 1/(1 - Z^{-1})$$

Time

	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

LowPass DAC非線形性

ノイズ・シェープ・アルゴリズム



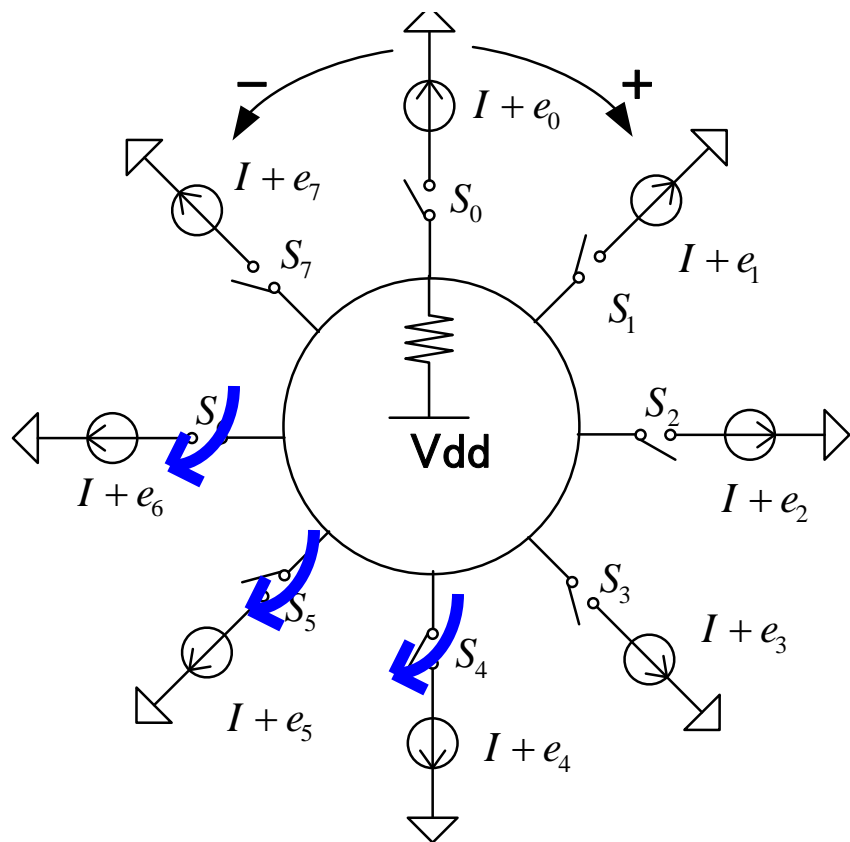
$$H(z) = 1/(1 - Z^{-1})$$

Time

	0	1	2	3	4	5	6	7
4	■	■	■	■				
3					■	■	■	■
2	■							■
2		■	■					
5				■	■	■	■	■
7	■	■	■	■	■	■		
1								■
5	■	■	■	■	■			
4	■					■	■	■
8	■	■	■	■	■	■	■	■

LowPass DAC非線形性

ノイズ・シェープ・アルゴリズム



$$H(z) = 1/(1 - Z^{-1})$$

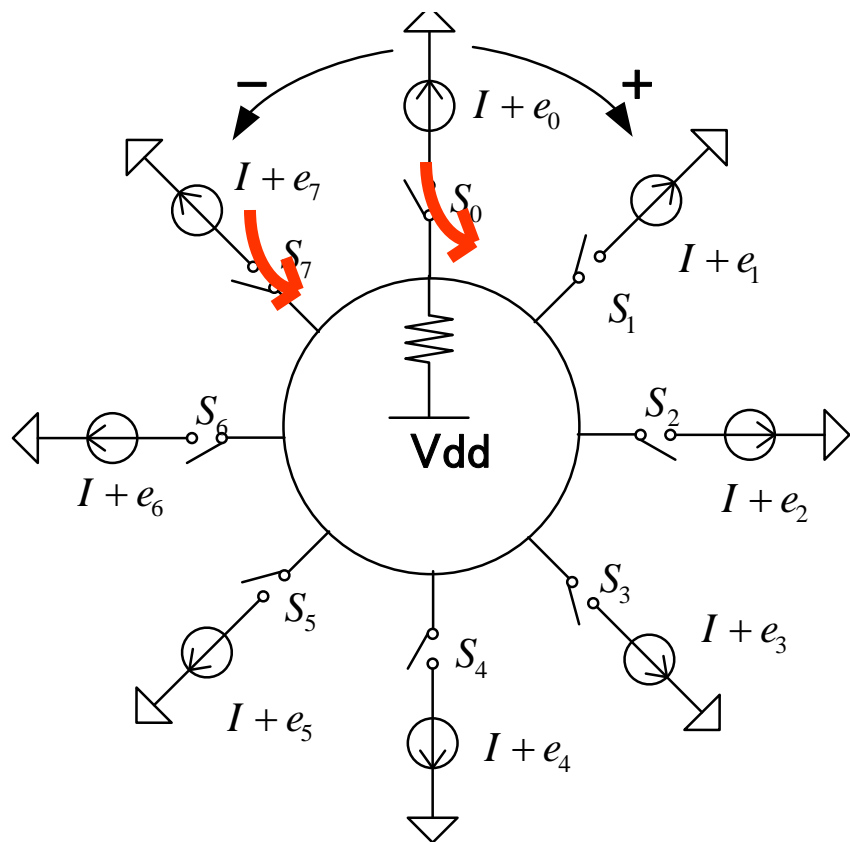
Time

	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

Input of DAC

LowPass DAC非線形性

ノイズ・シェープ・アルゴリズム



$$H(z) = 1/(1 - Z^{-1})$$

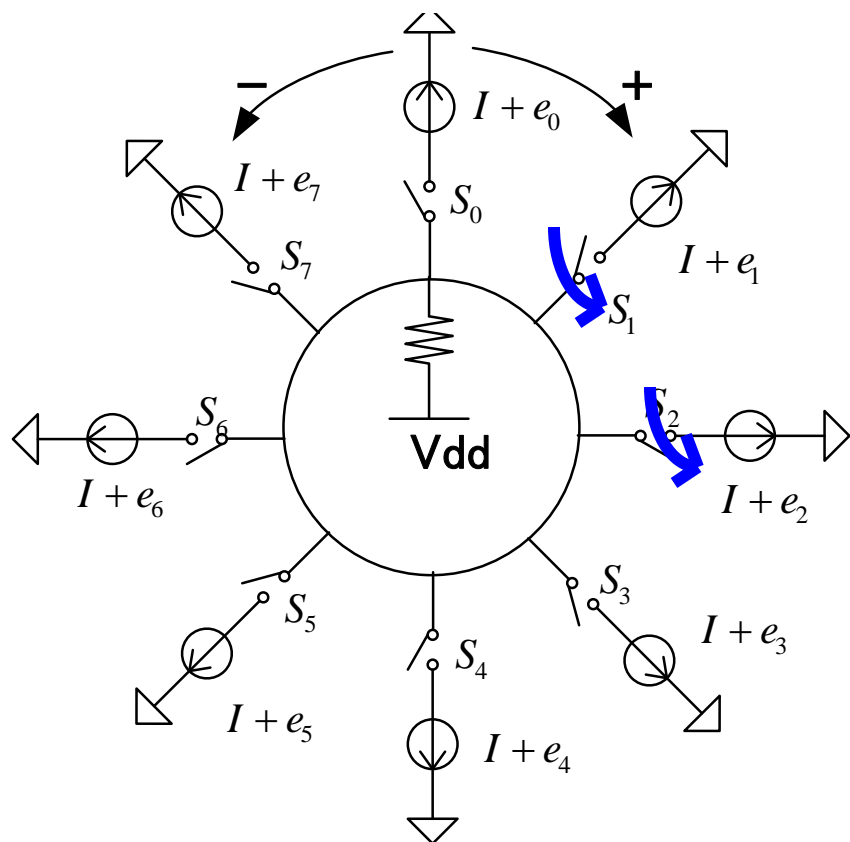
Time

	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

Input of DAC

LowPass DAC非線形性

ノイズ・シェープ・アルゴリズム

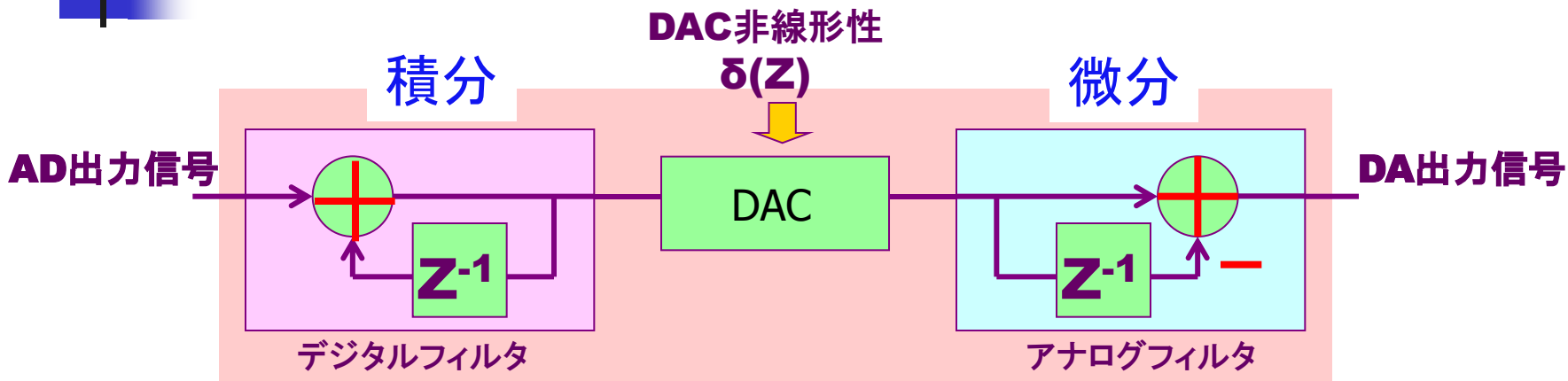


$$H(z) = 1 / (1 - Z^{-1})$$

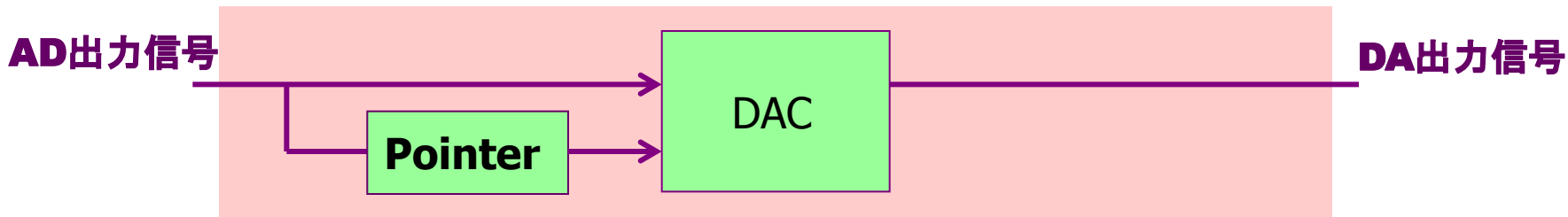
Time

Input of DAC	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

DWA自体も $\Delta\Sigma$ 変調の構造



直接実現できない



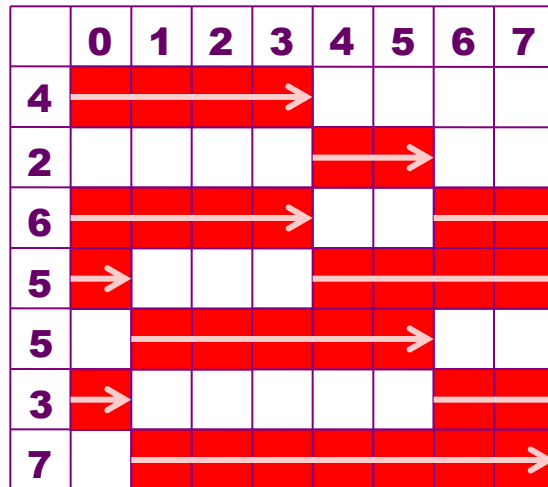
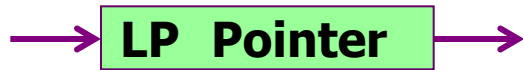
等価実現

DWAの展開:

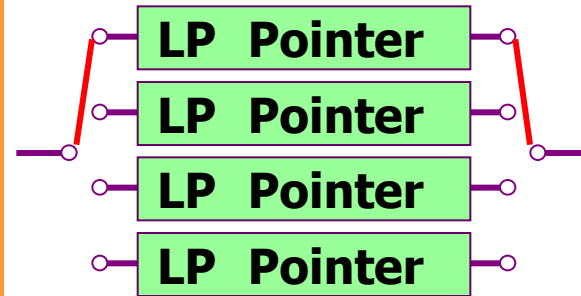
$$\frac{Z^{-N}}{1-Z^{-N}}$$

LP \Rightarrow マルチ BP

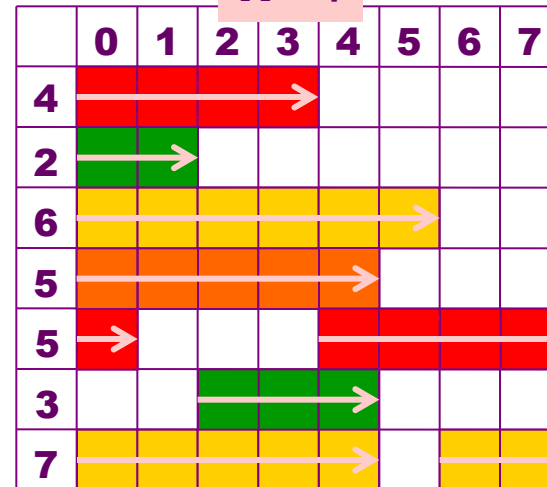
LPアルゴリズム



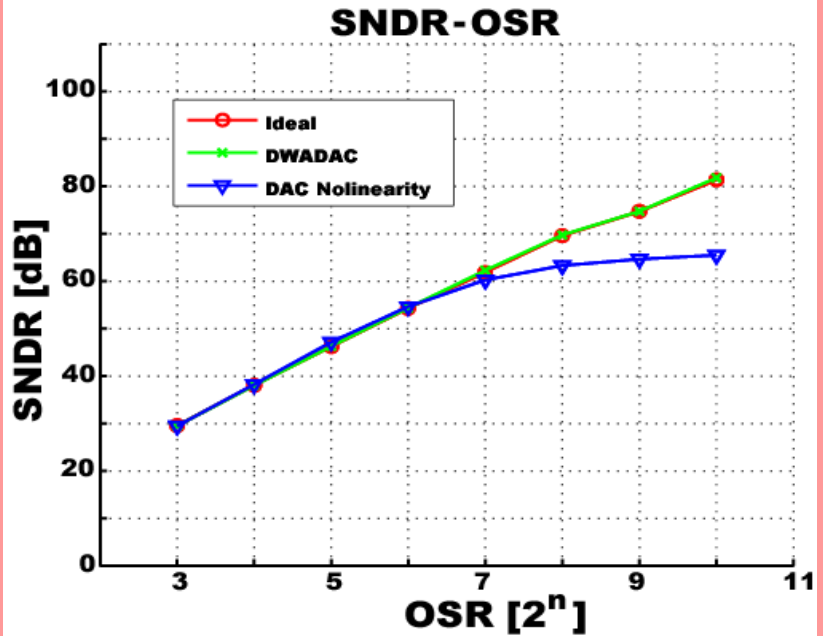
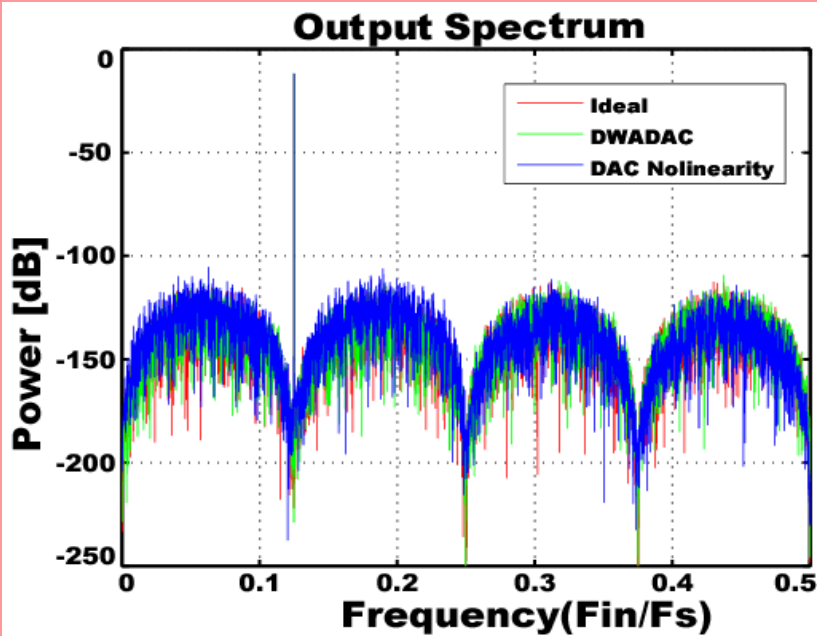
マルチBPアルゴリズム



N=4

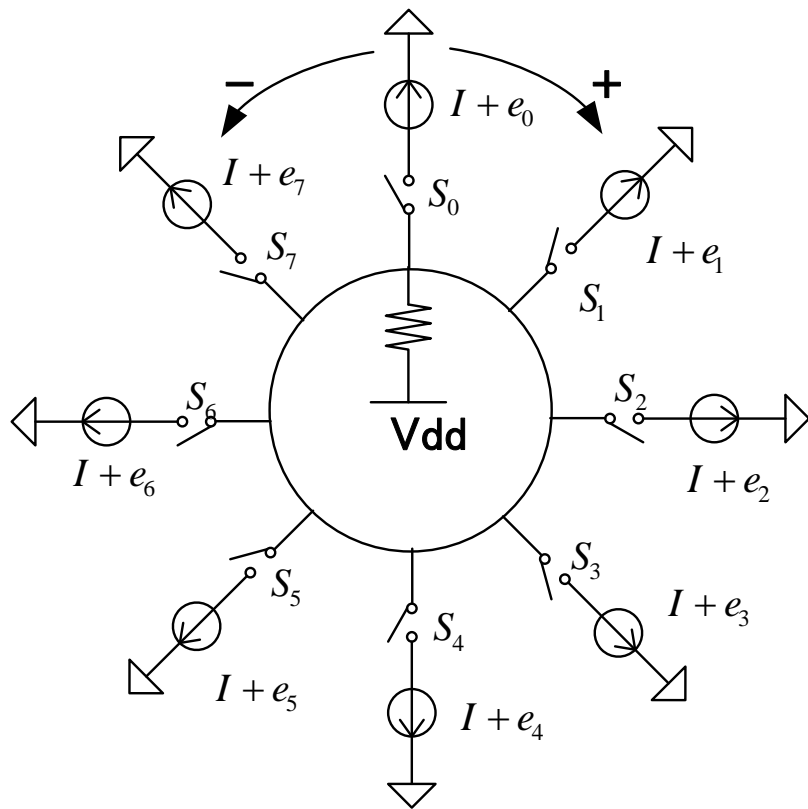


N=8の場合のタイプI マルチバンドパス変調器

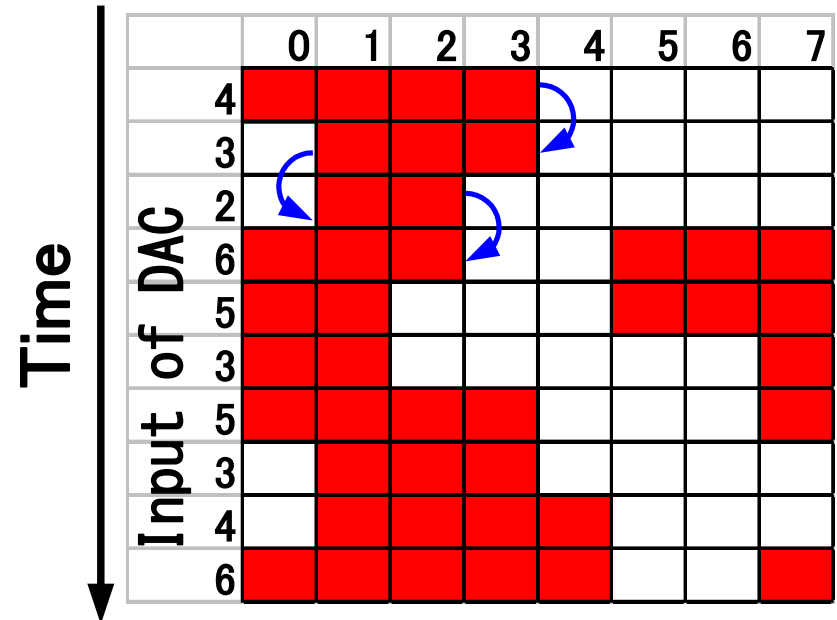


提案DWAアルゴリズムの効果を
シミュレーションで確認

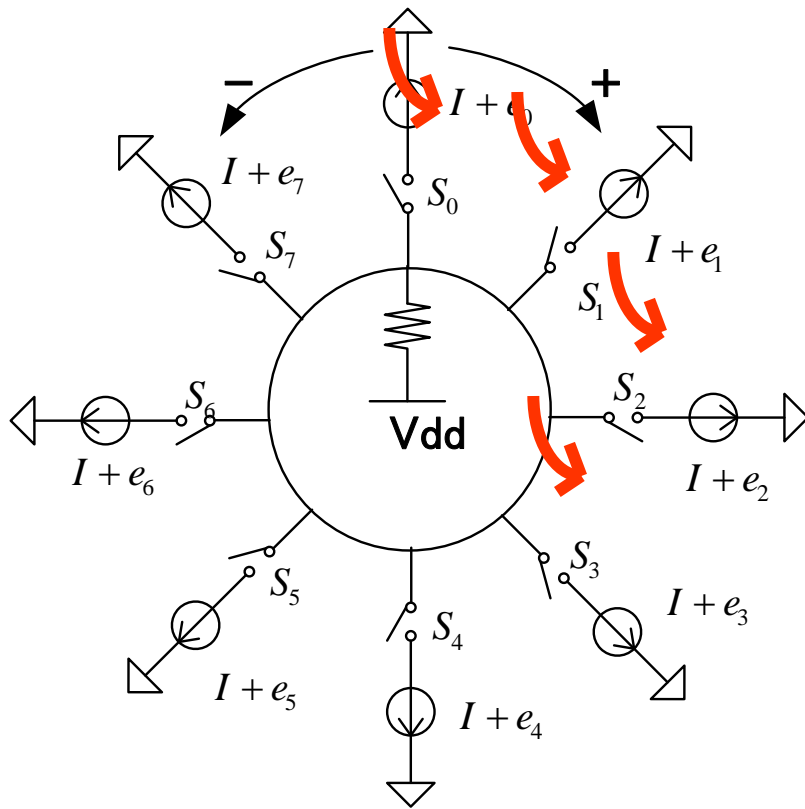
High Pass DAC非線形性 ノイズ・シェープ・アルゴリズム



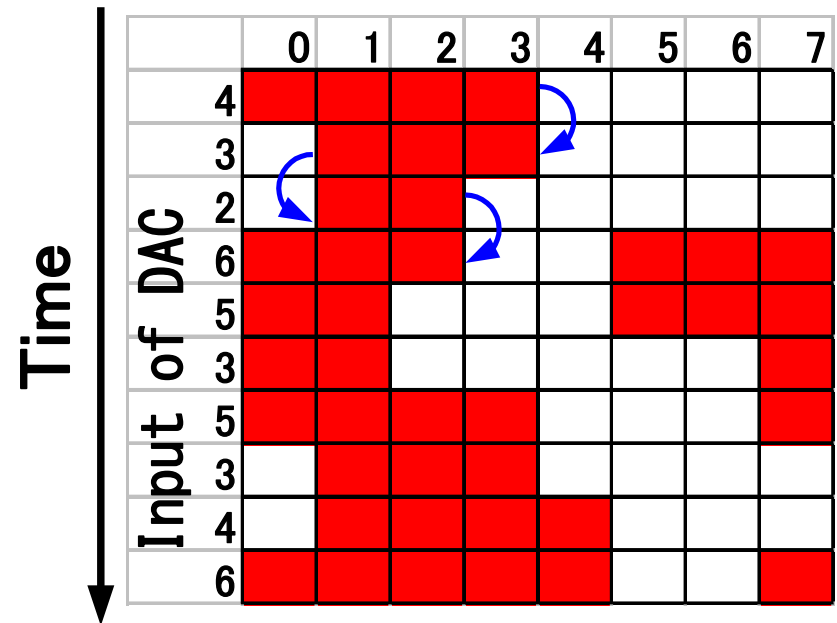
$$H(z) = 1/1 + Z^{-1}$$



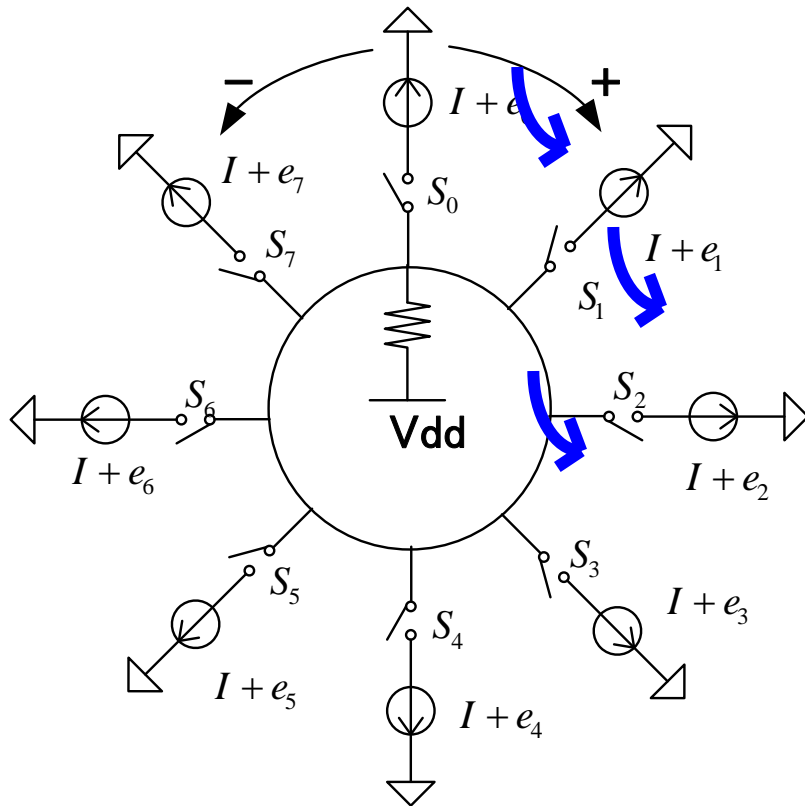
High Pass DAC非線形性 ノイズ・シェープ・アルゴリズム



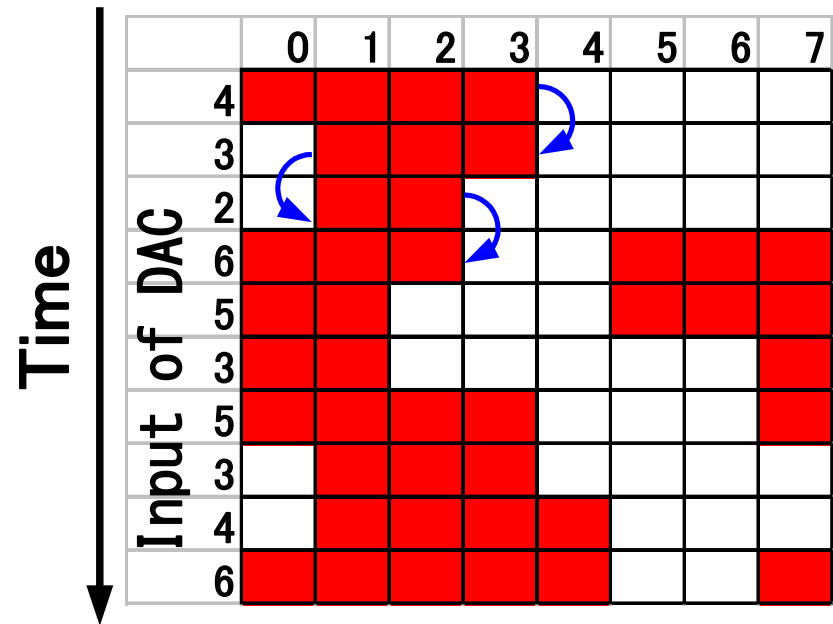
$$H(z) = 1 / (1 + Z^{-1})$$



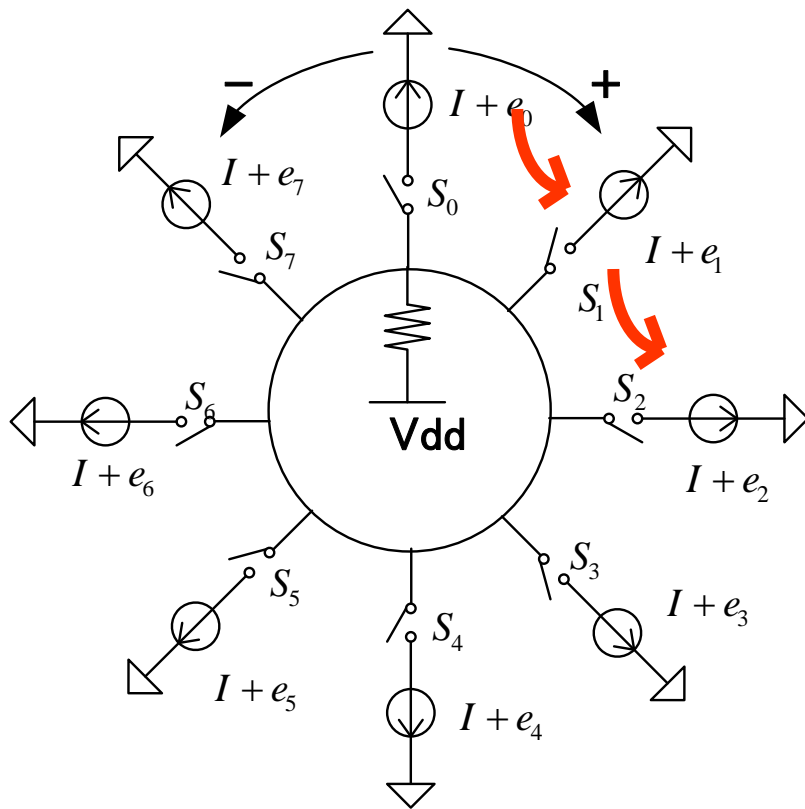
High Pass DAC非線形性 ノイズ・シェープ・アルゴリズム



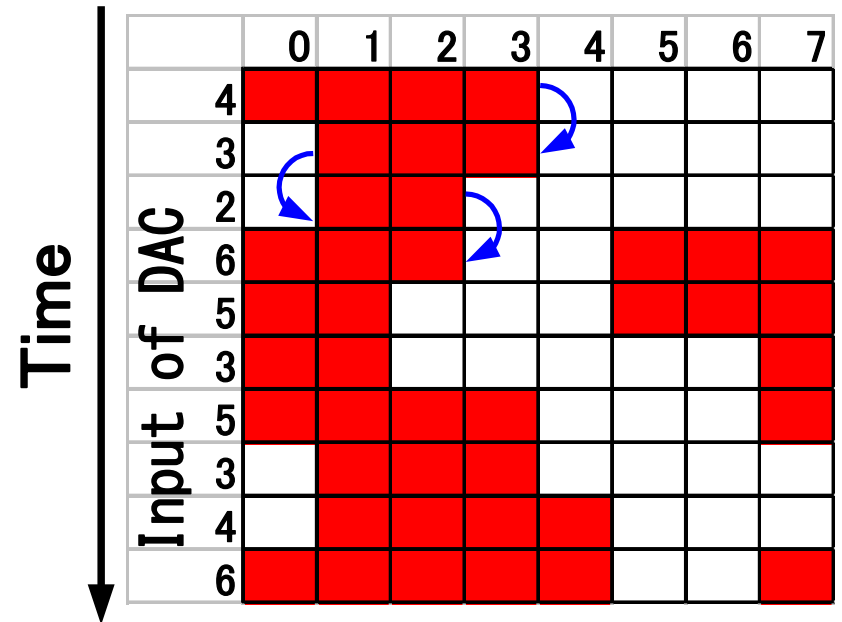
$$H(z) = 1/1 + Z^{-1}$$



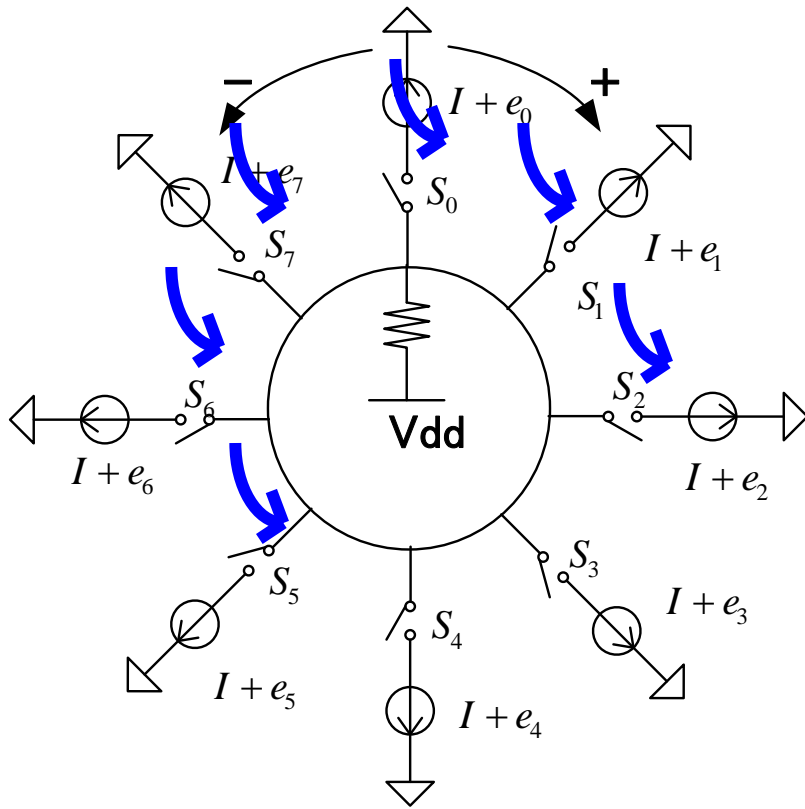
High Pass DAC非線形性 ノイズ・シェープ・アルゴリズム



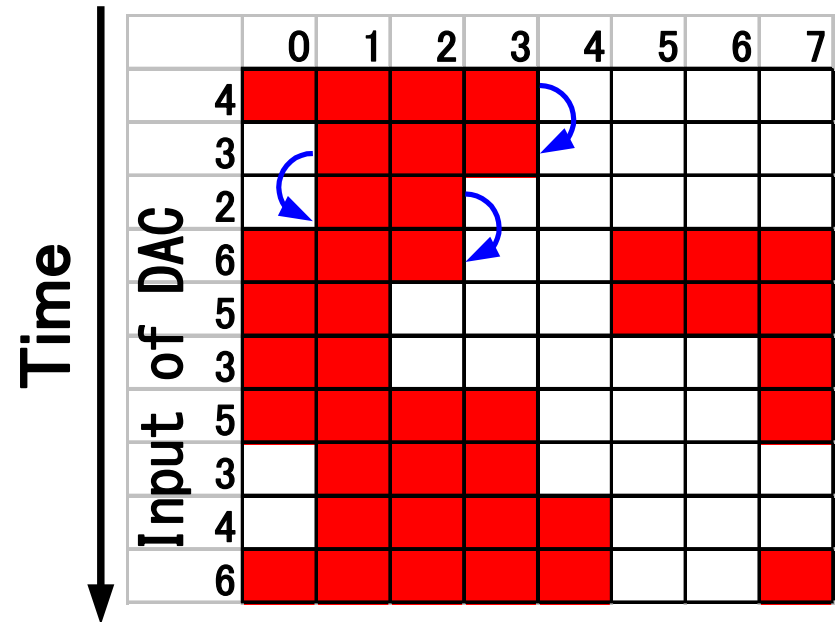
$$H(z) = 1/1 + Z^{-1}$$



High Pass DAC非線形性 ノイズ・シェープ・アルゴリズム



$$H(z) = 1/1 + Z^{-1}$$

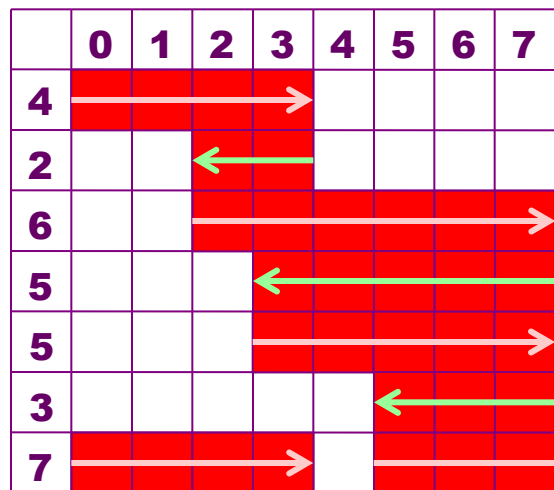
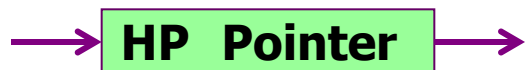


DWAの展開:

$$\frac{-Z^{-N}}{1+Z^{-N}}$$

HP ⇒ BP ⇒ マルチBP

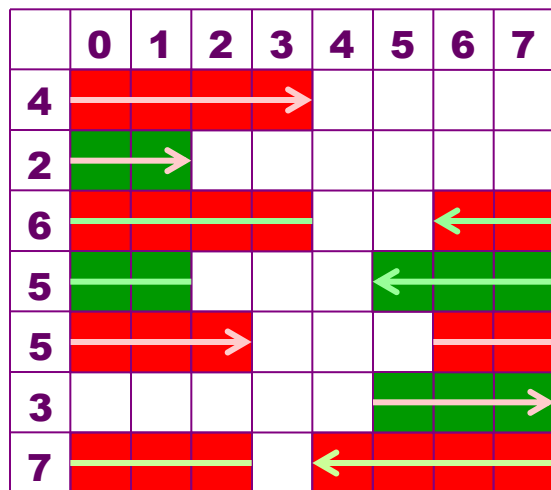
HPアルゴリズム



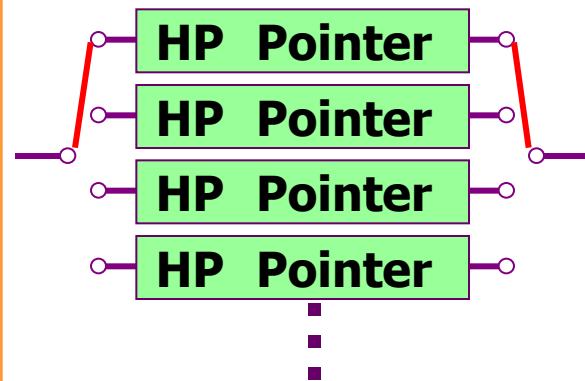
BPアルゴリズム



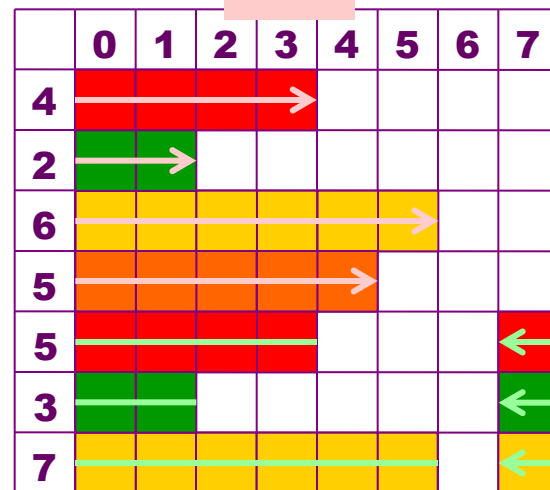
1回の出力ごとに切り替える



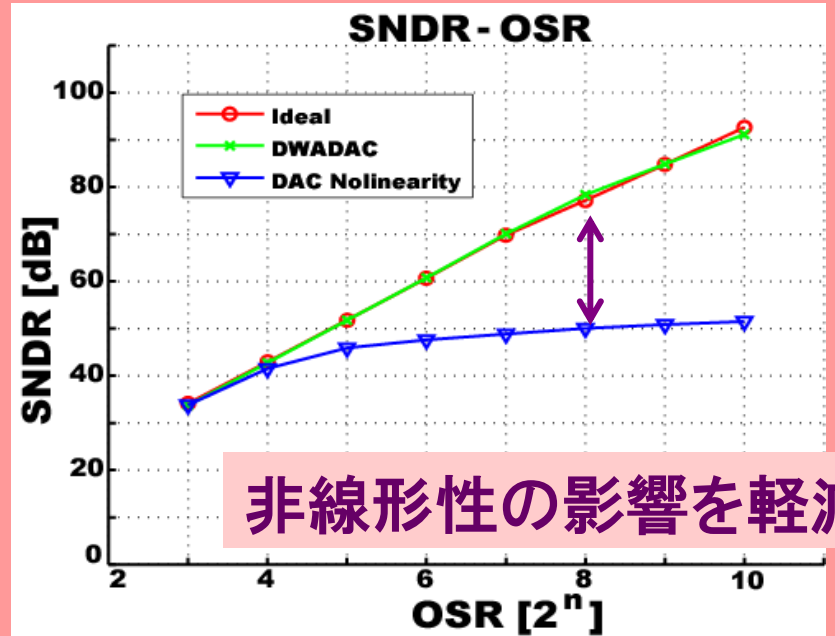
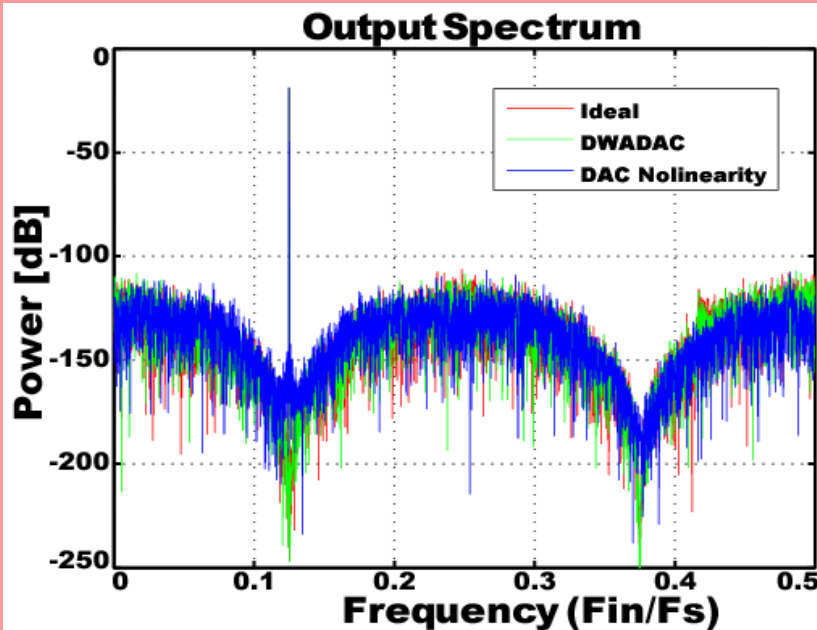
マルチBPアルゴリズム



N=4

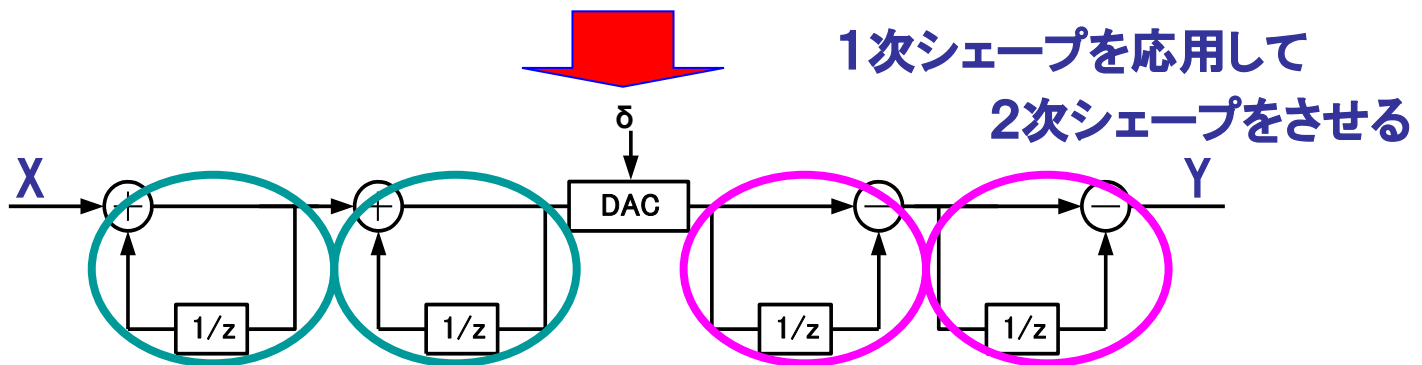
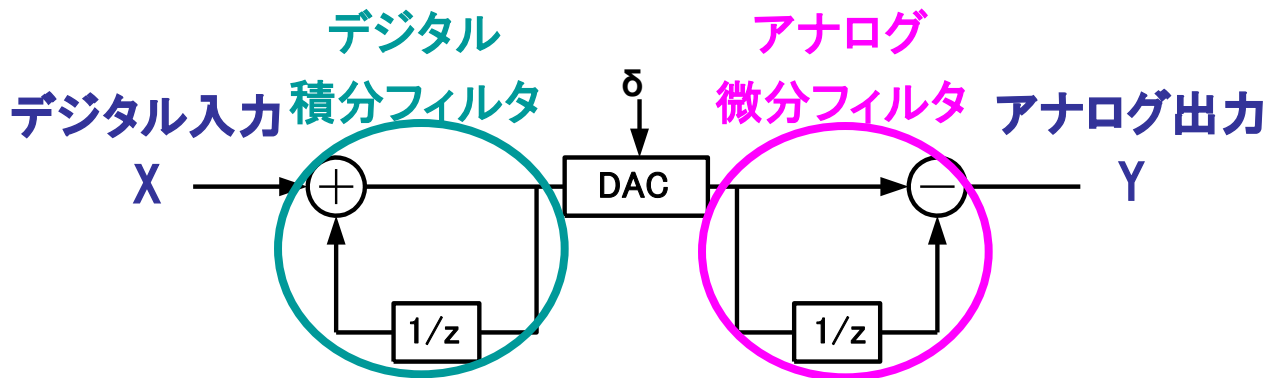


N=4の場合のタイプII マルチバンドパス変調器



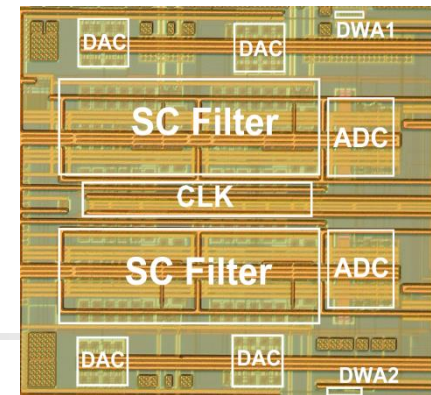
提案DWAアルゴリズムの効果を
シミュレーションで確認

DWAの展開: 2次ノイズシェープ

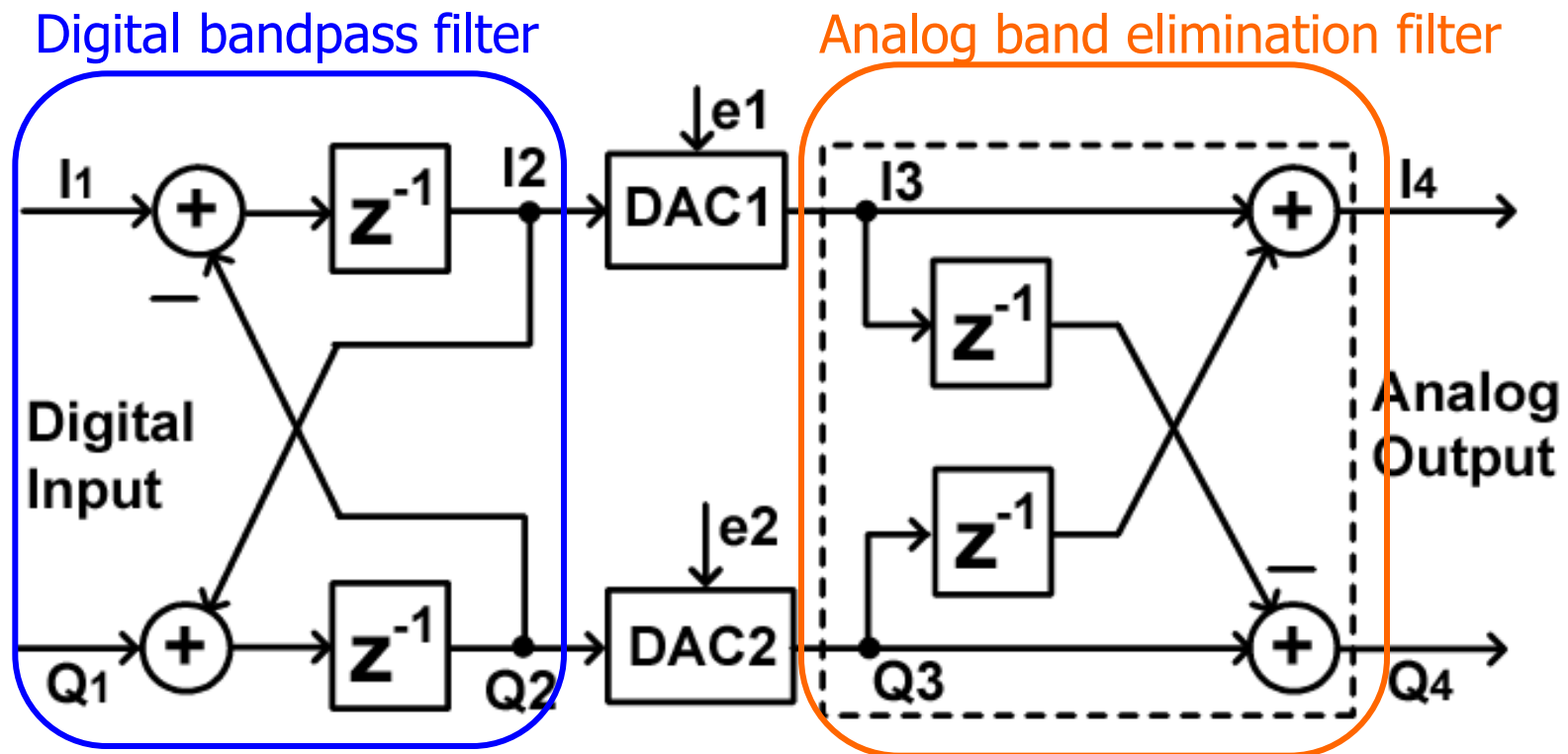


$$Y(z) = X(z) + (1 - 1/Z)^2 \delta(z)$$

DWAの展開: 複素バンドパスシェープ



群馬大・STARC共同研究
試作チップ





DWA技術の位置づけ

「 $\Delta\Sigma$ AD/DA変換器の低消費電力化

→ デジタル信号処理で行う」との位置付

$\Delta\Sigma$ AD/DA変調器のマルチビット化



アンプ要求緩和で低消費電力化

DAC非線形性は

デジタル信号処理(DWA)で補正



人材登用に例えると

- DWAアルゴリズム

「万遍なく、偏りなく」という方針のみ

その人がどのような人かは見ていない

人材登用に例えると（続き）

- 自己校正法1

「適材適所」

その人を見てその人に応じて



- 自己校正法2

人を教育して、皆同じレベルに



発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ



まとめ

- AD/DA変換器の性能向上のために
デジタル自己校正・補正技術は重要
- 信頼性向上にも寄与できる可能性あり
- サンプリング理論、 $\Delta\Sigma$ 変調考案等
日本人のパイオニアとしての貢献あり



発表内容

- プロローグ
- 研究背景
- 冗長逐次比較近似AD変換器
- オーバーサンプリングAD/DA変換技術
- $\Delta\Sigma$ 変調AD/DA変換技術
- まとめ
- エピローグ

エピローグ

人も工学システムも同じ

一見役に立たないと思われるものが
実は大きな役割を果たす。

学生なら勉強が大事。

だけど、リラックスの時間(飲み会等)も大事。

専門分野を極めるには専門科目の勉強が大事。

だけど、雑学も大事。

Take it easy !

付録1

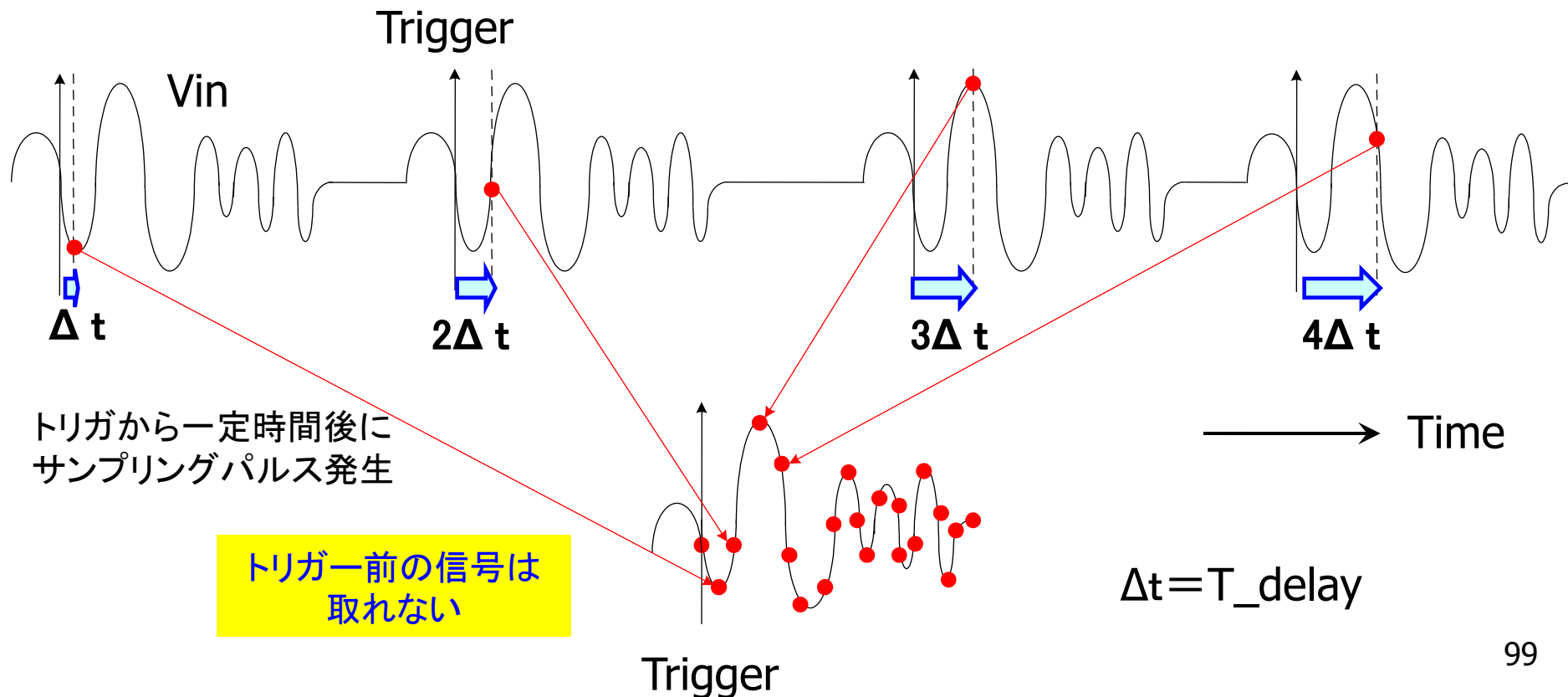
アンダーサンプリング 等価時間サンプリング

- 繰り返し信号に対し適用可
繰り返し信号の生起は等時間間隔でなくてよい。
 $f_s/2$ 以上の入力周波数が含まれていてもよい。
- タイムベース
 - シーケンシャルサンプリング
 - ランダムサンプリング

サンプリングオシロスコープに使用

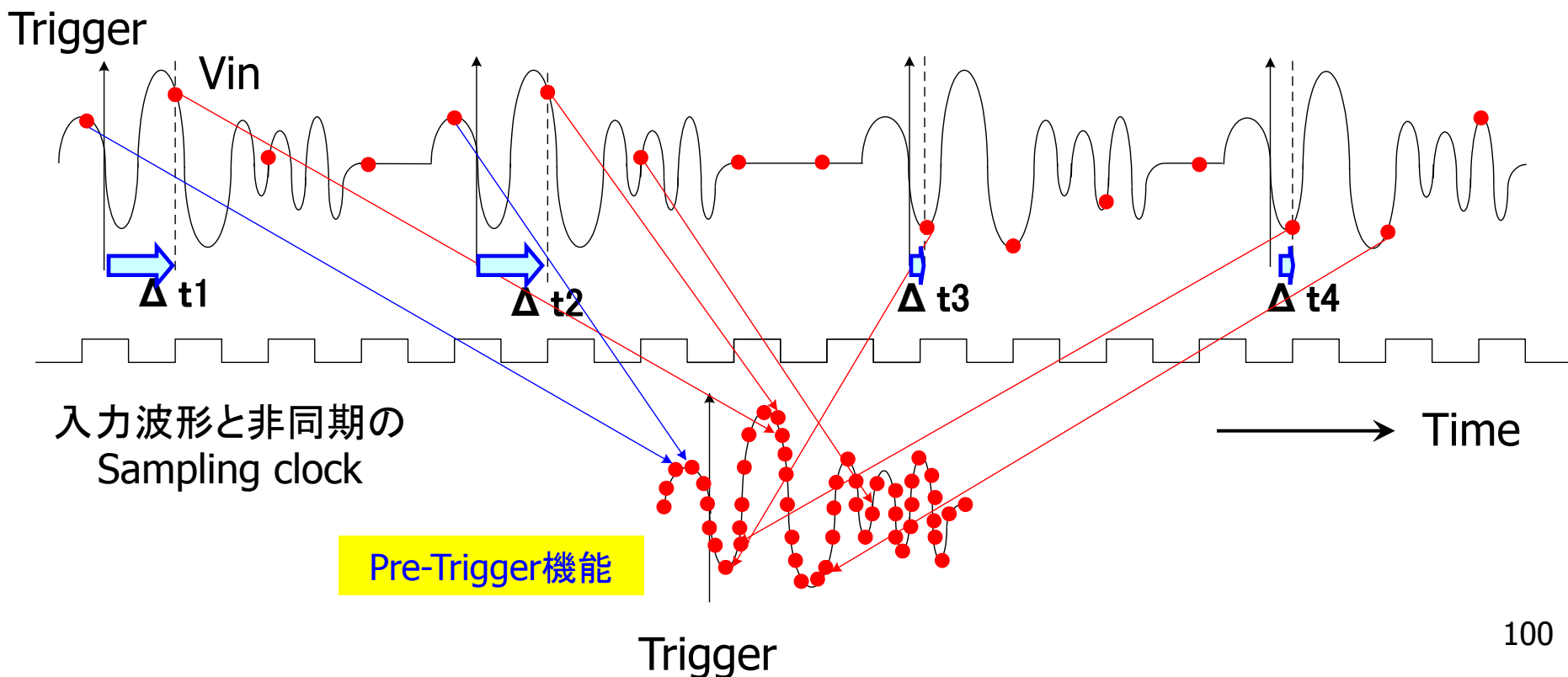
繰り返し波形の等価時間サンプリング - シーケンシャル・サンプリング -

波形収集効率よし
トリガ前の信号を取れない (PreTrigger機能の実現難)



繰り返し波形の等価時間サンプリング - ランダム・サンプリング -

波形収集の効率化が問題
トリガ前の信号を取れる (PreTrigger機能の実現可)



アンダーサンプリング技術 たとえば

読書百遍 義 自ずから通ず

(魏志)

難しい書物であっても、
繰り返し読むうちに意味が自然とわかる



何回も繰り返しデータをサンプリングすれば
高周波波形を計測できる



付録2

日本から学ぶ



「舞の本質は、動作と動作の「間」すなわち「あそび」にあるという。人間の働きは舞であれ仕事であれ、この「間＝あそび」をぎりぎりまで追求するところに完成があるのではないか。あそびが多すぎれば冗漫に墮し、少なければ窮屈である。」

(トヨタ 大野耐一)