

ヒステリシス制御を用いた単一インダクタ 2出力DC-DCスイッチング電源

Single Inductor Multi Output DC-DC Converter Design with Hysteresis Control

田中駿祐[†] 長島辰徳[†] 小堀康功[†] 金谷浩太郎[†] 岡田考志[†] 堺昂浩[†] 高井伸和[†] 小林春夫[†]
小田口貴宏[‡] 山口哲二[‡] 上田公大[‡] 松田順一[§]

[†]群馬大学理工学府

[‡]AKM テクノロジー

[§]旭化成パワーデバイス

Shunsuke tanaka[†] Tatsunori Nagashima[†] Yasunori Kobori[†] Kotaro Kaneya[†] Takashi Okada[†]

Takahiro Sakai[†] Nobukazu Takai[†] Haruo Kobayashi[†]

Takahiro Odaguchi[‡] Tetsuzi Yamaguchi[‡] Kimio Ueda[‡] Jun-ichi Matsuda[§]

[†]Gunma University

[‡]AKM Technology Corporation.

[§](Asahi-Kasei Power Devices Corporation.

1 はじめに

電子機器は小型・高速応答・低消費電力化に向けて研究開発が進められている。電子機器には電圧の安定供給のために多数のスイッチング電源が存在しその回路面積を大きく占めるのはインダクタである。多数のスイッチング電源を小型化する手法として1つのインダクタにより多数の電圧を出力する単一インダクタ・マルチ出力 (Single Inductor Multiple Output - SIMO) 電源が研究されている⁽¹⁾。また、多くのスイッチング電源はパルス幅変調制御が行われている。パルス幅変調制御はノコギリ波発生回路を必要とするため回路面積が大きくなる。さらに負荷変動に対する高速応答にも限界がある。そこで我々はヒステリシス制御に注目した。ヒステリシス制御は簡単な回路構成で制御が行われるため回路の小型化ができ、非線形の制御であることから ON 時間と OFF 時間を固定できるため高速応答に優れる⁽²⁾。本論文ではシミュレーションによって、ヒステリシス片側制御を用いて降圧形の単一インダクタ単出力 (Single Inductor Single Output - SISO) の動作と性能を確認し、単一インダクタ 2 出力 (Single Inductor Dual Output - SIDO) 電源に適用して動作と負荷変動に対する高速応答を

確認した。シミュレーションは SIMPLIS を用いた。十分な性能を確認したので、シミュレーションを行った回路の実装回路の作成、測定を行った。

2 シミュレーションによる動作確認

2.1 降圧形 SISO 電源の基本構成と動作結果

通常、スイッチング電源回路は出力電圧が基準電圧より低下した場合、入力電圧から出力電圧に電流供給を行う。出力電圧が過渡応答などで基準電圧を上回った場合は、出力電圧の低下は負荷出力電流による自然低下に依存するため、出力電圧が基準電圧より低下した場合に電流を供給する制御があれば良い。

そこで図1のようなヒステリシス片側制御を考える。図1の回路はエラーアンプで比較、増幅した電圧をコンパレータを用いて、基準電圧より低下した場合のみ電流供給を行う回路である。この制御を SIDO 電源に用いることを提案する。まず、ヒステリシス片側制御の動作を確認する。図2に、 $V_{in} = 9[V]$ 、 $V_{ref} = 5[V]$ 、 $L = 10[\mu H]$ 、 $C = 470[\mu F]$ とし、出力電流を 1.0 A および 0.5 A に変化させたときの負荷応答のシミュレーション結果を示す。出力電圧のリプ

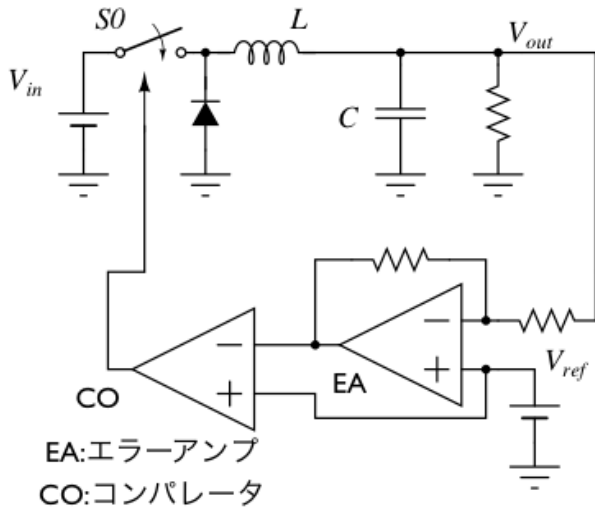


図 1: ヒステリシス制御降圧形 SISO 電源の回路図

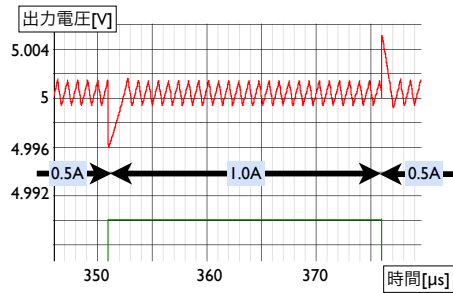


図 2: 図 1 の応答特性

ルはいずれも 10 mV 以下となり、負荷変動に対する応答性は $2\mu\text{s}$ 以下である。次に、図 1 の回路構成を SIDO 電源の制御部に適用する。

2.2 降圧形 SIDO 電源の基本構成と動作結果

一般的な SIDO の制御回路ではクロック信号により制御する電源を切替えるが、提案する制御ではこの選択に図 3 に示すような 2 電源の出力電圧誤差を比較して選択信号 SEL を得る方法を用いる。この SEL 信号により、 V_{out2} の電源に設けられたスイッチ S2 を制御し、出力電圧が基準電圧と比べ、より足りない出力電源に電流を供給する。出力の後段にあるエラーアンプの出力電圧が 2 つとも 0 になった場合は電流供給が不要の状態であり、OR 回路で検出して OR 回路により降圧形のスイッチング動作をするメイン・スイッチ S1 を停止する制御となる。

表 1 のパラメータを用い、出力電流を 1.0 A および 0.5 A に変化させたときの負荷応答のシミュレーション結果を図 4, 図??に示す。出力電圧のリプルはいず

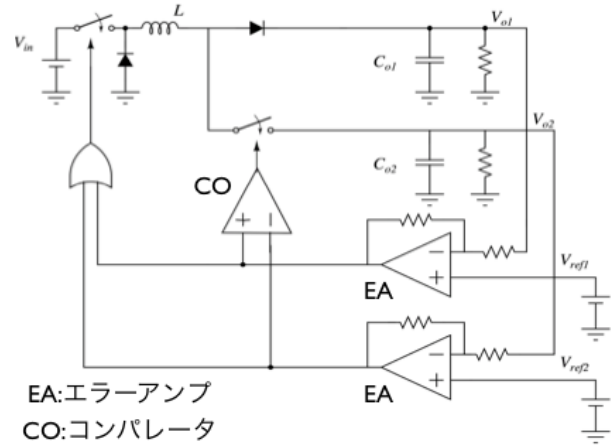


図 3: ヒステリシス制御降圧形 SIDO 電源の回路構成

入力電圧 V_{in}	6V
出力電圧 V_{ref1}	4V
出力電圧 V_{ref2}	3.3V
インダクタ L	$0.5\mu\text{H}$
出力容量 C_{o1}, C_{o2}	$470\mu\text{F}$

表 1: 図 3 の素子パラメータ

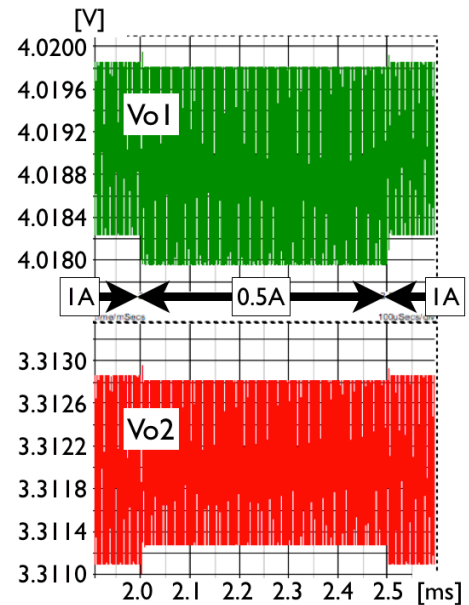


図 4: 図 3 の応答特性

れも 2 mV 以下、オーバー/アンダー・シュート、クロス・レギュレーションもすべて 2mV 以下であり、出力電圧は負荷変動後 $10\mu\text{s}$ 以内で収束していることが確認できる。

3 実装による動作確認

3.1 降圧形 SISO 電源の動作結果

シミュレーションで性能を確認したので、提案した回路の実装回路による実験を行った。シミュレーションと同様に SISO 電源で性能を確認し、SIDO 電源の実装実験を行った。実装回路を図 5 に示す。シミュレーション回路と異なる点としては、電源ノイズ、基準信号 V_{ref} のノイズを抑えるため、それぞれコンデンサを並列に接続している。また、コンパレータがオープンコレクタ出力タイプなので、コンパレータ出力と電源ラインの間にプルアップ抵抗を繋ぐことでコンパレータの出力を得ている。また、PMOS の寄生容量を通してコンパレータのノイズが出力電圧に付加されないように PMOS のゲート端子とコンパレータの間に抵抗を接続した。測定条件は $V_{in}=9[V]$ 、 $V_{ref}=5.1[V]$ 、実装条件は $L=10[\mu H]$ 、 $C=470[\mu F]$ とし、シミュレーションの条件とほぼ同様の素子値で実装回路の作成を行った。実装回路の測定結果を図 6 および図 7 に示す。図 6 の実装結果が DC 表示であり、図 7 の実装結果が AC 表示である。図 6 の DC 表示の結果より、作成した回路が所望の出力電圧に収束していることが確認できる。図 7 の AC 表示の結果より、作成した回路の出力電圧リップルはノイズを含め約 6mV 程度であり、ノイズを無視すれば 3mV とシミュレーションの結果とほぼ同値であることが確認できる。

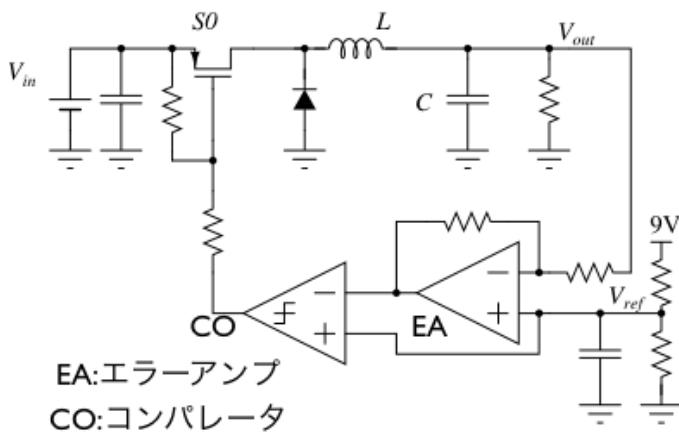


図 5: 実装における降圧形 SISO 電源の回路構成

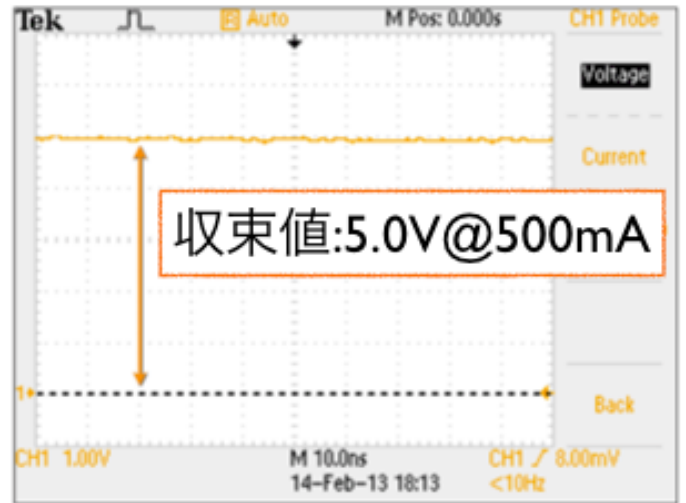
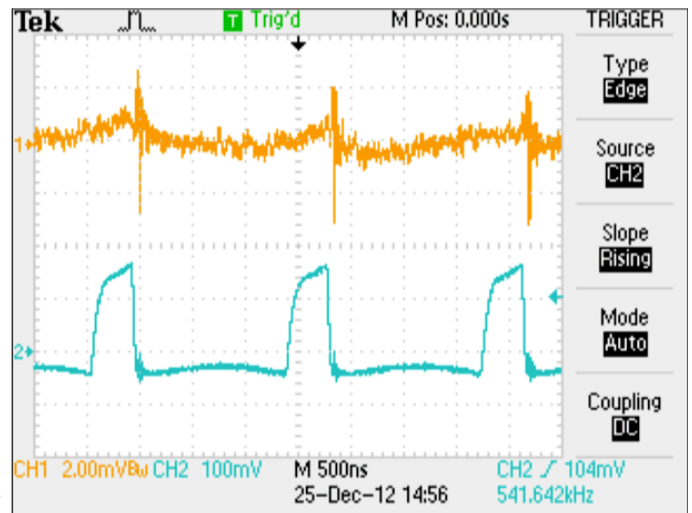


図 6: 図 5 の応答特性



橙：出力電圧 V_o (5.0V@500mA)

青：スイッチ制御波形

図 7: 図 5 の応答特性 (リップル)

3.2 降圧形 SISO 電源の動作結果

次に提案するヒステリシス制御を用いた降圧形 2 出力電源の実装での動作確認をおこなった。作成した測定用回路の回路構成を図 8 に示す。シミュレーション回路と異なる点は、降圧形 SISO 電源と同様である。実装条件は図 2 に示したように、シミュレーションの条件とほぼ同様の素子値で回路の作成を行った。実装回路の測定結果を図 9 および図 10 に示す。図 9 の実装結果が DC 表示であり、図 10 の実装結果が AC 表示である。図 9 の DC 表示の結果より、作成した回路の出力電圧が基準電圧の値に収束していることが確認できる。図 10 の AC 表示の結果より、作成した回路の出力電圧リプルを確認でき、出力電圧 V_{o1} では出力電圧リプルは約 25mV 程度で、出力電圧 V_{o2} では出力電圧リプルは約 18mV となっており、シミュレーションの結果と大きなズレが生じている。この要因は、実装回路では電源ラインにノイズが付加されないように用いている抵抗と MOS の寄生容量との時定数がスイッチング周波数に影響し、スイッチングスピードが遅れ、出力電圧リプルの増大に繋がっていると考えられる。さらに、エネルギーが十分になっても V_{o1} へ供給し続けるので、 V_{o1} につながるダイオードを MOS によるスイッチにすることにより、リプルが低減できると考えられる。

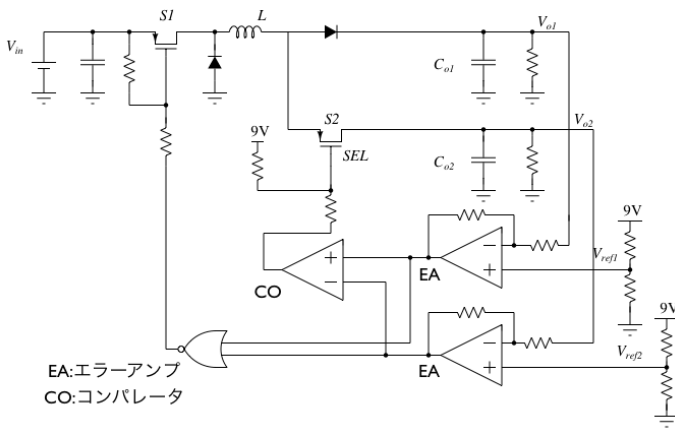
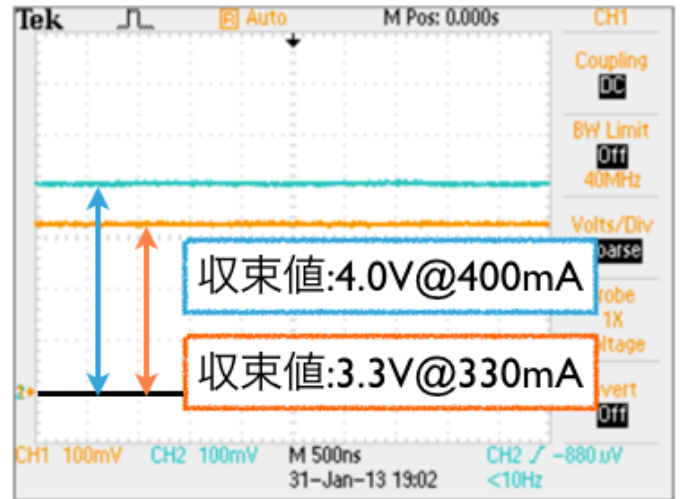


図 8: 実装における降圧形 SISO 電源の回路構成

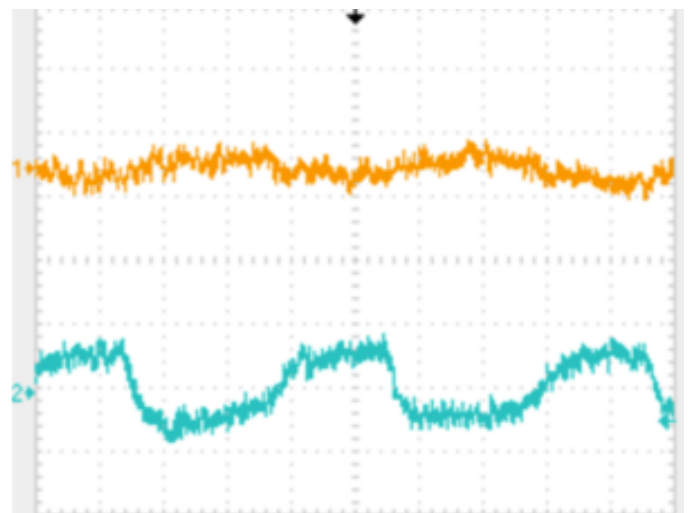
入力電圧 V_{in}	6V
出力電圧 V_{ref1}	4V
出力電圧 V_{ref2}	3.3V
インダクタ L	$0.5 \mu\text{H}$
出力容量 C_{o1}, C_{o2}	$470 \mu\text{F}$

表 2: 図 8 の素子パラメータ



青：出力電圧 V_{o1}
橙：出力電圧 V_{o2}

図 9: 図 8 の応答特性



青：出力電圧 V_{o1} (4.0V @ 400mV)
橙：出力電圧 V_{o2} (3.3V @ 330mV)

図 10: 図 8 の応答特性 (リプル)

4 まとめ

単一インダクタ 2 出力電源において、両電圧誤差を比較して制御対象電源を選択する片側ヒステリシス制御方式の動作をシミュレーション、実装回路を作成、測定することで動作を確認した。シミュレーションにおいて、SIDO 電源では出力リップルは 2mV 以下、セルフ/クロス・レギュレーションともに 5mV 以下であり負荷応答も $10\mu\text{s}$ 以下と十分な応答特性を得ている。しかし、実装回路ではリップルが 30mV ほど確認できる。今後の課題は、メイン・スイッチの切り替えスピードに関係のある RC の調整、ダイオードを MOS に変更し、ロジックを加えるなどを行いリップルを低減し、シミュレーションの値に近づけることである。

参考文献

- [1] Young-Jin Woo, Hanh-Phue Le, Gyu-Ha Cho, Gyu-Hyeong Cho, “Load-Independent Control of Switching DC-DC Converters With Freewheeling Current Feedback,” IEEE Journal of Solid-State Circuits, VOL.43, NO.12, pp.2798-2808, (December 2008).
- [2] Santhos A.Wibowo, 森偉文樹, 津志田健吾, 美和俊介, 小林春夫, 小田口貴宏, 高山茂樹, 鈴木聡, 深井功, 松田順一, ”A Single-Inductor Dual-Output DC-DC Converter,” 電子情報通信学会 第 22 回 回路とシステム (軽井沢) ワークショップ, pp.369-371, (Apr 2009).
- [3] Z.Hu,D.Ma, “A Pseudo-CCM Buck Converter with Freewheel Switching Control,” IEEE International Symposium on Circuits and Systems(ISCAS), pp.3083-3086, (May 2005).
- [4] Y.Kobori, et. al., “Single Inductor Dual Output DC-DC Converter Design with Exclusive Control”, IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).
- [5] 原田耕作, 二宮保, 顧文健, ”スイッチングコンバータの基礎” コロナ社, 1997.
- [6] 馬場新太郎”電源回路設計 成功のかぎ” CQ 出版株式会社 2009.