

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-199950

(P2011-199950A)

(43) 公開日 平成23年10月6日(2011.10.6)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

V

テーマコード(参考)

5H730

審査請求 未請求 請求項の数 22 O L (全 23 頁)

(21) 出願番号 特願2010-61152(P2010-61152)  
 (22) 出願日 平成22年3月17日(2010.3.17)

(71) 出願人 303046277  
 旭化成エレクトロニクス株式会社  
 東京都千代田区神田神保町一丁目105番地  
 (74) 代理人 110001243  
 特許業務法人 谷・阿部特許事務所  
 (71) 出願人 504145364  
 国立大学法人群馬大学  
 群馬県前橋市荒牧町四丁目2番地  
 (74) 代理人 100077481  
 弁理士 谷 義一  
 (74) 代理人 100088915  
 弁理士 阿部 和夫

最終頁に続く

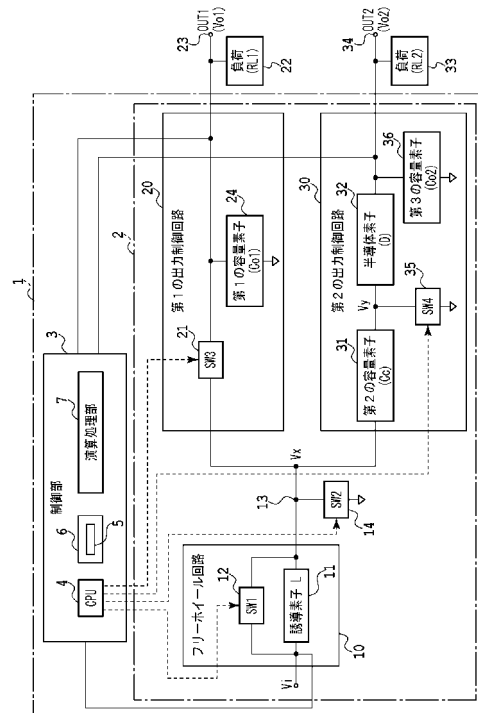
(54) 【発明の名称】 スイッチング制御方法、および、スイッチング電源装置

(57) 【要約】

【課題】 1 コイルで正負の多出力(出力電圧  $V_{o1}$ , 出力電圧  $V_{o2}$ ) を独立して制御すること。

【解決手段】 1 コイル正負多出力のスイッチング電源回路を用いて、第1および第2の出力制御回路の各スイッチング素子を駆動制御する場合において、第1の出力制御回路のスイッチング素子と第2の出力制御回路のスイッチング素子とを互いに異なるタイミングでオン・オフ制御して、第1の出力端子に現れる正電圧出力(出力電圧  $V_{o1}$ ) と、第2の出力端子に現れる負電圧出力(出力電圧  $V_{o2}$ ) とを独立して制御する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

1 コイル正負多出力のスイッチング電源回路を構成する複数のスイッチング素子を駆動制御するスイッチング制御方法であって、

前記 1 コイル正負多出力のスイッチング電源回路は、  
フリーホイール回路と、

前記フリーホイール回路の出力端子に一端が接続され、第 1 の出力端子に現れる正電圧出力をスイッチング素子により制御して出力する第 1 の出力制御回路と、

前記フリーホイール回路の前記出力端子に一端が接続され、第 2 の出力端子に現れる負電圧出力をスイッチング素子により制御して出力する第 2 の出力制御回路と

を有し、

前記 1 コイル正負多出力のスイッチング電源回路を用いて、前記第 1 および第 2 の出力制御回路の各スイッチング素子を駆動制御する場合において、

前記第 1 の出力制御回路の前記スイッチング素子と前記第 2 の出力制御回路の前記スイッチング素子とを互いに異なるタイミングでオン・オフ制御して、前記第 1 の出力端子に現れる正電圧出力と、前記第 2 の出力端子に現れる負電圧出力とを独立して制御する制御ステップを具えたことを特徴とするスイッチング制御方法。

## 【請求項 2】

前記 1 コイル正負多出力のスイッチング電源回路は、

誘導素子と、該誘導素子に並列に接続された第 1 のスイッチング素子とからなる前記フリーホイール回路と、

前記フリーホイール回路の出力端子に一端が接続された第 2 のスイッチング素子と、

前記フリーホイール回路の前記出力端子と前記第 2 のスイッチング素子の前記一端とが接続された接続部に、入力端がそれぞれ接続された前記第 1 および第 2 の出力制御回路とを有し、

前記第 1 の出力制御回路は、前記接続部に一端が接続された第 3 のスイッチング素子と、該第 3 のスイッチング素子の他端が接続された第 1 の出力端子と、前記第 3 のスイッチング素子と前記第 1 の出力端子との間に一端が接続された第 1 の容量素子とを含んで構成され、

前記第 2 の出力制御回路は、前記接続部に一端が接続された第 2 の容量素子と、該第 2 の容量素子の他端に一端が接続された半導体素子と、該半導体素子の他端が接続された第 2 の出力端子と、前記第 2 の容量素子と該半導体素子との間に一端が接続された第 4 のスイッチング素子と、該半導体素子と第 2 の出力端子との間に一端が接続された第 3 の容量素子とを含んで構成されたものであり、

前記 1 コイル正負多出力のスイッチング電源回路を用いて、前記第 1 のスイッチング素子ないし前記第 4 のスイッチング素子のいずれかを駆動制御する場合において、

前記第 1 の出力制御回路の前記第 3 のスイッチング素子と前記第 2 の出力制御回路の前記第 4 のスイッチング素子とを互いに異なるタイミングでオン・オフ制御して、前記第 1 の出力端子に現れる正電圧出力と、前記第 2 の出力端子に現れる負電圧出力とを独立して制御する前記制御ステップを具えたことを特徴とする請求項 1 記載のスイッチング制御方法。

## 【請求項 3】

前記制御ステップは、

前記第 3 のスイッチング素子をオンした後に、前記第 4 のスイッチング素子をオンにするステップを含むことを特徴とする請求項 2 記載のスイッチング制御方法。

## 【請求項 4】

前記制御ステップは、

前記第 1 のスイッチング素子ないし前記第 4 のスイッチング素子のいずれかのスイッチング素子をオンする際に、他のスイッチング素子をオフにするステップを含むことを特徴とする請求項 2 又は 3 記載のスイッチング制御方法。

10

20

30

40

50

## 【請求項 5】

前記制御ステップは、

- 第 2 のスイッチング素子をオンする第 1 ステップと、
- 第 3 のスイッチング素子をオンする第 2 ステップと、
- 第 4 のスイッチング素子をオンする第 3 ステップと、
- 第 1 のスイッチング素子をオンする第 4 ステップと

を順次繰返して行うことを特徴とする請求項 2 ないし 4 のいずれかに記載のスイッチング制御方法。

## 【請求項 6】

前記制御ステップは、

- 前記 2 ステップと前記第 3 ステップとの間に、
- 第 1 のスイッチング素子をオンする第 5 ステップと、
- 第 2 のスイッチング素子をオンする第 6 ステップと

をさらに含むことを特徴とする請求項 5 記載のスイッチング制御方法。

## 【請求項 7】

前記半導体素子は、ダイオードから構成されたことを特徴とする請求項 2 ないし 6 のいずれかに記載のスイッチング制御方法。

## 【請求項 8】

前記半導体素子は、一端の電圧が他端の電圧より高くなるとオフし、低くなるとオンするように制御されたスイッチング素子から構成されたことを特徴とする請求項 2 ないし 6 のいずれかに記載のスイッチング制御方法。

## 【請求項 9】

前記第 1 ないし第 4 のスイッチング素子は、

MOS (Metal - Oxide - Semiconductor) トランジスタ、バイポーラトランジスタ、又は IGBT (Insulated Gate Bipolar Transistor) から構成されることを特徴とする請求項 2 ないし 8 のいずれかに記載のスイッチング制御方法。

## 【請求項 10】

前記第 1 の出力端子に現れる正電圧出力および電流、前記第 2 の出力端子に現れる負電圧出力および電流、前記誘導素子に流れる電流、からなる群より選択される少なくとも一つまたは全てを監視して前記第 1 ないし第 4 のスイッチング素子をオン・オフするタイミングを決めることを特徴とする請求項 2 ないし 9 のいずれかに記載のスイッチング制御方法。

## 【請求項 11】

請求項 1 ないし 10 のいずれかに記載のスイッチング制御方法をコンピュータによって実行可能な命令を有することを特徴とするプログラム。

## 【請求項 12】

請求項 11 記載のプログラムを有することを特徴とするコンピュータ読取り可能な記録媒体。

## 【請求項 13】

1 コイル正負多出力のスイッチング電源回路を構成する複数のスイッチング素子を駆動制御するスイッチング電源装置であって、

前記 1 コイル正負多出力のスイッチング電源回路は、  
フリーホイール回路と、

前記フリーホイール回路の出力端子に一端が接続され、第 1 の出力端子に現れる正電圧出力をスイッチング素子により制御して出力する第 1 の出力制御回路と、

前記フリーホイール回路の前記出力端子に一端が接続され、第 2 の出力端子に現れる負電圧出力をスイッチング素子により制御して出力する第 2 の出力制御回路とを有し、

前記 1 コイル正負多出力のスイッチング電源回路を用いて、前記第 1 および第 2 の出力

10

20

30

40

50

制御回路の各スイッチング素子を駆動制御する場合において、

前記第 1 の出力制御回路の前記スイッチング素子と前記第 2 の出力制御回路の前記スイッチング素子とを互いに異なるタイミングでオン・オフ制御して、前記第 1 の出力端子に現れる正電圧出力と、前記第 2 の出力端子に現れる負電圧出力とを独立して制御する制御手段を具えたことを特徴とするスイッチング電源装置。

【請求項 1 4】

前記スイッチング電源回路は、

誘導素子と、該誘導素子に並列に接続された第 1 のスイッチング素子とからなる前記フリーホイール回路と、

前記フリーホイール回路の出力端子に一端が接続された第 2 のスイッチング素子と、

前記フリーホイール回路の前記出力端子と前記第 2 のスイッチング素子の前記一端とが接続された接続部に、入力端がそれぞれ接続された前記第 1 および第 2 の出力制御回路とを有し、

前記第 1 の出力制御回路は、前記接続部に一端が接続された第 3 のスイッチング素子と、該第 3 のスイッチング素子の他端が接続された第 1 の出力端子と、前記第 3 のスイッチング素子と前記第 1 の出力端子との間に一端が接続された第 1 の容量素子とを含んで構成され、

前記第 2 の出力制御回路は、前記接続部に一端が接続された第 2 の容量素子と、該第 2 の容量素子の他端に一端が接続された半導体素子と、該半導体素子の他端が接続された第 2 の出力端子と、前記第 2 の容量素子と該半導体素子との間に一端が接続された第 4 のスイッチング素子と、該半導体素子と第 2 の出力端子との間に一端が接続された第 3 の容量素子とを含んで構成されたものであり、

前記第 1 のスイッチング素子ないし前記第 4 のスイッチング素子のいずれかを駆動制御する場合において、

前記第 1 の出力制御回路の前記第 3 のスイッチング素子と前記第 2 の出力制御回路の前記第 4 のスイッチング素子とを、互いに異なるタイミングでオン・オフ制御することによって、前記第 1 の出力端子に現れる正電圧出力と、前記第 2 の出力端子に現れる負電圧出力とを独立して制御する前記制御手段を具えたことを特徴とする請求項 1 3 記載のスイッチング電源装置。

【請求項 1 5】

前記制御手段は、

前記第 3 のスイッチング素子をオンした後に、前記第 4 のスイッチング素子をオンにする手段を含むことを特徴とする請求項 1 4 記載のスイッチング電源装置。

【請求項 1 6】

前記制御手段は、

前記第 1 のスイッチング素子ないし前記第 4 のスイッチング素子のいずれかのスイッチング素子をオンする際に、他のスイッチング素子をオフにする手段を含むことを特徴とする請求項 1 4 又は 1 5 記載のスイッチング電源装置。

【請求項 1 7】

前記制御手段は、

第 2 のスイッチング素子をオンする第 1 手段と、

第 3 のスイッチング素子をオンする第 2 手段と、

第 4 のスイッチング素子をオンする第 3 手段と、

第 1 のスイッチング素子をオンする第 4 手段と

を順次繰返して行うことを特徴とする請求項 1 4 ないし 1 6 のいずれかに記載のスイッチング電源装置。

【請求項 1 8】

前記制御手段は、

前記 2 手段と前記第 3 手段との間に、

第 1 のスイッチング素子をオンする第 5 手段と、

10

20

30

40

50

第2のスイッチング素子をオンする第6手段と  
をさらに含むことを特徴とする請求項17記載のスイッチング電源装置。

【請求項19】

前記半導体素子は、ダイオードから構成されたことを特徴とする請求項14ないし18のいずれかに記載のスイッチング電源装置。

【請求項20】

前記半導体素子は、一端の電圧が他端の電圧より高くなるとオフし、低くなるとオンするように制御されたスイッチング素子から構成されたことを特徴とする請求項14ないし18のいずれかに記載のスイッチング電源装置。

【請求項21】

前記第1ないし第4のスイッチング素子は、

MOS (Metal - Oxide - Semiconductor) トランジスタ、バイポーラトランジスタ、又はIGBT (Insulated Gate Bipolar Transistor) から構成されることを特徴とする請求項14ないし20のいずれかに記載のスイッチング電源装置。

【請求項22】

前記制御手段は、

前記第1の出力端子に現れる正電圧出力およびまたは電流、前記第2の出力端子に現れる負電圧出力および電流、前記誘導素子に流れる電流、からなる群より選択される少なくとも一つまたはすべてを監視して前記第1ないし第4のスイッチング素子をオン・オフするタイミングを決めるための制御回路を有することを特徴とする請求項14ないし21のいずれかに記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング制御方法、および、スイッチング電源装置に関し、より詳細には、1コイル正負多出力のスイッチング電源回路を構成する複数のスイッチング素子の制御方式に関する。

【背景技術】

【0002】

図14は、1コイル正負多出力のスイッチング電源回路の構成例を示す。

【0003】

図15は、図14の回路における従来の各スイッチSW1, SW2, SW3, SW4のオン(On)/オフ(Off)タイミングと、コイル電流ILおよびノードVxの電圧の時間変化を示す。

【0004】

まず、時間T1の間にスイッチSW2がOnしてスイッチSW1, SW3, SW4がOffとなる。ノードVxの電圧はGND電圧となり、コイルの両端には入力電圧Viがかかり、コイル電流ILは時間とともに増加していき、コイルに磁気エネルギーが蓄えられる。

【0005】

次に、時間T2の間にスイッチSW2がOffし、スイッチSW3, SW4が同時にOnし、スイッチSW1はOffのままとなる。

【0006】

このとき、コイルLと第1の出力端子OUT1と容量Co1と容量Ccがつながり、コイル電流ILは、容量Co1および容量Ccおよび第1の負荷抵抗RL1へ流れ込んでコイルの磁気エネルギーが振り分けられる。そして、第1の出力端子OUT1の出力電圧Vo1 (=ノードVxの電圧) は入力電圧Viより電圧が高くなり正電圧出力となり、コイルLには電流方向とは逆方向(ノードVxから入力電圧Vi方向)に電圧がかかることにより、コイル電流ILは時間とともに減少していく。なお、図15においては、ノードV

10

20

30

40

50

xの電圧の時間T2の電圧値は平坦に見えるが、微視的には出力電圧V<sub>o1</sub>の時間T2の区間に対応する傾きを有する。これは、後述の図3、8、13においても同様である。容量C<sub>c</sub>には、ノードV<sub>x</sub>側に+、ノードV<sub>y</sub>側に-の電荷が充電される。このようにしてコイルの磁気エネルギーが放出される。

【0007】

次に、時間T3の間にスイッチSW3、SW4がOffし、スイッチSW1がOnし、スイッチSW2はOffのままとなる。ノードV<sub>x</sub>の電圧は入力電圧V<sub>i</sub>と等しくなり、コイルLに電圧がかからなくなり、この間はコイル電流I<sub>L</sub>は一定値に保たれる。

【0008】

次に、再び前述の時間T1と同じスイッチ状態になる。このときノードV<sub>x</sub>はGNDにつながり、容量C<sub>c</sub>のノードV<sub>y</sub>側は負電圧となり、ダイオードD1を通じて第2の出力端子OUT2の出力電圧V<sub>o2</sub>は負電圧出力となる。

10

【0009】

時間T1から時間T3までを一定周期で繰り返す。

【先行技術文献】

【非特許文献】

【0010】

【非特許文献1】Young - Jin Woo et. al. "Load - Independent Control of Switching DC - DC Converters With Freewheeling Current Feedback" IEEE JOURNAL SOLID - STATE CIRCUITS, VOL. 43, NO12, DECEMBER 2008

20

【発明の概要】

【発明が解決しようとする課題】

【0011】

図14の回路において、スイッチ3とスイッチ4を同時にオンする制御方法によると、第1の出力端子OUT1の正電圧は、コイルの磁気エネルギーが蓄えられる時間T1と放出される時間T2との時比率によって決まる。そして第2の出力端子OUT2の負電圧は、その時比率によって決まるため、従来の回路では、第1の出力端子OUT1の正出力と第2の出力端子OUT2の負出力とが依存した関係にある。

30

【0012】

このことを、理論的な計算例から詳細に説明する。

【0013】

なお、出力電圧V<sub>o1</sub>と出力電圧V<sub>o2</sub>は図15に示されるように各スイッチのOn・Offに応じて電圧リップルを生じるが、本発明が属するようなスイッチング電源装置においては、通常、各スイッチのOn・Off周期が十分短く、各出力端子につながる容量C<sub>o1</sub>、C<sub>o2</sub>が十分大きく、各出力電圧の時間平均値に比べて小さく数十mVから数百mV程度であるので、以下の理論的な計算では出力電圧V<sub>o1</sub>および出力電圧V<sub>o2</sub>を時間平均値として算出した。

【0014】

時間T1におけるコイル電流の変化から

40

【0015】

【数1】

$$I_{P-IB} = \frac{V_i}{L} \times T_1 \quad \dots (1)$$

【0016】

時間T2におけるコイル電流の変化から

【0017】

【数 2】

$$IP - IB = \frac{Vo1 - Vi}{L} \times T2 \quad \dots (2)$$

【0018】

また、容量Ccには、出力電圧Vo1で充電される。

【0019】

次に、SW2がOnした時にノードVxの電圧が0Vになるので、ノードVyの電位は -Vo1となり、ダイオードD1の順方向電圧をVFとすると

【0020】

【数 3】

$$Vo2 = -Vo1 + VF \quad \dots (3)$$

10

【0021】

(1)と(2)より

【0022】

【数 4】

$$Vi \times T1 = (Vo1 - Vi) \times T2$$

【0023】

ここで、整理すると

20

【0024】

【数 5】

$$Vo1 = \frac{T1 + T2}{T2} \times Vi \quad \dots (4)$$

【0025】

(3)に代入して

【0026】

【数 6】

$$Vo2 = -\frac{T1 + T2}{T2} \times Vi + VF \quad \dots (5)$$

30

【0027】

(3)または(4)と(5)から、出力電圧Vo1が決まると出力電圧Vo2が一意に決まってしまう。

【0028】

以上説明したように、従来の回路は、コイルに蓄えられた磁気エネルギーを一定周期で切替わるスイッチにより各電圧出力へ振り分けて分配することで、1コイルで正負の電圧出力を行っている。さらに、負電圧出力ではコイルからのエネルギーを容量Ccに一旦蓄えて極性を反転させて負電圧出力を行うことを特徴としている。

【0029】

しかし、上述の通り従来の回路では、正出力(出力電圧Vo1)と負出力(出力電圧Vo2)との関係が従属しており、独立して制御することができないという問題がある。

40

【0030】

そこで、本発明の目的は、1コイル正負多出力のスイッチング電源回路を構成する複数のスイッチング素子のいずれかを駆動制御する場合において、正出力(出力電圧Vo1)を制御するスイッチング素子と負出力(出力電圧Vo2)を制御するスイッチング素子とのオン/オフするタイミングを独立して制御することが可能な、スイッチング制御方法およびスイッチング電源装置を提供することにある。

【課題を解決するための手段】

【0031】

本発明は、1コイル正負多出力のスイッチング電源回路を構成する複数のスイッチング

50

素子を駆動制御するスイッチング制御方法であって、前記 1 コイル正負多出力のスイッチング電源回路は、フリーホイール回路と、前記フリーホイール回路の出力端子に一端が接続され、第 1 の出力端子に現れる正電圧出力をスイッチング素子により制御して出力する第 1 の出力制御回路と、前記フリーホイール回路の前記出力端子に一端が接続され、第 2 の出力端子に現れる負電圧出力をスイッチング素子により制御して出力する第 2 の出力制御回路とを有し、前記 1 コイル正負多出力のスイッチング電源回路を用いて、前記第 1 および第 2 の出力制御回路の各スイッチング素子を駆動制御する場合において、前記第 1 の出力制御回路の前記スイッチング素子と前記第 2 の出力制御回路の前記スイッチング素子とを互いに異なるタイミングでオン・オフ制御して、前記第 1 の出力端子に現れる正電圧出力と、前記第 2 の出力端子に現れる負電圧出力とを独立して制御する制御ステップを具えたことを特徴とする。

10

**【 0 0 3 2 】**

前記 1 コイル正負多出力のスイッチング電源回路は、誘導素子と、該誘導素子に並列に接続された第 1 のスイッチング素子とからなる前記フリーホイール回路と、前記フリーホイール回路の出力端子に一端が接続された第 2 のスイッチング素子と、前記フリーホイール回路の前記出力端子と前記第 2 のスイッチング素子の前記一端とが接続された接続部に、入力端がそれぞれ接続された前記第 1 および第 2 の出力制御回路とを有し、前記第 1 の出力制御回路は、前記接続部に一端が接続された第 3 のスイッチング素子と、該第 3 のスイッチング素子の他端が接続された第 1 の出力端子と、前記第 1 の出力端子に一端が接続された第 1 の容量素子とを含んで構成され、前記第 2 の出力制御回路は、前記接続部に一端が接続された第 2 の容量素子と、該第 2 の容量素子の他端に一端が接続された半導体素子と、該半導体素子の他端が接続された第 2 の出力端子と、前記第 2 の容量素子と該半導体素子との間に一端が接続された第 4 のスイッチング素子と、第 2 の出力端子に一端が接続された第 3 の容量素子とを含んで構成されたものであり、前記 1 コイル正負多出力のスイッチング電源回路を用いて、前記第 1 のスイッチング素子ないし前記第 4 のスイッチング素子のいずれかを駆動制御する場合において、前記第 1 の出力制御回路の前記第 3 のスイッチング素子と前記第 2 の出力制御回路の前記第 4 のスイッチング素子とを互いに異なるタイミングでオン・オフ制御して、前記第 1 の出力端子に現れる正電圧出力と、前記第 2 の出力端子に現れる負電圧出力とを独立して制御する前記制御ステップを具えたことを特徴とする。

20

30

**【 0 0 3 3 】**

前記制御ステップは、前記第 3 のスイッチング素子をオンした後に、前記第 4 のスイッチング素子をオンにするステップを含むことを特徴とする。

**【 0 0 3 4 】**

前記制御ステップは、前記第 1 のスイッチング素子ないし前記第 4 のスイッチング素子のいずれかのスイッチング素子をオンする際に、他のスイッチング素子をオフにするステップを含むことを特徴とする。

**【 0 0 3 5 】**

前記制御ステップは、第 2 のスイッチング素子をオンする第 1 ステップと、第 3 のスイッチング素子をオンする第 2 ステップと、第 4 のスイッチング素子をオンする第 3 ステップと、第 1 のスイッチング素子をオンする第 4 ステップとを順次繰返して行うことを特徴とする。

40

**【 0 0 3 6 】**

前記制御ステップは、前記第 2 ステップと前記第 3 ステップとの間に、第 1 のスイッチング素子をオンする第 5 ステップと、第 2 のスイッチング素子をオンする第 6 ステップとをさらに含むことを特徴とする。

**【 0 0 3 7 】**

前記半導体素子は、ダイオードまたは一端の電圧が他端の電圧より高くなるとオフし、低くなるとオンするように制御されたスイッチング素子から構成されたことを特徴とする前記第 1 ないし第 4 のスイッチング素子は、MOS (Metal - Oxide - Sem

50



iconductor) トランジスタ、バイポーラトランジスタ、又は IGBT (Insulated Gate Bipolar Transistor) から構成されることを特徴とする。

【0038】

上記スイッチング制御方法を、第1の出力端子に現れる正電圧出力および電流、第2の出力端子に現れる負電圧出力および電流、前記誘導素子に流れる電流からなる群より選択される少なくとも一つまたは全てを監視して前記第1ないし第4のスイッチング素子をオン・オフするタイミングを決めるための制御回路を有することを特徴とする。

【0039】

上記スイッチング制御方法をコンピュータによって実行可能な命令を有するプログラムとして構成することを特徴とする。

10

【0040】

上記プログラムを有するコンピュータ読取り可能な記録媒体として構成することを特徴とする。

【0041】

本発明は、1コイル正負多出力のスイッチング電源回路を構成する複数のスイッチング素子を駆動制御するスイッチング電源装置であって、前記1コイル正負多出力のスイッチング電源回路は、フリーホイール回路と、前記フリーホイール回路の出力端子に一端が接続され、第1の出力端子に現れる正電圧出力をスイッチング素子により制御して出力する第1の出力制御回路と、前記フリーホイール回路の前記出力端子に一端が接続され、第2の出力端子に現れる負電圧出力をスイッチング素子により制御して出力する第2の出力制御回路とを有し、前記1コイル正負多出力のスイッチング電源回路を用いて、前記第1および第2の出力制御回路の各スイッチング素子を駆動制御する場合において、前記第1の出力制御回路の前記スイッチング素子と前記第2の出力制御回路の前記スイッチング素子とを互いに異なるタイミングでオン・オフ制御して、前記第1の出力端子に現れる正電圧出力と、前記第2の出力端子に現れる負電圧出力とを独立して制御する制御手段を具えたことを特徴とする。

20

【0042】

前記スイッチング電源回路は、誘導素子と、該誘導素子に並列に接続された第1のスイッチング素子とからなる前記フリーホイール回路と、前記フリーホイール回路の出力端子に一端が接続された第2のスイッチング素子と、前記フリーホイール回路の前記出力端子と前記第2のスイッチング素子の前記一端とが接続された接続部に、入力端がそれぞれ接続された前記第1および第2の出力制御回路とを有し、前記第1の出力制御回路は、前記接続部に一端が接続された第3のスイッチング素子と、該第3のスイッチング素子の他端が接続された第1の出力端子と、前記第3のスイッチング素子と前記第1の出力端子との間に一端が接続された第1の容量素子とを含んで構成され、前記第2の出力制御回路は、前記接続部に一端が接続された第2の容量素子と、該第2の容量素子の他端に一端が接続された半導体素子と、該半導体素子の他端が接続された第2の出力端子と、前記第2の容量素子と該半導体素子との間に一端が接続された第4のスイッチング素子と、該半導体素子と第2の出力端子との間に一端が接続された第3の容量素子とを含んで構成されたものであり、前記第1のスイッチング素子ないし前記第4のスイッチング素子のいずれかを駆動制御する場合において、前記第1の出力制御回路の前記第3のスイッチング素子と前記第2の出力制御回路の前記第4のスイッチング素子とを、互いに異なるタイミングでオン・オフ制御することによって、前記第1の出力端子に現れる正電圧出力と、前記第2の出力端子に現れる負電圧出力とを独立して制御する前記制御手段を具えたことを特徴とする。

30

40

【発明の効果】

【0043】

本発明では、1コイル正負多出力のスイッチング電源回路を用いて、第1および第2の出力制御回路の各スイッチング素子を駆動制御する場合において、第1の出力制御回路の

50

スイッチング素子と第 2 の出力制御回路のスイッチング素子とを互いに異なるタイミングでオン・オフ制御して、第 1 の出力端子に現れる正電圧出力（出力電圧  $V_{o1}$ ）と、第 2 の出力端子に現れる負電圧出力（出力電圧  $V_{o2}$ ）とを独立して制御することができ、これにより、一段と幅広い電源電圧の供給が可能になる。

【図面の簡単な説明】

【0044】

【図 1】本発明に係る 1 コイル正負出力のスイッチング電源装置の概略構成を示すブロック図である。

【図 2】本発明の第 1 の実施の形態であるスイッチング制御処理の概略を示すフローチャートである。

【図 3】本発明の第 1 の実施の形態であるスイッチング制御処理を示すタイミングチャートである。

【図 4】本発明の第 1 の実施の形態のシミュレーションに用いた回路図である。

【図 5】本発明の第 1 の実施の形態のシミュレーションに用いたタイミングチャートである。

【図 6】本発明の第 1 の実施の形態のシミュレーション結果である。

【図 7】本発明の第 2 の実施の形態であるスイッチング制御処理の概略を示すフローチャートである。

【図 8】本発明の第 2 の実施の形態であるスイッチング制御処理を示すタイミングチャートである。

【図 9】本発明の第 2 の実施の形態のシミュレーションに用いた回路図である。

【図 10】本発明の第 2 の実施の形態のシミュレーションに用いたタイミングチャートである。

【図 11】本発明の第 2 の実施の形態のシミュレーション結果である。

【図 12】従来と本発明のシミュレーション結果を比較して示す表である。

【図 13】本発明の第 3 の実施の形態であるスイッチング制御処理を示すタイミングチャートである。

【図 14】従来の装置の 1 コイル正負出力のスイッチング電源装置の概略構成を示す回路図である。

【図 15】従来の装置におけるスイッチング制御処理を示すタイミングチャートである。

【発明を実施するための形態】

【0045】

〔第 1 の例〕

本発明の第 1 の実施の形態を、図 1 ~ 図 6 に基づいて説明する。

【0046】

< 装置構成 >

図 1 は、本発明に係るスイッチング電源装置 1 の概略構成を示す。

【0047】

スイッチング電源装置 1 は、1 コイル正負多出力のスイッチング電源回路 2 と、制御部 3 とに大別される。

【0048】

スイッチング電源回路 2 は、フリーホイール回路 10 と、第 1 の出力制御回路 20 と、第 2 の出力制御回路 30 とから構成される。

【0049】

フリーホイール回路 10 は、誘導素子 11（コイル L）と、該誘導素子 11 に並列に接続された第 1 のスイッチング素子 12（SW1）とからなる。

【0050】

フリーホイール回路 10 の出力端子 13 には、第 2 のスイッチング素子（SW2）14 が接続されている。

【0051】

10

20

30

40

50

フリーホイール回路 10 の出力端子 13 と第 2 のスイッチング素子 14 の一端とが接続された接続部 (ノード  $V_x$ ) には、第 1 の出力制御回路 20 と第 2 の出力制御回路 30 とがそれぞれ接続されている。

【0052】

第 1 の出力制御回路 20 は、ノード  $V_x$  に一端が接続された第 3 のスイッチング素子 21 (SW3) と、該第 3 のスイッチング素子 21 の他端が接続された第 1 の出力端子 23 (OUT1) と、第 3 のスイッチング素子 21 と第 1 の出力端子 23 との間に一端が接続された第 1 の容量素子 24 (出力容量  $C_{o1}$ ) とから構成されている。

【0053】

第 2 の出力制御回路 30 は、ノード  $V_x$  に一端が接続された第 2 の容量素子 31 (容量  $C_c$ ) と、該第 2 の容量素子 31 の他端のノード  $V_y$  に一端が接続された半導体素子 32 (ダイオード D1) と、該半導体素子 32 の他端が接続された第 2 の出力端子 34 (OUT2) と、第 2 の容量素子 31 と該半導体素子 32 との間のノード  $V_y$  に一端が接続された第 4 のスイッチング素子 35 (SW4) と、該半導体素子 32 と第 2 の出力端子 34 との間に一端が接続された第 3 の容量素子 36 (出力容量  $C_{o2}$ ) とから構成されている。

10

【0054】

半導体素子 32 には、本例ではダイオード D1 を用いるが、これに限定されるものではない。

【0055】

第 1 ないし第 4 のスイッチング素子 12, 14, 21, 35 (SW1, SW2, SW3, SW4) には、例えば、MOS (Metal - Oxide - Semiconductor) トランジスタ、バイポーラトランジスタ、又は IGBT (Insulated Gate Bipolar Transistor) を用いるが、これらに限定されるものではない。

20

【0056】

このように構成された 1 コイル正負多出力のスイッチング電源回路 2 は、具体的には、後述する図 4 の回路として構成することが可能である。

【0057】

制御部 3 は、第 1 ないし第 4 のスイッチング素子を独立してオン・オフすることが可能なものであれば特に制限されないが、所望の出力を簡易に調整し得る観点から、第 1 の出力端子に現れる正電圧出力および電流、第 2 の出力端子に現れる負電圧出力および電流、前記誘導素子に流れる電流、からなる群より選択される少なくとも一つまたはすべてを監視して前記第 1 ないし第 4 のスイッチング素子をオン・オフするタイミングを決めるための制御回路を有する制御部であってもよい。

30

【0058】

具体的な例として、スイッチングの全体的な制御を統括する CPU 4 と、スイッチング電源回路 2 の第 1 ないし第 4 のスイッチング素子 SW1, SW2, SW3, SW4 のオン/オフの制御を実行する命令からなるプログラム 5 と、該プログラム 5 を格納するメモリ 6 と、RAM 等の演算領域として用いられる演算処理部 7 とを用いるが、これに限定されるものではない。

40

【0059】

< 装置動作 >

スイッチング電源装置 1 の動作について説明する。

【0060】

制御部 3 は、1 コイル正負多出力のスイッチング電源回路 2 の第 1 ないし第 4 のスイッチング素子 SW1, SW2, SW3, SW4 のいずれかを駆動制御する場合において、第 1 の出力制御回路 20 の第 3 のスイッチング素子 SW3 と第 2 の出力制御回路 30 の第 4 のスイッチング素子 SW4 とを互いに異なるタイミングでオン・オフ制御する。このオン・オフ制御により、第 1 の出力端子 OUT1 に現れる正出力 (出力電圧  $V_{o1}$ ) と、第 2 の出力端子 OUT2 に現れる負出力 (出力電圧  $V_{o2}$ ) とを独立して制御することがで

50

きる。

【0061】

図2は、制御部3によって実行されるスイッチング制御処理を概略説明したフローチャートである。

ステップS1では、第2のスイッチング素子SW2をオンする。

ステップS2では、第3のスイッチング素子SW3をオンする。

ステップS3では、第4のスイッチング素子SW4をオンする。

ステップS4では、第1のスイッチング素子SW1をオンする。

以上のステップS1～ステップS4を順次繰返して行う。

【0062】

(具体例)

以下、具体例を挙げて説明する。

【0063】

図3は、図1の装置において正出力(出力電圧 $V_{o1}$ )と負出力(出力電圧 $V_{o2}$ )とを独立して制御するタイミングチャートを示す。

【0064】

図4は図1の装置においてシミュレーションに用いた回路図、図5は図1の装置においてシミュレーションに用いたタイミングチャート、図6は図1の装置においてのシミュレーション結果を示す。

【0065】

まず、時間 $T_{11}$ の間に、スイッチング素子SW2がOnしてスイッチング素子SW1、SW3、SW4がOffとなる。

【0066】

ノード $V_x$ の電圧はGND電圧となり、コイルLの両端には入力電圧 $V_i$ がかかり、コイル電流 $I_L$ は時間とともに増加していき、コイルに磁気エネルギーが蓄えられる。

【0067】

次に、時間 $T_{21}$ の間に、スイッチング素子SW2がOffし、スイッチング素子SW3のみがOnし、スイッチング素子SW1、SW4はOffのままとなる。このとき、コイルLが第1の出力端子OUT1と容量 $C_{o1}$ と負荷 $R_{L1}$ につながる。これにより、コイル電流 $I_L$ は容量 $C_{o1}$ と負荷 $R_{L1}$ へ流れ込み、コイルの磁気エネルギーが第1の出力端子OUT1へ振り分けられる。そして、第1の出力端子OUT1の出力電圧 $V_{o1}$ (=ノード $V_x$ の電圧)は入力電圧 $V_i$ より電圧が高くなり、正電圧出力となる。これにより、コイルLには電流方向とは逆方向(ノード $V_x$ から入力電圧 $V_i$ 方向)に電圧がかかることにより、コイル電流 $I_L$ は時間とともに減少していく。

【0068】

次に、時間 $T_{31}$ の間に、スイッチング素子SW3がOffし、スイッチング素子SW4のみがOnし、スイッチング素子SW1、SW2はOffのままとなる。このとき、コイルLと容量 $C_c$ がつながる。これにより、ノード $V_x$ 側に+の電荷、ノード $V_y$ 側に-の電荷がそれぞれ充電され、コイルの磁気エネルギーが放出される。

【0069】

次に、時間 $T_{41}$ の間にスイッチング素子SW4がOffし、スイッチング素子SW1がOnし、スイッチング素子SW2、SW3はOffのままとなる。このとき、ノード $V_x$ の電圧は入力電圧 $V_i$ と等しくなり、コイルLに電圧がかからなくなり、この時間 $T_{41}$ のコイル電流 $I_L$ は一定値に保たれる。

【0070】

次に、再び前述の時間 $T_{11}$ と同じスイッチング状態になる。このとき、ノード $V_x$ はGNDにつながる。これにより、容量 $C_c$ のノード $V_y$ 側は負電圧となり、ダイオードD1を通じて第2の出力端子OUT2の出力電圧 $V_{o2}$ は負電圧出力となる。

【0071】

時間 $T_{11}$ から時間 $T_{41}$ を一定周期で繰返す。

10

20

30

40

50

## 【 0 0 7 2 】

従来例との差異は、スイッチング素子 S W 3 と S W 4 が同時に O n するのではなく、それぞれが O n する時間を分けている点である。これにより、それぞれの O n する時間 T 2 1 と時間 T 3 1 を制御し、出力電圧を別々に制御できるようになる。

## 【 0 0 7 3 】

ここで、理論的な計算例を挙げる。なお、出力電圧 V o 1 と出力電圧 V o 2 は図 3 に示されるように各スイッチの O n ・ O f f に応じて電圧リップルを生じるが、本発明が属するようなスイッチング電源装置においては、通常、各スイッチの O n ・ O f f 周期が十分短く、各出力端子につながる容量 C o 1、C o 2 が十分大きく、各出力電圧の時間平均値に比べて小さく数十 m V から数百 m V 程度であるので、以下の理論的な計算では出力電圧 V o 1 および出力電圧 V o 2 を時間平均値として算出した。

10

## 【 0 0 7 4 】

時間 T 1 1 のコイル電流の変化から

## 【 0 0 7 5 】

## 【 数 7 】

$$IP-IB = \frac{Vi}{L} \times T11 \quad \dots (11)$$

## 【 0 0 7 6 】

時間 T 2 2 におけるコイル電流の変化から

## 【 0 0 7 7 】

## 【 数 8 】

$$IP-IF = \frac{(Vo1-Vi)}{L} \times T21 \quad \dots (12)$$

## 【 0 0 7 8 】

時間 T 3 1 のコイル電流の変化と容量 C c の両端電圧 V c から

## 【 0 0 7 9 】

## 【 数 9 】

$$IF-IB = \frac{(Vc-Vi)}{L} \times T31 \quad \dots (13)$$

## 【 0 0 8 0 】

次に、スイッチング素子 S W 1 が O n したときにノード V x の電圧が 0 V になると、ノード V y の電位は - V c となり、ダイオード D 1 の順方向電圧を V F とすると

## 【 0 0 8 1 】

## 【 数 1 0 】

$$Vo2 = -Vc + VF \quad \dots (14)$$

( 1 4 ) を ( 1 3 ) に代入して

## 【 0 0 8 2 】

## 【 数 1 1 】

$$IF-IB = \frac{(VF-Vo2-Vi)}{L} \times T31 \quad \dots (15)$$

40

## 【 0 0 8 3 】

( 1 1 ) と ( 1 2 ) の各辺を引いて

## 【 0 0 8 4 】

## 【 数 1 2 】

$$IF-IB = \frac{Vi}{L} \times T11 - \frac{(Vo1-Vi)}{L} \times T21 \quad \dots (16)$$

## 【 0 0 8 5 】

( 1 5 ) と ( 1 6 ) より

## 【 0 0 8 6 】

50

【数 1 3】

$$\frac{(VF - Vo2 - Vi)}{L} \times T31 = \frac{Vi}{L} \times T11 - \frac{(Vo1 - Vi)}{L} \times T21 \quad \dots (17)$$

【0087】

これを出力電圧  $V_o2$  で整理すると

【0088】

【数 1 4】

$$Vo2 = - \left[ \frac{\{(T11 + T21 + T31) \times Vi - T21 \times Vo1\}}{T31} - VF \right] \quad \dots (18)$$

10

【0089】

(18)より、ある一定の出力電圧  $V_o1$  に対して適当な時間  $T11$ 、 $T21$ 、 $T31$  を設定することにより、出力電圧  $V_o2$  を任意に設定できる。

【0090】

〔第2の例〕

本発明の第2の実施の形態を、図7～図12に基づいて説明する。なお、前述した第1の例と同一部分については、その説明を省略し、同一符号を付す。

【0091】

本発明に係るスイッチング電源装置1の基本的な回路構成は、前述した図1と同様である。

20

【0092】

図7は、制御部3によって実行されるスイッチング制御処理を概略説明したフローチャートである。

ステップS1では、第2のスイッチング素子SW2をオンする。

ステップS2では、第3のスイッチング素子SW3をオンする。

ステップS5では、第1のスイッチング素子SW1をオンする。

ステップS6では、第2のスイッチング素子SW2をオンする。

ステップS3では、第4のスイッチング素子SW4をオンする。

ステップS4では、第1のスイッチング素子SW1をオンする。

以上のステップS5、ステップS6を含むステップS1～ステップS4を順次繰返して行う。

30

【0093】

(具体例)

具体例を挙げて説明する。

【0094】

図8は、図1の回路における正出力(出力電圧  $V_o1$ )と負出力(出力電圧  $V_o2$ )とを独立して制御するタイミングチャートを示す。

【0095】

図9は図1の装置においてシミュレーションに用いた回路図、図10は図1の装置においてシミュレーションに用いたタイミングチャート、図11は図1の装置においてのシミュレーション結果を示す。図12は、従来と本発明のシミュレーション結果を比較して示す。

40

【0096】

まず、時間  $T12$  の間にスイッチング素子SW2がOnして、スイッチング素子SW1、SW3、SW4がOffとなる。

【0097】

ノード  $V_x$  の電圧はGND電圧となり、コイルの両端には入力電圧  $V_i$  がかかる。これにより、コイル電流  $I_L$  は時間とともに増加していき、コイルに磁気エネルギーが蓄えられる。

【0098】

50

次に、時間  $T_{22}$  の間に、スイッチング素子  $SW_2$  が  $Off$  し、スイッチング素子  $SW_3$  のみが  $On$  し、スイッチング素子  $SW_1$ 、 $SW_4$  は  $Off$  のままとなる。このとき、コイル  $L$  が第 1 の出力端子  $OUT_1$  と容量  $Co_1$  と負荷  $RL_1$  につながる。これにより、コイル電流  $IL$  は容量  $Co_1$  と負荷  $RL_1$  へ流れ込み、コイルの磁気エネルギーが第 1 の出力端子  $OUT_1$  へ振り分けられる。そして、第 1 の出力端子  $OUT_1$  の出力電圧  $Vo_1$  (= ノード  $V_x$  の電圧) は入力電圧  $Vi$  より電圧が高くなり、正電圧出力となる。コイル  $L$  には電流方向とは逆方向 (ノード  $V_x$  から入力電圧  $Vi$  方向) に電圧がかかることにより、コイル電流  $IL$  は時間とともに減少していく。

【0099】

次に、時間  $T_{32}$  の間に、スイッチング素子  $SW_3$  が  $Off$  し、スイッチング素子  $SW_1$  が  $On$  し、スイッチング素子  $SW_2$ 、 $SW_4$  は  $Off$  のままとなる。

10

【0100】

ノード  $V_x$  の電圧は入力電圧  $Vi$  と等しくなり、コイル  $L$  に電圧がかからなくなり、この時間  $T_{32}$  のコイル電流  $IL$  は一定値に保たれる。

【0101】

次に、時間  $T_{42}$  の間に、再びスイッチング素子  $SW_2$  が  $On$  し、スイッチング素子  $SW_1$ 、 $SW_3$ 、 $SW_4$  が  $Off$  となる。

【0102】

ノード  $V_x$  の電圧は  $GND$  電圧となり、コイル  $L$  の両端には入力電圧  $Vi$  がかかり、コイル電流  $IL$  は時間とともに増加していき、コイルに磁気エネルギーが蓄えられる。

20

【0103】

次に、時間  $T_{52}$  の間に、スイッチング素子  $SW_2$  が  $Off$  し、スイッチング素子  $SW_4$  のみが  $On$  し、スイッチング素子  $SW_1$ 、 $SW_3$  は  $Off$  のままとなる。このとき、コイル  $L$  と容量  $C_c$  がつながり、ノード  $V_x$  側に + の電荷、ノード  $V_y$  側に - の電荷がそれぞれ充電され、コイルの磁気エネルギーが放出される。

【0104】

次に、時間  $T_{62}$  の間に、スイッチング素子  $SW_4$  が  $Off$  し、スイッチング素子  $SW_1$  が  $On$  し、スイッチング素子  $SW_2$ 、 $SW_3$  は  $Off$  のままとなる。

【0105】

ノード  $V_x$  の電圧は入力電圧  $Vi$  と等しくなり、コイル  $L$  に電圧がかからなくなり、この時間  $T_{62}$  のコイル電流  $IL$  は一定値に保たれる。

30

【0106】

次に、再び前述の時間  $T_{12}$  と同じスイッチ状態になる。このとき、ノード  $V_x$  は  $GND$  につながり、容量  $C_c$  のノード  $V_y$  側は負電圧となる。これにより、ダイオード  $D_1$  を通じて第 2 の出力端子  $OUT_2$  の出力電圧  $Vo_2$  は負電圧出力となる。

【0107】

時間  $T_{12}$  から時間  $T_{62}$  までが一定周期で繰り返される。

【0108】

従来例との差異は、1 回のスイッチング素子  $SW_1$  の  $On$  に対してスイッチング素子  $SW_3$  とスイッチング素子  $SW_4$  が同時に 1 回  $On$  されるのに対し、スイッチング素子  $SW_3$  とスイッチング素子  $SW_4$  が  $On$  するタイミングを分け、さらにスイッチング素子  $SW_3$  とスイッチング素子  $SW_4$  が  $On$  する前にスイッチング素子  $SW_1$  を  $On$  するタイミングを設けている点である。これによりコイルへの磁気エネルギーの蓄積 - 放出の一連の動作が各出力で独立して行える。

40

【0109】

ここで、理論的な計算例を挙げる。なお、出力電圧  $Vo_1$  と出力電圧  $Vo_2$  は図 8 に示されるように各スイッチの  $On \cdot Off$  に応じて電圧リップルを生じるが、本発明が属するようなスイッチング電源装置においては、通常、各スイッチの  $On \cdot Off$  周期が十分短く、各出力端子につながる容量  $Co_1$ 、 $Co_2$  が十分大きく、各出力電圧の時間平均値に比べて小さく数十  $mV$  から数百  $mV$  程度であるので、以下の理論的な計算では出力電圧

50

$V_{o1}$  および出力電圧  $V_{o2}$  を時間平均値として算出した。

【 0 1 1 0 】

時間  $T_{12}$  のコイル電流の変化から

【 0 1 1 1 】

【 数 1 5 】

$$I_{P1} - I_B = \frac{V_i}{L} \times T_{12} \quad \dots (21)$$

【 0 1 1 2 】

時間  $T_{22}$  におけるコイル電流の変化から

【 0 1 1 3 】

【 数 1 6 】

$$I_{P1} - I_B = \frac{V_{o1} - V_i}{L} \times T_{22} \quad \dots (22)$$

【 0 1 1 4 】

時間  $T_{42}$  のコイル電流の変化から

【 0 1 1 5 】

【 数 1 7 】

$$I_{P2} - I_B = \frac{V_i}{L} \times T_{42} \quad \dots (23)$$

【 0 1 1 6 】

時間  $T_{52}$  のコイル電流の変化と容量  $C_c$  の両端電圧  $V_c$  から

【 0 1 1 7 】

【 数 1 8 】

$$I_{P2} - I_B = \frac{(V_c - V_i)}{L} \times T_{52} \quad \dots (24)$$

【 0 1 1 8 】

次に、スイッチング素子  $SW_1$  が On したときにノード  $V_x$  の電圧が 0 V になるとノード  $V_y$  の電位は  $-V_c$  となり、ダイオード  $D_1$  の順方向電圧を  $V_F$  とすると

【 0 1 1 9 】

【 数 1 9 】

$$V_{o2} = -V_c + V_F \quad \dots (25)$$

【 0 1 2 0 】

(21) と (22) より

【 0 1 2 1 】

【 数 2 0 】

$$V_i \times T_{12} = (V_{o1} - V_i) \times T_{22}$$

【 0 1 2 2 】

整理すると

【 0 1 2 3 】

【 数 2 1 】

$$V_{o1} = \frac{(T_{12} + T_{22})}{T_{22}} \times V_i \quad \dots (26)$$

【 0 1 2 4 】

(23) と (24) と (25) より

【 0 1 2 5 】

【 数 2 2 】

$$V_i \times T_{42} = (-V_{o2} + V_F - V_i) \times T_{52}$$

10

20

30

40

50



【 0 1 2 6 】

整理すると

【 0 1 2 7 】

【 数 2 3 】

$$V_{o2} = -\frac{(T_{42} + T_{52})}{T_{52}} \times V_i + V_F \quad \dots (27)$$

【 0 1 2 8 】

( 2 6 ) と ( 2 7 ) より、出力電圧  $V_{o2}$  は出力電圧  $V_{o1}$  に依らず任意に設定可能である。

【 0 1 2 9 】

〔 第 3 の 例 〕

本発明の第 3 の実施の形態を、図 1 3 に基づいて説明する。なお、前述した各例と同一部分については、その説明を省略し、同一符号を付す。

【 0 1 3 0 】

本発明に係る 1 コイル正負出力のスイッチング電源装置 1 の構成は、前述した図 1 と同様な構成である。

【 0 1 3 1 】

図 1 3 は、図 1 の回路における正出力（出力電圧  $V_{o1}$ ）と負出力（出力電圧  $V_{o2}$ ）とを独立して制御するタイミングチャートを示す。

【 0 1 3 2 】

出力電圧  $V_{o1}$ 、 $V_{o2}$  を監視し、出力電圧  $V_{o1}$  の電圧が設定電圧に対して低下した時には、まず、時間  $T_{13}$  の間にスイッチング素子  $SW_2$  が  $On$  し、スイッチング素子  $SW_1$ 、スイッチング素子  $SW_3$ 、 $SW_4$  が  $Off$  となる。そして、コイル電流  $I_L$  が時間とともに増加して、コイルに磁気エネルギーが蓄えられる。

【 0 1 3 3 】

次に、時間  $T_{23}$  の間に、スイッチング素子  $SW_2$  が  $Off$  し、スイッチング素子  $SW_3$  のみが  $On$  し、スイッチング素子  $SW_1$ 、 $SW_4$  は  $Off$  のままとなる。これにより、コイルの磁気エネルギーが出力電圧  $V_{o1}$  へ振り分けられることになる。

【 0 1 3 4 】

次に、時間  $T_{33}$  の間に、スイッチング素子  $SW_3$  が  $Off$  し、スイッチング素子  $SW_1$  が  $On$  し、スイッチング素子  $SW_2$ 、スイッチング素子  $SW_4$  は  $Off$  のままとなる。この時間  $T_{33}$  のコイル電流  $I_L$  は一定値に保たれる。

【 0 1 3 5 】

時間  $T_{13}$ 、時間  $T_{23}$ 、時間  $T_{33}$  は一定の時間に決められており、出力電圧  $V_{o1}$  が設定電圧に達するまで以上のサイクルを繰り返す。

【 0 1 3 6 】

出力電圧  $V_{o2}$  が設定電圧に対して低下した時には、まず、時間  $T_{43}$  の間にスイッチング素子  $SW_2$  が  $On$  し、スイッチング素子  $SW_1$ 、 $SW_3$ 、 $SW_4$  が  $Off$  となる。これにより、コイル電流  $I_L$  が時間とともに増加して、コイルに磁気エネルギーが蓄えられる。

【 0 1 3 7 】

次に、時間  $T_{53}$  の間に、スイッチング素子  $SW_2$  が  $Off$  し、スイッチング素子  $SW_4$  のみが  $On$  し、スイッチング素子  $SW_1$ 、 $SW_3$  は  $Off$  のままとなる。これにより、コイルの磁気エネルギーが容量  $C_c$  に移される。

【 0 1 3 8 】

次に、時間  $T_{63}$  の間に、スイッチング素子  $SW_4$  が  $Off$  し、スイッチング素子  $SW_1$  が  $On$  し、スイッチング素子  $SW_2$ 、 $SW_3$  は  $Off$  のままとなる。この時間  $T_{63}$  のコイル電流  $I_L$  は一定値に保たれる。

【 0 1 3 9 】

時間  $T_{43}$ 、 $T_{53}$ 、 $T_{63}$  は一定の時間に決められており、出力電圧  $V_{o2}$  が設定電

10

20

30

40

50

圧に達するまで以上のサイクルを繰り返す。

【 0 1 4 0 】

出力電圧  $V_{o1}$  と出力電圧  $V_{o2}$  が共に設定電圧に対して低下している場合は、時間  $T_{13}$ 、 $T_{23}$ 、 $T_{33}$  のサイクルと、時間  $T_{43}$ 、 $T_{53}$ 、 $T_{63}$  のサイクルを交互に繰り返す。

【 0 1 4 1 】

出力電圧  $V_{o1}$  と出力電圧  $V_{o2}$  が共に設定電圧に対して低下していない場合は、スイッチング素子  $SW1$  の  $On$  状態が続く。

【 0 1 4 2 】

図 13 では、時間  $T_{13}$ 、 $T_{23}$ 、 $T_{33}$  のサイクルが 3 周期中の 2 周期、時間  $T_{43}$ 、 $T_{53}$ 、 $T_{63}$  のサイクルが 3 周期中の 1 周期現れる場合を示している。

10

【産業上の利用可能性】

【 0 1 4 3 】

本発明は、正と負の入力を必要とする回路の電源装置として好適に利用することができ、特に、装置としての小型性が求められる  $CCD$  や有機  $EL$  などの回路の電源装置として好適に利用することが可能である。

【符号の説明】

【 0 1 4 4 】

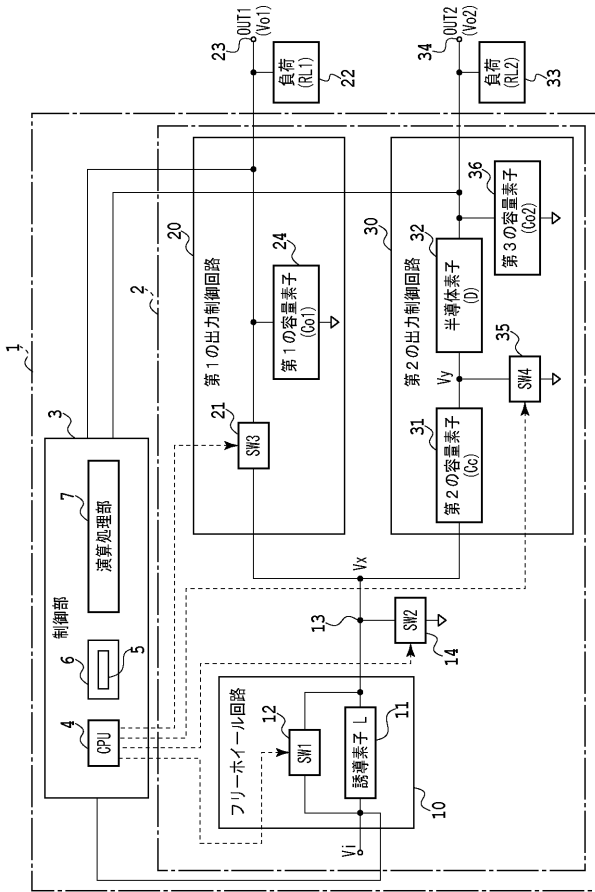
- 1 スwitching電源装置
- 2 スwitching電源回路
- 3 制御部
- 4 CPU
- 5 プログラム
- 6 メモリ
- 7 演算処理部
- 10 フリーホイール回路
- 11 誘導素子(コイル  $L$ )
- 12 第1のswitching素子( $SW1$ )
- 13 出力端子
- 14 第2のswitching素子( $SW2$ )
- 20 第1の出力制御回路
- 21 第3のswitching素子( $SW3$ )
- 22 負荷22( $RL1$ )
- 23 第1の出力端子( $OUT1$ )
- 24 第1の容量素子(出力容量  $Co1$ )
- 30 第2の出力制御回路
- 31 第2の容量素子(容量  $Cc$ )
- 32 半導体素子(ダイオード  $D1$ )
- 33 負荷( $RL2$ )
- 34 第2の出力端子( $OUT2$ )
- 35 第4のswitching素子( $SW4$ )
- 36 第3の容量素子(出力容量  $Co2$ )

20

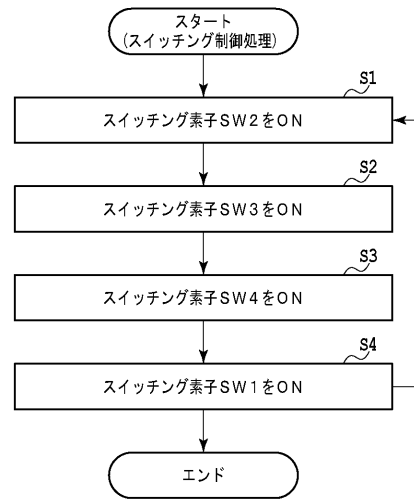
30

40

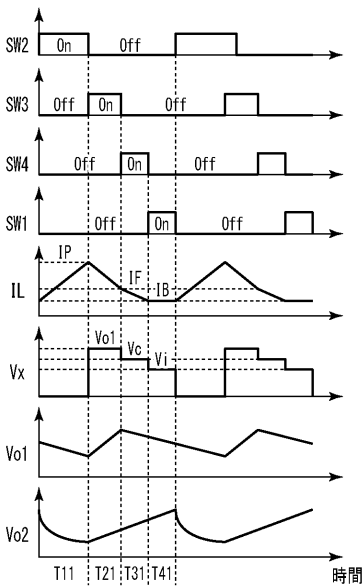
【 図 1 】



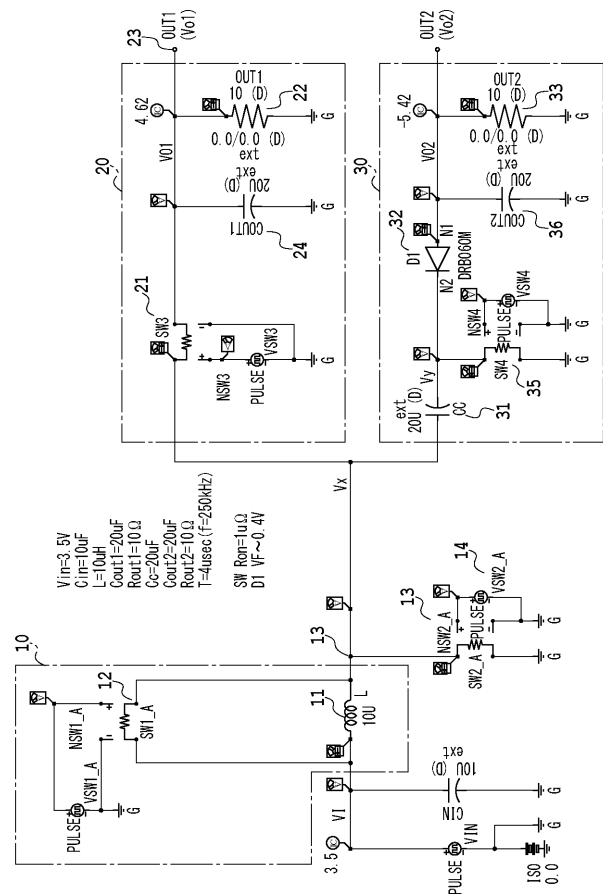
【 図 2 】



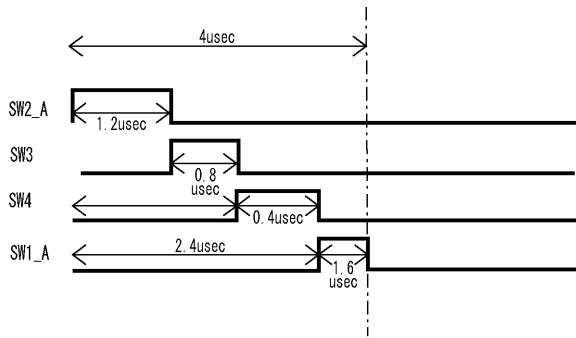
【 図 3 】



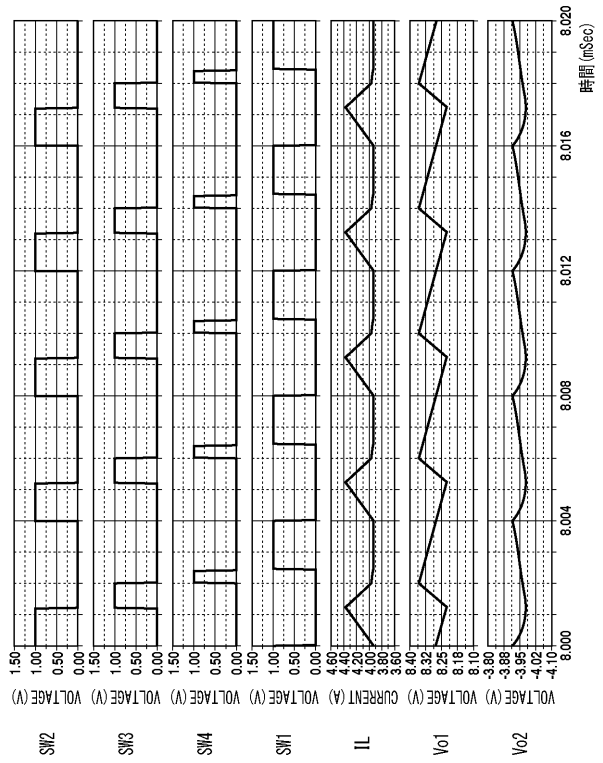
【 図 4 】



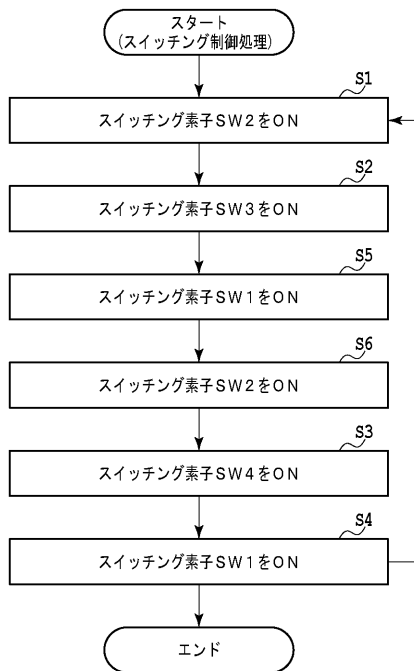
【 図 5 】



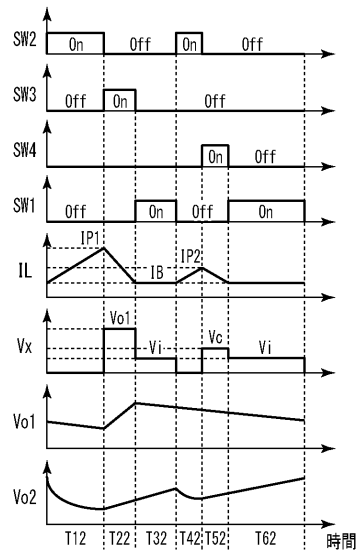
【 図 6 】



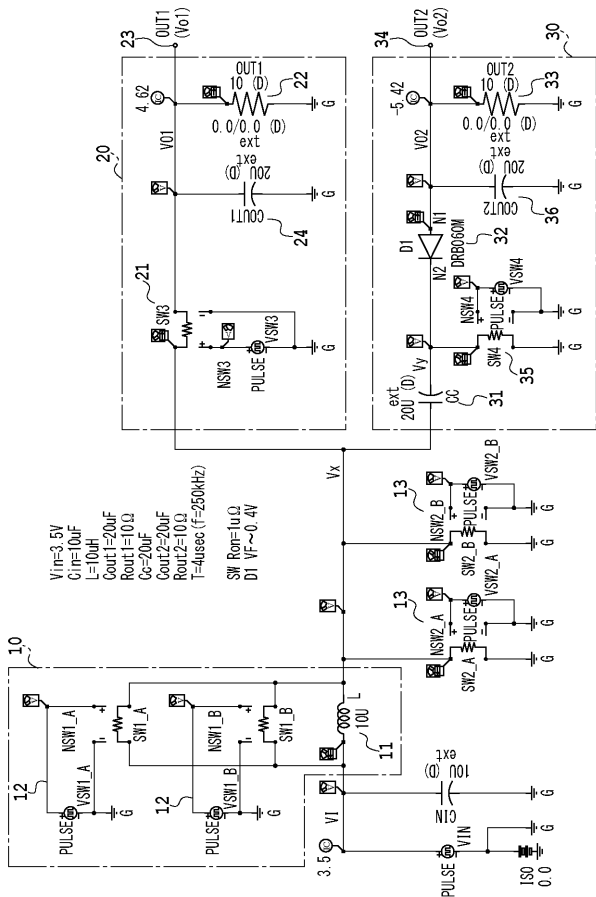
【 図 7 】



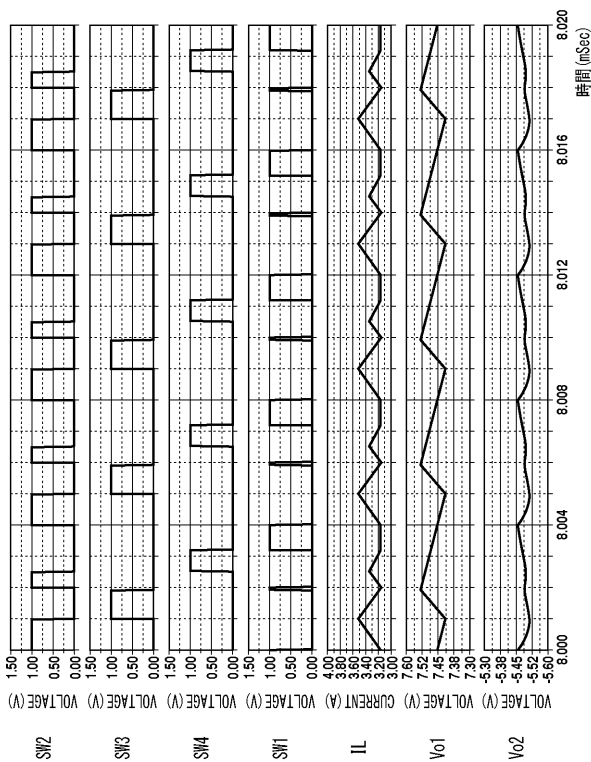
【 図 8 】



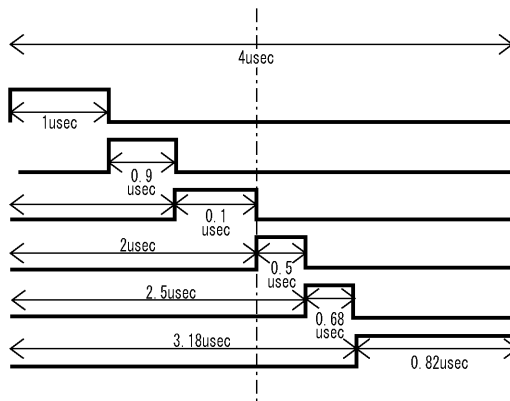
【 図 9 】



【 図 1 1 】



【 図 1 0 】



【 図 1 2 】

	従来例	本発明 (1)	本発明 (2)
Vin	3.5V	←	←
L	10uH	←	←
Cc	20nF	←	←
COUT1	20nF	←	←
ROUT1	10Ω	←	←
COUT2	20nF	←	←
ROUT2	10Ω	←	←
VF	0.4V	0.4V	0.4V
T (周期)	4.0usec	←	←
T1	1.6usec (SW2_On)	1.2usec (SW2_On)	1.0usec (SW2_On)
T2	1.2usec (SW3_4_On)	0.8usec (SW3_On)	0.9usec (SW3_On)
T3	1.2usec (SW1_On)	0.4usec (SW4_On)	0.1usec (SW1_On)
T4	-	1.6usec (SW1_On)	0.5usec (SW4_On)
T5	-	-	0.68usec (SW4_On)
T6	-	-	0.82usec (SW1_On)
Vo1 (平均値)	8.172V	8.293V	7.470V
Vo2 (平均値)	-7.637V	-3.951V	-5.192V
Vo1	8.167V	シミュレーション値 (8.293V)	7.389V
Vo2	-7.767V	-4.014V	-5.674V

シミュレーション結果

理論計算



---

フロントページの続き

- (72)発明者 小田口 貴宏  
埼玉県朝霞市泉水3丁目13番45号 旭化成東光パワーデバイス株式会社内
- (72)発明者 高橋 健司  
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内
- (72)発明者 美和 俊介  
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内
- (72)発明者 横尾 甫  
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内
- (72)発明者 津志田 健吾  
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内
- (72)発明者 高井 伸和  
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内
- (72)発明者 小林 春夫  
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内
- Fターム(参考) 5H730 AA04 AA11 BB14 BB57 BB81 BB88 DD02 DD03 DD04 EE59  
EE65 FD01