

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-205191

(P2011-205191A)

(43) 公開日 平成23年10月13日(2011.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 1/10 (2006.01)	H03M 1/10 A	5J022
H03M 1/14 (2006.01)	H03M 1/14 A	

審査請求 未請求 請求項の数 11 O L (全 34 頁)

(21) 出願番号 特願2010-67909 (P2010-67909)
 (22) 出願日 平成22年3月24日 (2010.3.24)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 臼井 邦彦
 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
 (72) 発明者 松浦 達治
 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
 (72) 発明者 八木 拓哉
 群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内

最終頁に続く

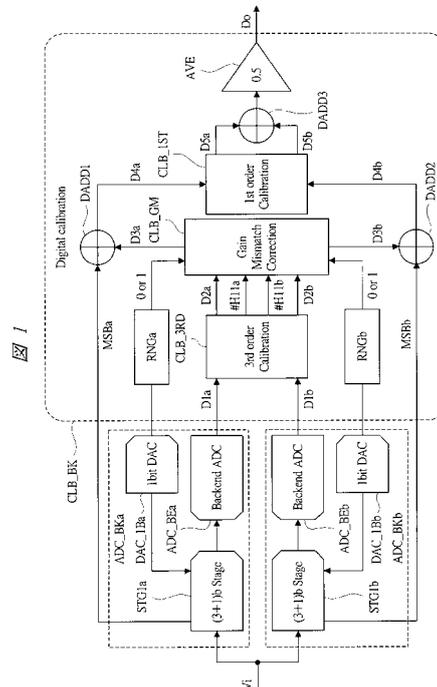
(54) 【発明の名称】 アナログ・デジタル変換器

(57) 【要約】

【課題】短い収束時間で高精度な校正を可能にするアナログ・デジタル変換器を実現する。

【解決手段】例えば、スプリット構成となる2個のAD変換ブロックADC_BK a, ADC_BK bと、その後段に設置され、デジタル自己校正を行う校正ブロックCLB_BKとを備える。ADC_BK a, ADC_BK bは、ランダム信号生成部RNG a, RNG bからの乱数信号に応じて所定のアナログ信号を生成する1ビットのDA変換回路DAC_1 B a, DAC_1 B bを備える。ステージ[1] STG1 a, STG1 bは、DAC_1 B a, DAC_1 B bからのアナログ信号に応じて残差信号をシフトさせる。3次非線形性校正部CLB_3 R Dは、当該残差信号におけるシフト前後の差分値を計測し、その差分値が一定となるように校正を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

アナログ入力信号を第 1 デジタル信号に変換し、入力された第 1 アナログ信号の大きさに応じて前記第 1 デジタル信号の一部となる第 1 A ビット群と共に第 1 A 残差信号を出力する第 1 A ステージと、入力された前記第 1 A 残差信号の大きさに応じて前記第 1 デジタル信号の他の一部となる第 1 B ビット群と共に第 1 B 残差信号を出力する第 1 B ステージとを含んだ第 1 変換ブロックと、

前記アナログ入力信号を第 2 デジタル信号に変換し、入力された第 2 アナログ信号の大きさに応じて前記第 2 デジタル信号の一部となる第 2 A ビット群と共に第 2 A 残差信号を出力する第 2 A ステージと、入力された前記第 2 A 残差信号の大きさに応じて前記第 2 デジタル信号の他の一部となる第 2 B ビット群と共に第 2 B 残差信号を出力する第 2 B ステージとを含んだ第 2 変換ブロックと、

3 次非線形性校正部を含み、前記第 1 および前記第 2 デジタル信号を補正すると共に、それぞれの補正後の値を平均化することでデジタル出力信号を生成する校正ブロックとを備え、

前記第 1 A ステージは、

第 1 論理値と第 2 論理値を持つ第 1 擬似乱数信号を順次生成する第 1 乱数生成回路と、

前記第 1 擬似乱数信号の値が予め定めた前記第 1 論理値か前記第 2 論理値のいずれか一方であった場合に前記第 1 A 残差信号の大きさを第 1 の値だけシフトする第 1 手段とを備え、

前記第 2 A ステージは、

前記第 1 論理値と前記第 2 論理値を持つ第 2 擬似乱数信号を順次生成する第 2 乱数生成回路と、

前記第 2 擬似乱数信号の値が予め定めた前記第 1 論理値か前記第 2 論理値のいずれか一方であった場合に前記第 2 A 残差信号の大きさを前記第 1 の値だけシフトする第 2 手段とを備え、

前記 3 次非線形性校正部は、

前記第 1 擬似乱数信号が前記第 1 論理値であった場合の前記第 1 デジタル信号と前記第 2 論理値であった場合の前記第 1 デジタル信号との間の第 1 差分値を前記第 2 デジタル信号を基準として計測し、前記第 1 差分値が前記第 1 アナログ信号の大きさに依らず一定となるように前記第 1 デジタル信号に対して補正値を加えることで第 3 デジタル信号を出力し、

前記第 2 擬似乱数信号が前記第 1 論理値であった場合の前記第 2 デジタル信号と前記第 2 論理値であった場合の前記第 2 デジタル信号との間の第 2 差分値を前記第 1 デジタル信号を基準として計測し、前記第 2 差分値が前記第 2 アナログ信号の大きさに依らず一定となるように前記第 2 デジタル信号に対して補正値を加えることで第 4 デジタル信号を出力することを特徴とするアナログ・デジタル変換器。

【請求項 2】

請求項 1 記載のアナログ・デジタル変換器において、

前記第 1 A ステージは、前記第 1 アナログ信号を横軸とし前記第 1 A 残差信号を縦軸として、1 個の鋸歯が前記第 1 A ビット群の 1 ビット分に該当する鋸歯状の第 1 伝達関数を持ち、

前記第 2 A ステージは、前記第 2 アナログ信号を横軸とし前記第 2 A 残差信号を縦軸として、1 個の鋸歯が前記第 2 A ビット群の 1 ビット分に該当する鋸歯状の第 2 伝達関数を持ち、

前記第 2 伝達関数は、前記第 1 伝達関数と比較して、前記第 1 A ビット群または前記第 2 A ビット群の 0.5 ビット分だけ横軸方向にシフトするように設定され、

前記 3 次非線形性校正部は、

前記第 1 A ビット群の値が「i」で前記第 2 A ビット群の値も前記「i」である場合に計測した前記第 1 差分値を逐次平均化して第 1 平均差分値を算出し、前記第 1 A ビット

10

20

30

40

50

群の値が前記「 i 」で前記第2 Aビット群の値が「 $i + 1$ 」である場合に計測した前記第1差分値を逐次平均化して第1 2平均差分値を算出し、前記第1 1平均差分値と前記第1 2平均差分値が等しくなるように前記第1デジタル信号に対して第1補正值を加え、

前記第2 Aビット群の値が前記「 i 」で前記第1 Aビット群の値が「 $i - 1$ 」である場合に計測した前記第2差分値を逐次平均化して第2 1平均差分値を算出し、前記第2 Aビット群の値が前記「 i 」で前記第1 Aビット群の値も前記「 i 」である場合に計測した前記第2差分値を逐次平均化して第2 2平均差分値を算出し、前記第2 1平均差分値と前記第2 2平均差分値が等しくなるように前記第2デジタル信号に対して第2補正值を加えることを特徴とするアナログ・デジタル変換器。

【請求項3】

請求項2記載のアナログ・デジタル変換器において、

前記3次非線形性校正部は、前記第1補正值を算出する第1逆関数と、前記第2補正值を算出し、前記第1逆関数と同一の式である第2逆関数とを備え、最小二乗法によって前記第1 1平均差分値と前記第1 2平均差分値が等しくなるように前記第1逆関数のパラメータを更新し、最小二乗法によって前記第2 1平均差分値と前記第2 2平均差分値が等しくなるように前記第2逆関数のパラメータを更新することを特徴とするアナログ・デジタル変換器。

【請求項4】

請求項2記載のアナログ・デジタル変換器において、

前記校正ブロックは、更に、前記3次非線形性校正部から前記第3および第4デジタル信号と、前記第1 1平均差分値または前記第1 2平均差分値と、前記第2 1平均差分値または前記第2 2平均差分値とが入力される mismatch 校正部を備え、

前記 mismatch 校正部は、

前記第1擬似乱数信号に応じて前記第1 A残差信号の大きさが前記第1の値だけシフトした場合には、前記第3デジタル信号に対して前記第1 1平均差分値または前記第1 2平均差分値を加算または減算することで当該シフト分を元に戻した第5デジタル信号を出力し、シフトしない場合には、前記第3デジタル信号をそのまま前記第5デジタル信号として出力する第3手段と、

前記第2擬似乱数信号に応じて前記第2 A残差信号の大きさが前記第1の値だけシフトした場合には、前記第4デジタル信号に対して前記第2 1平均差分値または前記第2 2平均差分値を加算または減算することで当該シフト分を元に戻した第6デジタル信号を出力し、シフトしない場合には、前記第4デジタル信号をそのまま前記第6デジタル信号として出力する第4手段とを有することを特徴とするアナログ・デジタル変換器。

【請求項5】

請求項4記載のアナログ・デジタル変換器において、

前記 mismatch 校正部は、更に、前記第5デジタル信号または前記第6デジタル信号の一方に対して、前記第1 1平均差分値または前記第1 2平均差分値と、前記第2 1平均差分値または前記第2 2平均差分値との間の大きさの比率を乗算する第5手段を有することを特徴とするアナログ・デジタル変換器。

【請求項6】

請求項4記載のアナログ・デジタル変換器において、

前記校正ブロックは、更に、前記 mismatch 校正部から前記第5および第6デジタル信号が入力される1次非線形性校正部を備え、

前記1次非線形性校正部は、

前記第1 Aビット群の値が前記「 i 」で前記第2 Aビット群の値も前記「 i 」の場合における前記第5デジタル信号と前記第6デジタル信号の間の第3差分値を平均化し、前記第1 Aビット群の値が前記「 i 」で前記第2 Aビット群の値が前記「 $i + 1$ 」の場合における前記第5デジタル信号と前記第6デジタル信号の間の第4差分値を平均化する第6手段と、

前記第2 Aビット群の値が前記「 i 」で前記第1 Aビット群の値が前記「 $i - 1$ 」の場

10

20

30

40

50

合における前記第 5 デジタル信号と前記第 6 デジタル信号の間の第 5 差分値を平均化し、前記第 2 A ビット群の値が前記「i」で前記第 1 A ビット群の値も前記「i」の場合における前記第 5 デジタル信号と前記第 6 デジタル信号の間の第 6 差分値を平均化する第 7 手段と、

前記第 3 差分値の平均値と前記第 4 差分値の平均値を加算し、この加算結果を用いて前記第 5 デジタル信号を補正する第 8 手段と、

前記第 5 差分値の平均値と前記第 6 差分値の平均値を加算し、この加算結果を用いて前記第 6 デジタル信号を補正する第 9 手段とを有することを特徴とするアナログ・デジタル変換器。

【請求項 7】

アナログ入力信号を第 1 デジタル信号に変換し、入力された前記アナログ入力信号の大きさに応じて前記第 1 デジタル信号の最上位ビットを含む第 1 上位ビット群と共に第 1 残差信号を出力する第 1 初段ステージと、入力された前記第 1 残差信号の大きさに応じて前記第 1 デジタル信号における前記第 1 上位ビット群に続くビットから最下位ビットまでとなる第 1 下位ビット群を順次出力するパイプライン構成の第 1 後段ステージとを含んだ第 1 変換ブロックと、

前記アナログ入力信号を第 2 デジタル信号に変換し、入力された前記アナログ入力信号の大きさに応じて前記第 2 デジタル信号の最上位ビットを含む第 2 上位ビット群と共に第 2 残差信号を出力する第 2 初段ステージと、入力された前記第 2 残差信号の大きさに応じて前記第 2 デジタル信号における前記第 2 上位ビット群に続くビットから最下位ビットまでとなる第 2 下位ビット群を順次出力するパイプライン構成の第 2 後段ステージとを含んだ第 2 変換ブロックと、

3 次非線形性校正部を含み、前記第 1 および前記第 2 デジタル信号を補正すると共に、それぞれの補正後の値を平均化することでデジタル出力信号を生成する校正ブロックとを備え、

前記第 1 初段ステージは、

前記アナログ入力信号の大きさに応じて前記第 1 上位ビット群を出力する第 1 サブアナログデジタル変換回路と、

前記第 1 上位ビット群に応じた第 1 アナログ変換信号を生成する第 1 サブデジタルアナログ変換回路と、

第 1 擬似乱数信号を生成する第 1 乱数生成回路と、

前記第 1 擬似乱数信号の論理値に応じてゼロか第 1 の値を持つ第 1 アナログ乱数信号を生成する第 1 回路と、

前記アナログ入力信号から前記第 1 アナログ変換信号を減算すると共に前記第 1 アナログ乱数信号を加算または減算する第 1 加減算回路と、

前記第 1 加減算回路の出力を所定のゲインで増幅し、前記第 1 残差信号を出力する第 1 オペアンプ回路とを備え、

前記第 2 初段ステージは、

前記アナログ入力信号の大きさに応じて前記第 2 上位ビット群を出力する第 2 サブアナログデジタル変換回路と、

前記第 2 上位ビット群に応じた第 2 アナログ変換信号を生成する第 2 サブデジタルアナログ変換回路と、

第 2 擬似乱数信号を生成する第 2 乱数生成回路と、

前記第 2 擬似乱数信号の論理値に応じて前記ゼロか前記第 1 の値を持つ第 2 アナログ乱数信号を生成する第 2 回路と、

前記アナログ入力信号から前記第 2 アナログ変換信号を減算すると共に前記第 2 アナログ乱数信号を加算または減算する第 2 加減算回路と、

前記第 2 加減算回路の出力を所定のゲインで増幅し、前記第 2 残差信号を出力する第 2 オペアンプ回路とを備え、

前記 3 次非線形性校正部は、

10

20

30

40

50

前記第 1 アナログ乱数信号が前記ゼロであった場合の前記第 1 下位ビット群と前記第 1 の値であった場合の前記第 1 下位ビット群との間の第 1 差分値を前記第 2 下位ビット群を基準として計測し、前記第 1 差分値が前記アナログ入力信号の大きさに依らず一定となるように前記第 1 下位ビット群に対して補正值を加えることで第 3 下位ビット群を出力し、
前記第 2 アナログ乱数信号が前記ゼロであった場合の前記第 2 下位ビット群と前記第 1 の値であった場合の前記第 2 下位ビット群との間の第 2 差分値を前記第 1 下位ビット群を基準として計測し、前記第 2 差分値が前記アナログ入力信号の大きさに依らず一定となるように前記第 2 下位ビット群に対して補正值を加えることで第 4 下位ビット群を出力することを特徴とするアナログ・デジタル変換器。

【請求項 8】

請求項 7 記載のアナログ・デジタル変換器において、

前記第 1 サブアナログデジタル変換回路は、複数の第 1 コンパレータ回路を含んだフラッシュ型のアナログ・デジタル変換回路であり、

前記第 2 サブアナログデジタル変換回路は、複数の第 2 コンパレータ回路を含んだフラッシュ型のアナログ・デジタル変換回路であり、

前記複数の第 1 コンパレータ回路の内の k 番目の第 1 コンパレータ回路の判定電圧を V_1 とし、 $(k + 1)$ 番目の第 1 コンパレータ回路の判定電圧を $V_1 + V$ とすると、前記複数の第 2 コンパレータ回路の内の前記 k 番目の第 2 コンパレータ回路の判定電圧は $V_1 - V/2$ であり、前記 $(k + 1)$ 番目の第 2 コンパレータ回路の判定電圧は $V_1 + V/2$ であり、

前記 3 次非線形性校正部は、

前記第 1 上位ビット群の値が「 i 」で前記第 2 上位ビット群の値も前記「 i 」である場合に計測した前記第 1 差分値を逐次平均化して第 1 1 平均差分値を算出し、前記第 1 上位ビット群の値が前記「 i 」で前記第 2 上位ビット群の値が「 $i + 1$ 」である場合に計測した前記第 1 差分値を逐次平均化して第 1 2 平均差分値を算出し、前記第 1 1 平均差分値と前記第 1 2 平均差分値が等しくなるように前記第 1 下位ビット群に対して第 1 補正值を加え、

前記第 2 上位ビット群の値が前記「 i 」で前記第 1 上位ビット群の値が「 $i - 1$ 」である場合に計測した前記第 2 差分値を逐次平均化して第 2 1 平均差分値を算出し、前記第 2 上位ビット群の値が前記「 i 」で前記第 1 上位ビット群の値も前記「 i 」である場合に計測した前記第 2 差分値を逐次平均化して第 2 2 平均差分値を算出し、前記第 2 1 平均差分値と前記第 2 2 平均差分値が等しくなるように前記第 2 下位ビット群に対して第 2 補正值を加えることを特徴とするアナログ・デジタル変換器。

【請求項 9】

請求項 7 記載のアナログ・デジタル変換器において、

前記第 1 サブデジタルアナログ変換回路、前記第 1 回路、前記第 1 加減算回路、および前記第 1 オペアンプ回路は、前記第 1 回路の前記第 1 の値に対応する第 1 容量を含んだ第 1 スイッチトキャパシタ回路によって実現され、

前記第 2 サブデジタルアナログ変換回路、前記第 2 回路、前記第 2 加減算回路、および前記第 2 オペアンプ回路は、前記第 2 回路の前記第 1 の値に対応する第 2 容量を含んだ第 2 スイッチトキャパシタ回路によって実現されることを特徴とするアナログ・デジタル変換器。

【請求項 10】

請求項 8 記載のアナログ・デジタル変換器において、

前記 3 次非線形性校正部は、

前記第 1 1 平均差分値と前記第 1 2 平均差分値との間の差分値を算出する第 3 加減算回路と、

前記第 3 加減算回路の出力に対して第 1 の重み付けを行う第 1 重み付け回路と、

前回に出力に対して前記第 1 重み付け回路の出力を累積加算することで現在の出力を更新する第 1 アキュムレータ回路と、

10

20

30

40

50

前記第 1 アキュムレータ回路の出力と、前記第 1 下位ビット群とをパラメータとする第 1 逆関数を演算する第 1 演算回路と、

前記第 1 下位ビット群から前記第 1 演算回路の演算結果を減算する第 4 加減算回路と、
前記第 2 1 平均差分値と前記第 2 2 平均差分値との間の差分値を算出する第 5 加減算回路と、

前記第 5 加減算回路の出力に対して第 2 の重み付けを行う第 2 重み付け回路と、

前回に出力に対して前記第 2 重み付け回路の出力を累積加算することで現在の出力を更新する第 2 アキュムレータ回路と、

前記第 2 アキュムレータ回路の出力と、前記第 2 下位ビット群とをパラメータとし、前記第 1 逆関数と同一の式で与えられる第 2 逆関数を演算する第 2 演算回路と、

前記第 2 下位ビット群から前記第 2 演算回路の演算結果を減算する第 6 加減算回路とを有することを特徴とするアナログ・デジタル変換器。

【請求項 1 1】

請求項 8 記載のアナログ・デジタル変換器において、

前記校正ブロックは、更に、前記 3 次非線形性校正部から前記第 3 および第 4 下位ビット群と、前記第 1 1 平均差分値または前記第 1 2 平均差分値と、前記第 2 1 平均差分値または前記第 2 2 平均差分値とが入力される mismatch 校正部を備え、

前記 mismatch 校正部は、

前記第 1 アナログ乱数信号が前記第 1 の値であった場合には、前記第 3 下位ビット群に対して前記第 1 1 平均差分値または前記第 1 2 平均差分値を加算または減算することで前記第 1 の値を相殺した第 5 下位ビット群を出力し、前記第 1 アナログ乱数信号が前記ゼロであった場合には、前記第 3 下位ビット群をそのまま前記第 5 下位ビット群として出力する第 3 回路と、

前記第 2 アナログ乱数信号が前記第 1 の値であった場合には、前記第 4 下位ビット群に対して前記第 2 1 平均差分値または前記第 2 2 平均差分値を加算または減算することで前記第 1 の値を相殺した第 6 下位ビット群を出力し、前記第 2 アナログ乱数信号が前記ゼロであった場合には、前記第 4 下位ビット群をそのまま前記第 6 下位ビット群として出力する第 4 回路とを有することを特徴とするアナログ・デジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ・デジタル変換器 (ADC: Analog Digital Converter) に関し、特に、パイプライン型 AD 変換器に適用して有効な技術に関する。

【背景技術】

【0002】

例えば、非特許文献 1 には、パイプライン型 AD 変換器の高精度化に関する技術が記載されている。すなわち、パイプライン型 AD 変換器の初段に低精度のオペアンプを使用すると低消費電力化、高速化が図れるが、オペアンプの非線形性の影響が大きくなり、AD 変換器の精度劣化の要因となる。そこで、非特許文献 1 では、動作時に LMS アルゴリズムを用いたバックグランド自己校正を行って、オペアンプの非線形性の影響による変換誤差や PVT 変動を補正して高精度なパイプライン型 AD 変換器を実現している。

【0003】

また、非特許文献 2 には、スプリット構成のパイプライン型 AD 変換器が示されている。このパイプライン型 AD 変換器では、入力されたアナログ電圧を 2 系統の AD 変換器で並列に処理し、この 2 系統の AD 変換器から得られる出力の差分に基づいてバックグラウンド自己校正を行う。この自己校正アルゴリズムを用いることで、AD 変換器内の含まれるスイッチトキャパシタ回路の容量 mismatch 等を補正できる。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】B.Murmann、B.E.Boser、“Digitally Assisted Pipeline ADCs Theory and Implementation”、Kluwer Academic Publishers、2004年

【非特許文献2】Ahmed.I、Johns.D.A、“An 11-Bit 45 MS/s Pipelined ADC With Rapid Calibration of DAC Errors in a Multibit Pipeline Stage”、IEEE Journal of Solid-State Circuits、Vol. 43、No. 7、2008年7月、p. 1626 - 1637

【発明の概要】

【発明が解決しようとする課題】

【0005】

例えば、携帯電話機やデジタルテレビ等での画像・通信処理用LSIを代表に、高分解能かつ中高速の変換処理を実現可能なパイプライン型AD変換器等が広く用いられている。このようなLSIでは、近年、微細化や低電圧化（低電力化）への要求が益々高まっている。しかしながら、パイプライン型AD変換器等では、微細化や低電圧化に伴い、アナログ素子（容量等）の製造ばらつきに伴う変換誤差や、オペアンプの特性ばらつきに伴う変換誤差等が無視できないものとなる。

10

【0006】

このような誤差を補正するため、例えば、非特許文献1や非特許文献2の技術を用いることが考えられる。非特許文献1では、動作時にLMS（最小二乗法）アルゴリズムを用いたバックグラウンド自己校正により、オペアンプの非線形性の影響による変換誤差やPVT（プロセス、電圧、温度）変動の補正を行っている。ただし、当該補正方法は、要するに統計的手法を用いたものであるため、高精度な補正を行うためには多数のサンプルデータが必要となり、自己校正を行う際の収束時間が長いことが問題となる。一方、非特許文献2では、スプリット構成のパイプライン型AD変換器を用いることで、収束時間が速いバックグラウンド自己校正アルゴリズムを実現している。ただし、精度の面で、例えば、オペアンプの非線形性等の影響により、変換誤差が生じる恐れがある。

20

【0007】

図30は、本発明の前提として検討したアナログ・デジタル変換器において、スプリット構成のパイプライン型AD変換器の概略構成例を示すブロック図である。図30に示すように、スプリット構成のパイプライン型AD変換器は、等しい2個のAD変換ブロックADC_{BKa}、ADC_{BKb}を備え、この2個のAD変換ブロックの出力を平均化（ $x = (x_A + x_B) / 2$ ）することで出力データを得るものとなっている。また、この2個のAD変換ブロックの出力の差分（ $x = x_B - x_A$ ）を算出し、これが最小となるように校正ブロック（キャリブレーションブロック）CLB_{BK}を用いて補正係数を収束させ、AD変換ブロックの誤差を最小にするものとなっている。このような方式で校正を行うことで、原理上は、誤差を推定するために多数のサンプル点を取得する必要がなくなり、少ないサンプル点で高精度な校正が実現可能となる。

30

【0008】

図31は、図30のアナログ・デジタル変換器において、その各AD変換ブロックの内部構成例を示すブロック図ならびにその問題点の一例を示す説明図である。図31に示すように、各AD変換ブロックADC_{BK}は、例えば、複数段（ここでは9段）のステージSTG1～STG9と、STG9の後段に接続されたフラッシュAD変換回路FADCとを備えたパイプライン構成となっている。STG1は、最上位部分となる複数ビットのデジタル信号（ここではMSBと呼ぶ）を生成し、次いで、STG1の出力信号を受けてSTG2がMSBに続く下位ビットを生成し、以降同様に、STG3～STG9が順次下位ビットを生成する。そして、最後にFADCがSTG9の出力信号を受けて最下位部分の例えば3ビットを生成する。ここでは、STG2～STG9およびFADCによって生成される下位ビットのデジタル信号をLSBと呼ぶ。STG1は、例えば、1ビットの冗長ビットを含んだ（3+1）ビットを生成し、STG2～STG9は、例えば、それぞれ、0.5ビットの冗長ビットを含んだ1.5ビットを生成する。この場合、図31のAD変換ブロックは、FADCの3ビットを含めて全体として14ビットのデジタル信号を生成する。

40

50

【 0 0 0 9 】

STG1は、より詳細には、アナログ入力信号 V_{i1} を複数ビット（ここでは $3 + 1$ ビット）のデジタル信号に変換するAD変換回路ADC1と、このデジタル信号を入力としてアナログ信号 V_{a1} に変換するDA変換回路DAC1と、 $(V_{i1} - V_{a1})$ を演算する減算回路SUB1と、その出力電圧 V_{o1} を増幅するオペアンプ回路OP1を備えている。OP1は、ここでは $(3 + 1)$ ビットに対応して8倍のゲインを持ち、その出力電圧（残差信号等と呼ばれる） V_{o1} をSTG2に伝送する。このような構成において、アナログ・デジタル変換器の精度に影響を及ぼす主要因として、DA変換回路DAC1の変換誤差や、オペアンプ回路OP1の非線形性（オペアンプ回路が差動構成の場合、具体的には奇数次の非線形性）が挙げられる。DAC1の変換誤差やオペアンプ回路OP1の非線形性は、後述するスイッチトキャパシタ回路の各種特性によって生じる。

10

【 0 0 1 0 】

図32は、図31のAD変換ブロックADC__BKにおいて、その初段のステージSTG1の詳細な構成例を示す回路図である。図33は、図32におけるアンプ回路AMP1の入出力特性の一例を示す説明図である。STG1は、図32に示すようなスイッチトキャパシタ回路を用いて実現できる。図32に示すスイッチトキャパシタ回路は、アンプ回路AMP1と、容量 C_f およびスイッチ回路SWfと、 n 個の容量 $C[1] \sim C[n]$ およびスイッチ回路 $SW[1] \sim SW[n]$ と、スイッチデコーダSDCから構成される。当該スイッチトキャパシタ回路は、図31におけるDA変換回路DAC1、減算回路SUB1、およびオペアンプ回路OP1に対応する。

20

【 0 0 1 1 】

C_f およびSWfは、AMP1の負帰還経路に並列に接続される。AMP1の正極（+）入力ノードは接地電源電圧GNDに接続される。 $C[1] \sim C[n]$ の一端は、AMP1の負極（-）入力ノードに共通に接続され、 $C[1] \sim C[n]$ の他端は、それぞれ、 $SW[1] \sim SW[n]$ の一端に接続される。 $SW[1] \sim SW[n]$ のそれぞれの他端には、アナログ入力信号 V_{i1} か基準電圧（ $+V_{ref}$ 又は $-V_{ref}$ ）か0V電圧のいずれかが選択的に印加される。SDCは、AD変換回路ADC1の出力に応じて前述した $SW[1] \sim SW[n]$ の他端に印加する電圧信号を選択する。

【 0 0 1 2 】

このスイッチトキャパシタ回路は、次のように動作する。まず、SWfがオンに制御され、 $SW[1] \sim SW[n]$ の他端に V_{i1} が印加される。次いで、SWfがオフに制御され、 $SW[1] \sim SW[n]$ の他端に、 $+V_{ref}$ か $-V_{ref}$ か0Vが印加される。ここで、 $C[1] \sim C[n]$ のそれぞれが同一の容量値 C_s を持つと仮定すると、AMP1の出力電圧（残差信号） V_{o1} は、式(1)となる。

30

【 0 0 1 3 】

$$V_{o1} = (n \cdot C_s / C_f) \cdot V_{i1} \pm (m \cdot C_s / C_f) \cdot V_{ref} \quad (1)$$

式(1)において、 $(n \cdot C_s / C_f)$ の値は、図31におけるOP1のゲインを定める。また、 m の値は、 $SW[1] \sim SW[n]$ の他端の中から $+V_{ref}$ が印加される他端の個数と $-V_{ref}$ が印加される他端の個数との差分値であり、図31におけるDAC1が差分値 m の値を制御する。

40

【 0 0 1 4 】

このようなスイッチトキャパシタ回路では、 $C[1] \sim C[n]$ に蓄えられる電荷を C_f に再配分することで増幅ならびにDA変換を行っている。したがって、これらの容量値に相対的な製造ばらつき等（すなわち容量ミスマッチ）が生じると、図31におけるオペアンプ回路OP1のゲインならびにDA変換回路DAC1の変換値（すなわち式(1)における $(n \cdot C_s / C_f)$ や $(m \cdot C_s / C_f)$ の値）に誤差が生じる。

【 0 0 1 5 】

更に、OP1のゲインは、より厳密には、図32におけるアンプ回路AMP1の入出力特性にも影響される。AMP1の入出力特性は、図33に示すように、例えば負帰還回路（ここではボルテージフォロワ回路）を構成した場合、理想特性からずれた3次歪み特性

50

を持つ。これに伴い、図 3 1 におけるオペアンプ回路 OP 1 の入出力特性 $g(V_{a1})$ は、 $g(V_{a1}) = \alpha_1 \cdot V_{a1} + \alpha_3 \cdot V_{a1}^3$ で表される。 α_1 の値は、1 次の非線形性を表し、前述した式 (1) の $(n \cdot C_s / C_f)$ (すなわち容量ミスマッチ) に影響される。 α_3 の値は、3 次の非線形性を表し、前述したように AMP 1 の 3 次歪み特性に影響される。なお、アンプ回路自体は 2 次歪み特性も持つが、アンプ回路を差動構成とすることでこの特性は無視できる。

【0016】

以上のようなことから、アナログ・デジタル変換器をより高精度化するためには、前述した DA 変換回路 DAC 1 ならびにオペアンプ回路 OP 1 の 1 次の非線形性に影響を与える容量ミスマッチと共に、OP 1 の 3 次の非線形性を校正することが望ましい。本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、高精度なアナログ・デジタル変換器を提供することにある。また、他の目的の一つは、短い収束時間で高精度な校正を可能にするアナログ・デジタル変換器を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

10

【課題を解決するための手段】

【0017】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0018】

本実施の形態によるアナログ・デジタル変換器は、アナログ入力信号を第 1 デジタル信号に変換する第 1 変換ブロックと当該アナログ入力信号を第 2 デジタル信号に変換する第 2 変換ブロックと、第 1 デジタル信号と第 2 デジタル信号を平均化してデジタル出力信号を生成すると共に、第 1 デジタル信号と第 2 デジタル信号の差分を用いてデジタル自己校正を行う校正ブロックとを備えている。第 1 および第 2 変換ブロックのそれぞれは、パイプライン構成を代表とする複数段のステージを備え、そのいずれかの段 (例えば初段) には、第 1 論理値と第 2 論理値を持つ擬似乱数信号を順次生成する乱数生成回路と、擬似乱数信号の値が例えば第 1 論理値であった場合に当該段から出力される残差信号の大きさを第 1 の値だけシフトさせる第 1 手段とが備わっている。擬似乱数信号の値は、第 1 変換ブロック側と第 2 変換ブロック側とでそれぞれ別個独立に生成される。このような構成において、校正ブロックは、擬似乱数信号が第 1 論理値であった場合の第 1 デジタル信号と第 2 論理値であった場合の第 1 デジタル信号との間の差分値を第 2 デジタル信号を基準として計測し、当該差分値がアナログ入力信号の大きさに依らず一定となるように第 1 デジタル信号に対して補正值を加える。同様に、校正ブロックは、擬似乱数信号が第 1 論理値であった場合の第 2 デジタル信号と第 2 論理値であった場合の第 2 デジタル信号との間の差分値を第 1 デジタル信号を基準として計測し、当該差分値がアナログ入力信号の大きさに依らず一定となるように第 2 デジタル信号に対して補正值を加える。

20

30

【0019】

このような構成を用いると、当該校正対象の段が備えるオペアンプ回路で生じた 3 次の非線形性を校正することが可能となり、アナログ・デジタル変換器の高精度化が実現可能となる。また、第 1 デジタル信号と第 2 デジタル信号の一方を基準として他方の校正を行うため、デジタル自己校正の収束時間を早めることが可能となる。

40

【発明の効果】

【0020】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、高精度なアナログ・デジタル変換器を実現可能になる。また、短い収束時間で高精度な校正を可能にするアナログ・デジタル変換器を実現可能になる。

【図面の簡単な説明】

【0021】

【図 1】本発明の一実施の形態によるアナログ・デジタル変換器において、その全体構成

50

の一例を示すブロック図である。

【図 2】図 1 のアナログ・デジタル変換器において、そのステージ [1] の伝達関数の一例を示す説明図である。

【図 3】図 1 のアナログ・デジタル変換器において、その主要部の詳細な構成例を示すブロック図である。

【図 4】図 3 の主要な動作例を説明する図であり、(a) は当該動作に関連する構成を簡略的に示したブロック図、(b) はステージ [1] から出力される残差信号の一方を表す伝達関数、(c) はステージ [1] から出力される残差信号の他方を表す伝達関数である。

【図 5】(a) は、図 4 (a) におけるステージ [1] ならびに 1 ビットの D A 変換回路の詳細な構成例を示す回路図であり、(b) は、図 5 (a) における A D 変換回路の詳細な構成例を示す回路図である。

10

【図 6】(a)、(b) は、図 1 のアナログ・デジタル変換器において、その 3 次非線形性校正部の動作概念を示す説明図である。

【図 7】(a)、(b) は、図 6 の各差分値が図 1 における一方のステージ [1] に対応する場合の各差分値の計測方法の一例を示す説明図である。

【図 8】(a)、(b) は、図 6 の各差分値が図 1 における他方のステージ [1] に対応する場合の各差分値の計測方法の一例を示す説明図である。

【図 9】図 7 において、差分値を算出するための構成例を示す回路ブロック図である。

【図 10】図 1 のアナログ・デジタル変換器において、その 3 次非線形性校正部の詳細な構成例を示すブロック図である。

20

【図 11】図 1 のアナログ・デジタル変換器において、図 10 の 3 次非線形性校正部および図 1 のゲインミスマッチ校正部の動作例を示すフロー図である。

【図 12】図 1 のアナログ・デジタル変換器において、そのゲインミスマッチ校正部の詳細な構成例を示すブロック図である。

【図 13】図 12 のゲインミスマッチ校正部の動作例を示す説明図である。

【図 14】図 12 のゲインミスマッチ校正部の動作例を示す説明図である。

【図 15】図 1 のアナログ・デジタル変換器において、その 1 次非線形性校正部の詳細な構成例を示すブロック図である。

【図 16】図 15 の動作例を説明するための補足図である。

30

【図 17】図 15 の動作例を説明するための補足図である。

【図 18】図 15 の動作例を説明するための補足図である。

【図 19】図 15 の動作例を説明するための補足図である。

【図 20】図 1 のデジタル・アナログ変換器において、そのシミュレーション条件を纏めた表である。

【図 21】図 1 のデジタル・アナログ変換器において、その精度面でのシミュレーション結果を纏めた表である。

【図 22】図 21 における実際の算出データを示した図である。

【図 23】図 21 における実際の算出データを示した図である。

【図 24】図 21 における実際の算出データを示した図である。

40

【図 25】図 21 における実際の算出データを示した図である。

【図 26】図 21 における実際の算出データを示した図である。

【図 27】図 21 における実際の算出データを示した図である。

【図 28】図 1 のデジタル・アナログ変換器において、その収束時間面でのシミュレーション結果を示す算出データである。

【図 29】図 18 の I I R フィルタの収束時間面でのシミュレーション結果を示す算出データである。

【図 30】本発明の前提として検討したアナログ・デジタル変換器において、スプリット構成のパイプライン型 A D 変換器の概略構成例を示すブロック図である。

【図 31】図 30 のアナログ・デジタル変換器において、その各 A D 変換ブロックの内部

50

構成例を示すブロック図ならびにその問題点の一例を示す説明図である。

【図32】図31のAD変換ブロックにおいて、その初段のステージの詳細な構成例を示す回路図である。

【図33】図32におけるアンプ回路の入出力特性の一例を示す説明図である。

【発明を実施するための形態】

【0022】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

10

【0023】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0024】

20

また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0025】

《アナログ・デジタル変換器の全体構成》

図1は、本発明の一実施の形態によるアナログ・デジタル変換器において、その全体構成の一例を示すブロック図である。図1に示すアナログ・デジタル変換器は、2個のAD変換ブロックADC__BK_a、ADC__BK_bと、校正ブロック（キャリブレーションブロック）CLB__BKによって構成される。ADC__BK_aは、アナログ入力信号V_iに対してパイプライン式にデジタル変換を行うステージ[1]STG1_a及びバックエンドAD変換部ADC__BE_aと、1ビットのDA変換回路DAC__1B_aとを備えている。同様に、ADC__BK_bは、アナログ入力信号V_iに対してパイプライン式にデジタル変換を行うステージ[1]STG1_b及びバックエンドAD変換部ADC__BE_bと、1ビットのDA変換回路DAC__1B_bとを備えている。

30

【0026】

STG1_aは、アナログ入力信号V_iを受けて、最上位部分となる複数ビット（ここでは1ビットの冗長ビットを含む(3+1)ビット）のデジタル信号MSB_aを生成する。ADC__BE_aは、STG1_aからの出力信号を受けて、MSB_aに続く下位ビットから最下位ビットまでのデジタル信号D1_a(LSB_a)を生成する。DAC__1B_aは、詳細は後述するが、CLB__BKからのデジタル信号に応じてSTG1_aに対してアナログ信号を供給する。同様に、STG1_bは、V_iを受けて、最上位部分となる複数ビット（ここでは1ビットの冗長ビットを含む(3+1)ビット）のデジタル信号MSB_bを生成する。ADC__BE_bは、STG1_bからの出力信号を受けて、MSB_bに続く下位ビットから最下位ビットまでのデジタル信号D1_b(LSB_b)を生成する。DAC__1B_bは、詳細は後述するが、CLB__BKからのデジタル信号に応じてSTG1_bに対してアナログ信号を供給する。

40

【0027】

校正ブロックCLB__BKは、AD変換ブロックADC__BK_a、ADC__BK_bから

50

のデジタル信号 $D1a$, $D1b$ に対してデジタル信号処理により各種校正 (補正) を行った後、校正後のデジタル信号 $D0$ を出力するものとなっている。デジタル信号 $D1a$, $D1b$ は、 $ADC_BK a$, $ADC_BK b$ のステージ [1] $STG1a$, $STG1b$ から出力された残差信号を表しており、これを校正するということは、 $STG1a$, $STG1b$ の伝達関数 (入力電圧 (アナログ入力信号) に対する出力電圧 (残差信号) の特性) を校正することに等しい。言い換えれば、バックエンド AD 変換部 $ADC_BE a$, $ADC_BE b$ が $STG1a$, $STG1b$ の伝達関数を計測し、その計測結果に対して CLB_BK が校正を行う。通常、パイプライン型 AD 変換器は、より前段で生じた誤差ほど全体の変換精度に与える影響が大きいため、初段のステージ [1] を校正することで全体の変換精度の向上が図れる。また、見方を変えれば、初段のステージ [1] を校正することで、初段に低精度の回路を使用することができ、これにより、全体として高精度を維持しつつ、更なる高速化ならびに低消費電力化を図ることが可能となる。

10

【 0028 】

校正ブロック CLB_BK は、ランダム信号生成部 $RNG a$, $RNG b$ と、3次非線形性校正部 CLB_3RD と、ゲインミスマッチ校正部 CLB_GM と、1次非線形性校正部 CLB_1ST と、デジタル加算部 $DADD1 \sim DADD3$ と、平均値演算部 AVE を備えている。 $RNG a$ は、前述した DA 変換回路 DAC_1Ba と CLB_GM に向けて、擬似ランダムデジタル信号を出力する。 $RNG b$ は、前述した DA 変換回路 DAC_1Bb と CLB_GM に向けて、擬似ランダムデジタル信号を出力する。 CLB_3RD は、詳細は後述するが、 $RNG a$, $RNG b$ から AD 変換ブロック $ADC_BK a$, $ADC_BK b$ に向けた擬似ランダムデジタル信号の出力を利用し、当該出力が反映されている $ADC_BK a$, $ADC_BK b$ からのデジタル信号 $D1a$, $D1b$ を受け、これに対して $STG1a$, $STG1b$ の伝達関数に生じた3次の非線形性の校正を行う。そして、 CLB_3RD は、この校正後のデジタル信号 $D2a$, $D2b$ を出力すると共に、校正の処理過程で生成したデジタル信号 $\#H11a$, $\#H11b$ を出力する。

20

【 0029 】

ゲインミスマッチ校正部 CLB_GM は、詳細は後述するが、 CLB_3RD からのデジタル信号 $D2a$, $D2b$ ならびにデジタル信号 $\#H11a$, $\#H11b$ を受け、 $STG1a$, $STG1b$ の伝達関数に生じたゲインの誤差を補正する。また、 CLB_GM は、 $RNG a$, $RNG b$ からの擬似ランダムデジタル信号を受け、 $RNG a$, $RNG b$ の影響が反映されているデジタル信号 $D2a$, $D2b$ から、この影響を除外する。そして、 CLB_GM は、これらの処理を経て生成されたデジタル信号 $D3a$, $D3b$ を出力する。

30

【 0030 】

デジタル加算部 $DADD1$ は、 CLB_GM からのデジタル信号 $D3a$ と、 AD 変換ブロック $ADC_BK a$ からの $MSBa$ とを加算し、デジタル信号 $D4a$ を出力する。デジタル加算部 $DADD2$ は、 CLB_GM からのデジタル信号 $D3b$ と、 AD 変換ブロック $ADC_BK b$ からの $MSBb$ とを加算し、デジタル信号 $D4b$ を出力する。1次非線形性校正部 CLB_1ST は、デジタル信号 $D4a$, $D4b$ に対して、 $STG1a$, $STG1b$ の伝達関数に生じた1次の非線形性等の校正を行ったのち、デジタル信号 $D5a$, $D5b$ を出力する。なお、この CLB_1ST は、例えば、前述した非特許文献2の技術を用いることで実現可能である。デジタル加算部 $DADD3$ は、 $D5a$ と $D5b$ を加算し、平均値演算部 AVE は、 $DADD3$ の加算結果を平均化することで最終的なデジタル信号 $D0$ を生成する。

40

【 0031 】

図2は、図1のアナログ・デジタル変換器において、そのステージ [1] STG の伝達関数の一例を示す説明図である。各 AD 変換ブロック $ADC_BK a$, $ADC_BK b$ 内のステージ [1] $STG1a$, $STG1b$ での入出力特性は、図2に示すように、横軸を入力電圧 (アナログ入力信号 V_i)、縦軸を出力電圧 (残差信号) とする伝達関数によって表すことができる。この出力電圧 (残差信号) は、バックエンド AD 変換部 $ADC_BE a$, $ADC_BE b$ によってデジタル信号 $LSBa$, $LSBb$ に変換される。また、出

50

力電圧の最大電圧値は V_{ref} であり、最小電圧値は $-V_{ref}$ である。伝達関数は、図 2 に示すような鋸歯状の波形となり、この歯の数は、ステージ [1] $STG1a$, $STG1b$ での変換ビット数や変換方式に応じて適宜定められる。例えば、1ビットの冗長ビットを含めた 4ビット変換を行う場合、代表的には 15個程度の歯が設けられる。ただし、本実施の形態では、この歯の数等は特に限定されないため、図 2 は、伝達関数の一部を概略的に示したものとなっている。

【 0 0 3 2 】

$ADC_BK a$ 内の $STG1a$ の伝達関数において、例えば、入力電圧が $V_{th}[j-1] \sim V_{th}[j]$ の範囲にある場合、デジタル信号 $MSB a$ として「 $i-1$ 」が出力されると共に、入力電圧に応じた残差信号が出力される。また、入力電圧が $V_{th}[j] \sim V_{th}[j+1]$ の範囲にある場合、 $MSB a$ として「 i 」が出力されると共に、入力電圧に応じた残差信号が出力される。一方、 $ADC_BK b$ 内の $STG1b$ の伝達関数においては、例えば、入力電圧が $V_{th}[k] \sim V_{th}[k+1]$ の範囲にある場合、デジタル信号 $MSB b$ として「 i 」が出力されると共に、入力電圧に応じた残差信号が出力される。また、入力電圧が $V_{th}[k+1] \sim V_{th}[k+2]$ の範囲にある場合、 $MSB b$ として「 $i+1$ 」が出力されると共に、入力電圧に応じた残差信号が出力される。

10

【 0 0 3 3 】

ここで、 $STG1a$ の伝達関数と $STG1b$ の伝達関数を比較すると、一方の伝達関数は、他方の伝達関数と比較して、各 MSB に対応する入力電圧範囲において MSB の 1ビット幅 (V) の $1/2$ だけオフセットが加わったようなものとなっている。すなわち、例えば、 $MSB = \text{「}i\text{」}$ は、 $STG1a$ では入力電圧が $V_{th}[j] \sim V_{th}[j+1]$ ($= V_{th}[j] + V$) の範囲に対応し、 $STG1b$ では入力電圧が $V_{th}[k]$ ($= V_{th}[j] - V/2$) $\sim V_{th}[k+1]$ ($= V_{th}[j] + V/2$) の範囲に対応する。

20

【 0 0 3 4 】

《アナログ・デジタル変換器の主要部の詳細》

図 3 は、図 1 のアナログ・デジタル変換器において、その主要部の詳細な構成例を示すブロック図である。ここでは、図を簡略化するためにシングルエンド回路の構成が示されているが、差動回路により構成することも可能である。図 3 には、図 1 における AD 変換ブロック $ADC_BK a$, $ADC_BK b$ と、校正ブロック CLB_BK 内のランダム信号生成部 $RNG a$, $RNG b$ が示されている。図 3 において、ステージ [1] $STG1$ は、ここでは図 1 における 2 個のステージ [1] $STG1a$, $STG1b$ を含んで構成される。この $STG1$ は、5ビットの AD 変換回路 $ADC1 a b$ と、4ビットの DA 変換回路 $DAC1 a$, $DAC1 b$ と、加減算回路 $AS1 a$, $AS1 b$ と、オペアンプ回路 $OP1 a$, $OP1 b$ を備えている。

30

【 0 0 3 5 】

AD 変換回路 $ADC1 a b$ は、アナログ入力信号 V_i (V_{i1}) を 5ビットのデジタル信号に変換する。 $DAC1 a$ は、 $ADC1 a b$ からの偶数番目のデジタル出力信号を受けて、それに応じたアナログ出力信号を生成し、 $DAC1 b$ は、 $ADC1 a b$ からの奇数番目のデジタル出力信号を受けて、それに応じたアナログ出力信号を生成する。加減算回路 $AS1 a$ は、 V_i に対して $DAC1 a$ からのアナログ出力信号を減算すると共に 1ビットの DA 変換回路 $DAC_1 B a$ からのアナログ出力信号を減算 (あるいは加算) してアナログ出力信号 V_{a1} を生成する。同様に、加減算回路 $AS1 b$ は、 V_i に対して $DAC1 b$ からのアナログ出力信号を減算すると共に 1ビットの DA 変換回路 $DAC_1 B b$ からのアナログ出力信号を減算 (あるいは加算) してアナログ出力信号 V_{b1} を生成する。

40

【 0 0 3 6 】

オペアンプ回路 $OP1 a$ は、加減算回路 $AS1 a$ からのアナログ出力信号 V_{a1} を所定のゲイン (ここでは 8 倍) で増幅する。同様に、オペアンプ回路 $OP1 b$ は、加減算回路 $AS1 b$ からのアナログ出力信号 V_{b1} を所定のゲイン (ここでは 8 倍) で増幅する。 $OP1 a$ からの出力電圧 (残差信号) は、バックエンド AD 変換部 $ADC_BE a$ に入力さ

50

れ、OP1bからの出力電圧（残差信号）は、バックエンドAD変換部ADC__BEbに入力される。ADC__BEaは、図31で述べたようにパイプライン構成となっており、それぞれ1.5ビット等を順次生成するステージ[2]STG2a～ステージ[9]STG9aと、その後段に設けられ3ビット等を生成するフラッシュAD変換回路FADCaを備えている。同様に、ADC__BEbも、それぞれ1.5ビット等を順次生成するステージ[2]STG2b～ステージ[9]STG9bと、その後段に設けられ3ビット等を生成するフラッシュAD変換回路FADCbを備えている。

【0037】

1ビットのDA変換回路DAC__1Baは、ランダム信号生成部RNGaからの擬似ランダムデジタル信号に応じて0Vか、あるいは $(V_{ref}/16)V$ 等を加減算回路AS1aに向けて出力する。同様に、1ビットのDA変換回路DAC__1Bbは、ランダム信号生成部RNGbからの擬似ランダムデジタル信号に応じて0Vか、あるいは $(V_{ref}/16)V$ 等を加減算回路AS1bに向けて出力する。ここでは、特に限定はされないが、擬似ランダムデジタル信号が‘1’の場合に $(V_{ref}/16)V$ が出力され、‘0’の場合に0Vが出力されるものとする。RNGa, RNGbは、例えば、LFSR (Linear Feedback Shift Register) 等によって構成され、それぞれ、異なる初期値に基づいて独立に擬似ランダムデジタル信号を生成する。

【0038】

図4は、図3の主要な動作例を説明する図であり、(a)は当該動作に関連する構成を簡略的に示したブロック図、(b)はステージ[1]から出力される残差信号の一方を表す伝達関数、(c)はステージ[1]から出力される残差信号の他方を表す伝達関数である。図4(a)には、アナログ入力信号Vi1を受けるステージ[1]STG1と、1ビットのDA変換回路DAC__1Bと、ランダム信号生成部RNGと、バックエンドAD変換部ADC__BEと、3次非線形性校正部CLB__3RDが示されている。STG1は、図1におけるステージ[1]STG1a, STG1bのそれぞれか、あるいは図3のステージ[1]における2系統の経路の一方を表している。また、DAC__1Bは、図1および図3におけるDAC__1Ba, DAC__1Bbのそれぞれを表し、RNGは、図1および図3におけるRNGa, RNGbのそれぞれを表し、ADC__BEは、図1および図3におけるADC__BEa, ADC__BEbのそれぞれを表す。

【0039】

このような構成において、図4のSTG1が図1のSTG1aであった場合、対応するバックエンドAD変換部ADC__BEaによって計測されるSTG1aの残差信号（デジタル信号D1aに該当）は、図4(b)に示すような伝達関数となる。すなわち、RNGaが‘0’を出力した場合には、図4(b)の特性TCaに示すような伝達関数となり、RNGaが‘1’を出力した場合には、図4(b)の特性TCa'に示すような伝達関数となる。同様に、図4のSTG1が図1のSTG1bであった場合、対応するバックエンドAD変換部ADC__BEbによって計測されるSTG1bの残差信号（デジタル信号D1bに該当）は、図4(c)に示すような伝達関数となる。すなわち、RNGbが‘0’を出力した場合には、図4(c)の特性TCbに示すような伝達関数となり、RNGbが‘1’を出力した場合には、図4(c)の特性TCb'に示すような伝達関数となる。

【0040】

このように、ランダム信号生成部RNGa, RNGbが‘1’を出力した場合には、 $V_{ref}/16$ がオペアンプ回路OP1a, OP1bによって8倍に増幅されるため、結果的に、伝達関数の縦軸方向において $V_{ref}/2$ のシフトが生じる。本実施の形態のアナログ・デジタル変換器では、この $V_{ref}/2$ のシフトを利用して3次の非線形性の校正を行う。その詳細に関しては、図6以降で説明する。

【0041】

《パイプラインステージ周りの詳細回路構成》

図5(a)は、図4(a)におけるステージ[1]STG1ならびに1ビットのDA変換回路DAC__1Bの詳細な構成例を示す回路図であり、図5(b)は、図5(a)にお

10

20

30

40

50

けるAD変換回路の詳細な構成例を示す回路図である。STG1ならびにDAC__1Bは、例えば図5(a)に示すようなスイッチトキャパシタ回路を用いて実現できる。図5(a)に示すスイッチトキャパシタ回路は、アンプ回路AMP1と、容量Cfおよびスイッチ回路SWfと、n個の容量C[1]~C[n]およびスイッチ回路SW[1]~SW[n]と、容量Crおよびスイッチ回路SWrと、スイッチデコーダSDECから構成される。当該スイッチトキャパシタ回路では、図4(a)における1ビットのDA変換回路DAC__1Bが、容量Crおよびスイッチ回路SWrによって実現されることが特徴となっている。

【0042】

CfおよびSWfは、AMP1の負帰還経路に並列に接続される。AMP1の正極(+)入力ノードは接地電源電圧GNDに接続される。C[1]~C[n]の一端は、AMP1の負極(-)入力ノードに共通に接続され、C[1]~C[n]の他端は、それぞれ、SW[1]~SW[n]の一端に接続される。SW[1]~SW[n]のそれぞれの他端には、アナログ入力信号Vi1か基準電圧(+Vref又は-Vref)か0V電圧のいずれかが選択的に印加される。SDECは、AD変換回路ADC1の出力に応じて前述したSW[1]~SW[n]の他端に印加する電圧信号を選択する。

10

【0043】

また、Crの一端は、AMP1の負極(-)入力ノードに接続され、Crの他端は、SWrの一端に接続される。SWrの他端には、基準電圧(+Vref)か0V電圧のいずれかが選択的に印加される。SWrは、ランダム信号生成部RNGが'1'を出力した際には他端を+Vrefに接続し、RNGが'0'を出力した際には他端を0V電圧に接続する。ここで、C[1]~C[n]は、それぞれ容量値Csを備え、Crは容量値Cs/2を備える。

20

【0044】

このスイッチトキャパシタ回路は、次のように動作する。まず、SWfがオンに制御され、SW[1]~SW[n]の他端にVi1が印加される。次いで、SWfがオフに制御され、SW[1]~SW[n]の他端に、+Vrefか-Vrefか0Vが印加され、更に、SWrの他端に+Vrefか0Vが印加される。そうすると、AMP1の出力電圧(残差信号)Voi1は、式(2)となる。

【0045】

$$V_{oi1} = (n \cdot C_s / C_f) \cdot V_{i1} \pm (m \cdot C_s / C_f) \cdot V_{ref} - \{ r \cdot (C_s / 2) / C_f \} \cdot V_{ref} \quad (2)$$

30

式(2)において、(n・Cs/Cf)の値は、図4(a)におけるOP1のゲインを定める。mの値は、SW[1]~SW[n]の他端の中から+Vrefが印加される他端の個数と-Vrefが印加される他端の個数との差分値であり、図4(b)におけるADC1が差分値mの値を制御する。また、rの値は、RNGが'1'を出力した場合には「1」であり、「0」を出力した場合には「0」である。なお、Cfの容量値もCsとした場合、式(2)は式(3)となる。

【0046】

$$V_{oi1} = n \cdot V_{i1} \pm m \cdot V_{ref} - r \cdot (1/2) \cdot V_{ref} \quad (3)$$

40

また、図5(a)におけるAD変換回路ADC1は、例えば、図5(b)に示すようなフラッシュ型AD変換回路で実現できる。図5(b)に示すADC1は、m個のコンパレータ回路CMP[1]~CMP[m]と、エンコーダ回路ENCを備えている。CMP[1]は、判定電圧Vth[1]を基準にアナログ入力信号Vi1を比較判定し、CMP[2]は、判定電圧Vth[2]を基準にVi1を比較判定し、以降同様にして、CMP[m]は、判定電圧Vth[m]を基準にVi1を比較判定する。ENCは、CMP[1]~CMP[m]からの比較判定結果を受けてMSBを生成する。ここで、図4(a)のSTG1がSTG1aの場合とSTG1bの場合とでは、Vth[1]~Vth[m]のそれぞれの値が異なっている。例えば、STG1aのVth[j]をVjとし、Vth[j+1]をVj+Vとすると、STG2aのVth[j]、Vth[j+1]は、それぞ

50

れ $V_j - V/2$, $V_j + V/2$ となっている。これによって、図 2 に示したような伝達関数が実現可能となる。

【0047】

《3次非線形性校正部の詳細》

図 6 (a)、(b) は、図 1 のアナログ・デジタル変換器において、その 3 次非線形性校正部 CLB_3RD の動作概念を示す説明図である。図 6 (a) には、3 次非線形性の校正を行わない場合において、STG1a (又は STG1b) の伝達関数の一例が示されている。図 6 (a) において、伝達関数上の特性 TC および特性 TC' は、STG1a (又は STG1b) から出力される残差信号に該当し、図 1 におけるデジタル信号 D1a (又は D1b) に該当するものである。特性 TC' は、図 4 で説明したように、ランダム信号生成部 RNG の '1' 出力に伴い特性 TC が縦軸方向に $V_{ref}/2$ だけシフトしたものである。

10

【0048】

図 6 (a) における特性 TC および TC' は、それぞれ、図 3 3 等で述べたように、3 次の非線形性を持っている。ここで、TC と TC' は、それぞれ縦軸方向のレンジが $V_{ref}/2$ だけ異なるため、横軸方向の推移に応じてその 3 次の歪みの量も異なる。すなわち、TC および TC' は、図 3 3 に示すように、縦軸の原点 (0) 近辺では、3 次の歪みの影響が小さく、原点から遠ざかるにつれて 3 次の歪みの影響が大きくなる。その結果、図 6 (a) に示すように、原点近辺における TC と TC' の差分値 H12 は、3 次の歪みの影響が小さく、原点から離れた位置における TC と TC' の差分値 H11 は、3 次の歪みの影響が大きくなる。また、特性 TC, TC' は鋸歯であるため、この 3 次の歪みの影響が小さい領域と 3 次の歪みの影響が大きい領域が、横軸方向のおよそ MSB/2 単位の推移に応じて、交互に生じることになる。そこで、図 6 (b) に示すように、この H11 と H12 の大きさを逐次計測して、「H11 の平均値 = H12 の平均値」となるように補正を行えば、3 次の非線形性を校正することが可能となる。

20

【0049】

次に、図 7 ~ 図 10 を用いて、3 次非線形性校正部 CLB_3RD の詳細な処理内容について説明する。図 7 (a)、(b) は、図 6 の各差分値 H11, H12 が図 1 における一方のステージ [1] STG1a に対応する場合の各差分値の計測方法の一例を示す説明図である。図 6 で述べたような各差分値 H11, H12 を計測する際、ある時刻において特性 TC と TC' が同時に出力されている訳ではないため、何らかの工夫が必要となる。例えば、ランダム信号生成部 RNG の出力が '0' の場合の残差信号と、'1' の場合の残差信号を長期間に亘って観測し、それぞれの特性 TC および TC' の曲がり方を認識すると共に統計的な処理によって校正を行う方法が考えられる。しかしながら、このような方法では、収束時間が長くなる恐れがある。そこで、ここでは、ある時刻において同時に出力されている他方のステージ [1] STG1b からの残差信号を利用し、これを基準として各差分値 H11, H12 を計測する。これによって、短い収束時間で高精度な校正を行うことが可能となる。

30

【0050】

図 7 (a) には、RNGb が '0' を出力した際に STG1b から出力される残差信号の特性 TCb を基準として、RNGa が '0' を出力した際に STG1a から出力される残差信号の特性 TCa と、RNGa が '1' を出力した際に STG1a から出力される残差信号の特性 TCa' との差分値を計測する例が示されている。まず、図 6 の差分値 H11 に対応する差分値 H11a は、図 7 (a) に示すように、TCb を基準として、TCa' との差分値 (Da011) を逐次計測ならびに平均化し、また、TCa との差分値 (Da001) を逐次計測ならびに平均化することで、「H11a = Da011 の平均値 - Da001 の平均値」によって算出できる。

40

【0051】

同様に、図 6 の差分値 H12 に対応する差分値 H12a は、図 7 (a) に示すように、TCb を基準として、TCa との差分値 (Da002) を逐次計測ならびに平均化し、ま

50

た、 TCa' との差分値 ($Da012$) を逐次計測ならびに平均化することで、「 $H12a = Da002$ の平均値 - $Da012$ の平均値」によって算出できる。ここで、 $H11a$ 側の領域と $H12a$ 側の領域は、その境界において、 TCb に応じて出力された $MSBb$ が1ビットシフトするか、あるいは TCa (TCa')に応じて出力された $MSBa$ が1ビットシフトすることになるため、この各 MSB の違いによって区別することができる。具体的には、例えば、図7(a)に示すように、 $MSBa = MSBb$ の領域を $H11a$ 側の領域とし、 $MSBa \neq MSBb$ の領域を $H12a$ 側の領域とすることができる。

【0052】

また、差分値 $H11a$ 、 $H12a$ は、図7(b)に基づいて算出することも可能である。図7(b)には、図7(a)と異なり $RNGb$ が'1'を出力した際に $STG1b$ から出力される残差信号の特性 TCb' を基準として、前述した特性 TCa と特性 TCa' の差分値を計測する例が示されている。まず、差分値 $H11a$ は、図7(b)に示すように、 TCb' を基準として、 TCa' との差分値 ($Da111$) を逐次計測ならびに平均化し、また、 TCa との差分値 ($Da101$) を逐次計測ならびに平均化することで、「 $H11a = Da111$ の平均値 - $Da101$ の平均値」によって算出できる。

10

【0053】

同様に、差分値 $H12a$ は、図7(b)に示すように、 TCb' を基準として、 TCa との差分値 ($Da102$) を逐次計測ならびに平均化し、また、 TCa' との差分値 ($Da112$) を逐次計測ならびに平均化することで、「 $H12a = Da102$ の平均値 - $Da112$ の平均値」によって算出できる。ここで、 $H11a$ 側の領域と $H12a$ 側の領域は、その境界において、 TCb' に応じて出力された $MSBb$ が1ビットシフトするか、あるいは TCa (TCa')に応じて出力された $MSBa$ が1ビットシフトすることになるため、この各 MSB の違いによって区別することができる。

20

【0054】

図8(a)、(b)は、図6の各差分値 $H11$ 、 $H12$ が図1における他方のステージ[1] $STG1b$ に対応する場合の各差分値の計測方法の一例を示す説明図である。この場合は、図7(a)、(b)の場合と逆に、ある時刻において同時に出力されている一方のステージ[1] $STG1a$ からの残差信号を利用し、これを基準として各差分値 $H11$ 、 $H12$ を計測する。

【0055】

図8(a)には、 $RNGa$ が'0'を出力した際に $STG1a$ から出力される残差信号の特性 TCa を基準として、 $RNGb$ が'0'を出力した際に $STG1b$ から出力される残差信号の特性 TCb と、 $RNGb$ が'1'を出力した際に $STG1b$ から出力される残差信号の特性 TCb' との差分値を計測する例が示されている。まず、図6の差分値 $H11$ に対応する差分値 $H11b$ は、図8(a)に示すように、 TCa を基準として、 TCb との差分値 ($Db001$) を逐次計測ならびに平均化し、また、 TCb' との差分値 ($Db011$) を逐次計測ならびに平均化することで、「 $H11b = Db001$ の平均値 - $Db011$ の平均値」によって算出できる。

30

【0056】

同様に、図6の差分値 $H12$ に対応する差分値 $H12b$ は、図8(a)に示すように、 TCa を基準として、 TCb' との差分値 ($Db012$) を逐次計測ならびに平均化し、また、 TCb との差分値 ($Db002$) を逐次計測ならびに平均化することで、「 $H12b = Db012$ の平均値 - $Db002$ の平均値」によって算出できる。ここで、 $H11b$ 側の領域と $H12b$ 側の領域は、その境界において、 TCa に応じて出力された $MSBa$ が1ビットシフトするか、あるいは TCb (TCb')に応じて出力された $MSBb$ が1ビットシフトすることになるため、この各 MSB の違いによって区別することができる。

40

【0057】

また、差分値 $H11b$ 、 $H12b$ は、図8(b)に基づいて算出することも可能である。図8(b)には、図8(a)と異なり $RNGa$ が'1'を出力した際に $STG1a$ から出力される残差信号の特性 TCa' を基準として、前述した特性 TCb と特性 TCb' の

50

差分値を計測する例が示されている。まず、差分値 H_{11b} は、図 8 (b) に示すように、 TCa' を基準として、 TCb との差分値 (D_{b101}) を逐次計測ならびに平均化し、また、 TCb' との差分値 (D_{b111}) を逐次計測ならびに平均化することで、「 $H_{11b} = D_{b101}$ の平均値 - D_{b111} の平均値」によって算出できる。

【0058】

同様に、差分値 H_{12b} は、図 8 (b) に示すように、 TCa' を基準として、 TCb' との差分値 (D_{b112}) を逐次計測ならびに平均化し、また、 TCb との差分値 (D_{b102}) を逐次計測ならびに平均化することで、「 $H_{12b} = D_{b112}$ の平均値 - D_{b102} の平均値」によって算出できる。ここで、 H_{11b} 側の領域と H_{12b} 側の領域は、その境界において、 TCa' に応じて出力された $MSBa$ が 1 ビットシフトするか、あるいは TCb (TCb') に応じて出力された $MSBb$ が 1 ビットシフトすることになるため、この各 MSB の違いによって区別することができる。

10

【0059】

図 9 は、図 7 において、差分値 H_{11a} を算出するための構成例を示す回路ブロック図である。ここでは、差分値 H_{11a} を例とするが、勿論、前述した差分値 H_{12a} 、 H_{11b} 、 H_{12b} も同様な構成で算出可能である。図 9 に示す構成例は、所謂 IIR (Infinite Impulse Response) フィルタであり、重み付け回路 WT_{11} 、 WT_{12} 、 WT_{21} 、 WT_{22} と、デジタル加減算回路 $DAS_1 \sim DAS_3$ と、1 サイクル遅延回路 DLY_1 、 DLY_2 を備えている。図 9 に示すように、図 7 (a) に示した差分値 Da_{011} は、 WT_{11} によって μ_{3a} の重み付けがなされた後、 DAS_1 に出力される。図 7 (a) に示した差分値 Da_{001} は、 WT_{21} によって同じく μ_{3a} の重み付けがなされた後、 DAS_2 に出力される。

20

【0060】

DAS_1 の出力は、 DLY_1 による 1 サイクルの遅延を経て、 WT_{12} により ($\mu_{3a} - 1$) の重み付けがなされたのち、自身の入力に帰還される。 DAS_1 は、 WT_{11} の出力から WT_{12} の出力を減算したのち、新たな出力を生成する。ここで、定数 μ_{3a} を適切に設定することで Da_{011} の移動平均が算出される。同様に、 DAS_2 の出力は、 DLY_2 による 1 サイクルの遅延を経て、 WT_{22} により ($\mu_{3a} - 1$) の重み付けがなされたのち、自身の入力に帰還される。 DAS_2 は、 WT_{21} の出力から WT_{22} の出力を減算したのち、新たな出力を生成する。ここで、定数 μ_{3a} を適切に設定することで、 Da_{001} の移動平均が算出される。 DAS_3 は、 DAS_1 の出力から DAS_2 の出力を減算し、その結果を差分値 H_{11a} として出力する。

30

【0061】

図 10 は、図 1 のアナログ・デジタル変換器において、その 3 次非線形性校正部 CLB_3RD の詳細な構成例を示すブロック図である。図 10 に示す 3 次非線形性校正部 CLB_3RD は、演算回路 $CALC_A1$ 、 $CALC_B1$ 、 $CALC_Ea$ 、 $CALC_Eb$ 、計測回路 $MEAS_1$ 、デジタル加減算回路 DAS_{10a} 、 DAS_{10b} 、 DAS_{11a} 、 DAS_{11b} 、 DAS_{12} 、アキュムレータ回路 $ACMa$ 、 $ACMb$ 、重み付け回路 WT_{30a} 、 WT_{30b} を備えている。

【0062】

図 10 の CLB_3RD は、図 1 に示したように、バックエンド AD 変換部 ADC_Ea 、 ADC_Eb から出力されたデジタル信号 D_{1a} 、 D_{1b} を入力として、デジタル信号 D_{2a} 、 D_{2b} およびデジタル信号 $\#H_{11a}$ 、 $\#H_{11b}$ を出力する。 D_{1a} は、 DAS_{11a} を介して 3 次の非線形性の補正が行われ、この補正後のデジタル信号が D_{2a} として出力されると共に、 DAS_{12} の一方に入力される。同様に、 D_{1b} は、 DAS_{11b} を介して 3 次の非線形性の補正が行われ、この補正後のデジタル信号が D_{2b} として出力されると共に、 DAS_{12} の他方に入力される。 DAS_{12} は、この D_{2a} と D_{2b} の差分を算出すると共に、その算出結果を $MEAS_1$ に出力する。この算出結果は、各サイクル毎に、図 7 (a)、(b) に示した Da_{001} 、 Da_{002} 、 Da_{011} 、 Da_{012} 、 Da_{101} 、 Da_{102} 、 Da_{111} 、 Da_{112} のいずれかに該当すること

40

50

になる。なお、図7(a)、(b)内には、 $(RNGa, RNGb) = (0, 0), (0, 1), (1, 0), (1, 1)$ の組み合わせが全て含まれており、図8(a)、(b)に示した $D_{b \times \times \times}$ は、実際には、図7(a)、(b)に示した $D_{a \times \times \times}$ のいずれかに該当することになる。

【0063】

MEAS1は、例えば、図9に示したようなIIRフィルタを複数備え、ここでは、MSBa, MSBbおよびRNGa, RNGbの情報を用いて、前述した各 $D_{a \times \times \times}$ 毎の平均値 $\#D_{a \times \times \times}$ および各 $D_{b \times \times \times}$ 毎の平均値 $\#D_{b \times \times \times}$ を算出すると共に、前述したH11a, H12a, H11b, H12bを算出する。すなわち、RNGa, RNGbの組み合わせによって、図7(a)、(b)(および図8(a)、(b))のいずれの場合に該当するかを識別でき、MSBa, MSBbによって、3次の非線形性の影響が大きい領域(すなわちH11側)か3次の非線形性の影響が小さい領域(すなわちH12側)かを識別できる。MEAS1は、この識別結果に応じて選択されたIIRフィルタを用いてH11a, H12a, H11b, H12bを算出する。なお、非線形性の影響が大きい領域と非線形性の影響が小さい領域は、図6(a)等に示したようにそれぞれ交互に複数箇所存在することになるが、この複数箇所同士は特に区別する必要はなく、非線形性の影響が大きい領域であるか非線形性の影響が小さい領域であるかの2つを区別すればよい。

10

【0064】

CALC_A1は、各サイクル毎にMEAS1から時系列的に出力されるH11a, H12aを受けて、その平均値 $\#H11a$, $\#H12a$ を算出する。同様に、CALC_B1は、各サイクル毎にMEAS1から時系列的に出力されるH11b, H12bを受けて、その平均値 $\#H11b$, $\#H12b$ を算出する。そして、CALC_A1は、 $\#H11a$, $\#H12a$ をDAS10aに出力すると共に、図1の1次非線形性校正部CLB_1STに向けて $\#H11a$ (又は $\#H12a$ でもよい)を出力する。同様に、CALC_B1は、 $\#H11b$, $\#H12b$ をDAS10bに出力すると共に、CLB_1STに向けて $\#H11b$ (又は $\#H12b$ でもよい)を出力する。なお、この平均値の算出は、場合によっては省略することも可能である。すなわち、MEAS1によって平均値 $\#D_{a \times \times \times}$ および平均値 $\#D_{b \times \times \times}$ が算出されているため、これらの平均値に基づいて算出されたH11, H12も、ある程度平均化された値となる。

20

30

【0065】

DAS10aは、 $\#H11a - \#H12a$ を演算し、その演算結果をWT30aに出力する。WT30aは、DAS10aからの演算結果に対して μ_A の重み付けを加えてACMaに出力する。同様に、DAS10bは、 $\#H11b - \#H12b$ を演算し、その演算結果をWT30bに出力する。WT30bは、DAS10bからの演算結果に対して μ_B の重み付けを加えてACMbに出力する。ACMaは、WT30aからの出力を累積加算し、その演算結果 p_{3a} をCALC_Eaに出力する。同様に、ACMbは、WT30bからの出力を累積加算し、その演算結果 p_{3b} をCALC_Ebに出力する。すなわち、 p_{3a} , p_{3b} のそれぞれ(p_3)は、累積回数をNとして、式(4)で定められる。

【0066】

$$p_3(N) = p_3(N-1) + \mu(\#H11 - \#H12) \quad (4)$$

CALC_Eaは、式(4)で与えられる p_3 (p_{3a})と、デジタル信号D1aを用いて式(5)で定められる逆関数 $e_a(D1a, p_{3a})$ を演算する。同様に、CALC_Ebは、式(4)で与えられる p_3 (p_{3b})と、デジタル信号D1bを用いて式(5)で定められる逆関数 $e_b(D1b, p_{3b})$ を演算する。

40

【0067】

【数 1】

$$e(D1, p_3) = D1 - 2\sqrt{-\frac{1}{3p_3}} \cos \left[\frac{\pi}{3} + \cos^{-1} \left(\frac{D1}{2\sqrt{-\frac{1}{27p_3}}} \right) \right] \quad (5)$$

【0068】

DAS11aは、D1aからCALC_Eaの演算結果 $e_a(D1a, p_{3a})$ を減算し、その結果を新たな出力としてDAS12の一方に出力する。同様に、DAS11bは、D1bからCALC_Ebの演算結果 $e_b(D1b, p_{3b})$ を減算し、その結果を新たな出力としてDAS12の他方に出力する。式(5)の逆関数は、3次の非線形性を相殺するための関数であり、 p_3 の値が最適化された際に、デジタル信号D1の値に応じて3次の非線形誤差を相殺する最適な補正值を導出するものである。この p_3 の値を最適化するため、#H11と#H12の誤差をWT30によって増幅し、ACMが、この誤差を反映して p_3 の値を更新している。このようなアルゴリズムは、所謂最小二乗法(LMS)に基づくアルゴリズムとなっており、結果的には、「(#H11 - #H12) = 0」に向けて収束し、これに伴い p_3 が最適値に収束する。

【0069】

以上のような処理によって、デジタル信号D2a, D2bは、3次の非線形性が校正されたデジタル信号となる。なお、CALC_Ea, CALC_Ebは、プロセッサ等の演算回路で実現することも可能であるが、より高速化を図るためには、予め式(5)における入力と出力の具体的な数値を記憶したテーブルを設け、このテーブルに基づいて演算を行えばよい。

【0070】

図11は、図1のアナログ・デジタル変換器において、図10の3次非線形性校正部CLB_3RDおよび図1のゲイン mismatch 校正部CLB_GMの動作例を示すフロー図である。図11において、S1101~S1106は、図1および図10の3次非線形性校正部CLB_3RDの処理に該当し、S1107はゲイン mismatch 校正部CLB_GMの処理に該当する。まず、CLB_3RDは、ランダム信号生成部RNGa, RNGbの組み合わせに応じてデジタル信号D1aとD1bの差分を算出する(S1101)。例えば、(RNGa, RNGb) = (0, 0)の際の差分をdab00とし、(RNGa, RNGb) = (0, 1)の際の差分をdab01とし、(RNGa, RNGb) = (1, 0)の際の差分をdab10とし、(RNGa, RNGb) = (1, 1)の際の差分をdab11とする。

【0071】

次いで、CLB_3RDは、3次の非線形性の影響が強い領域(例えばMSBa = MSBbとなる領域)で、例えば、「hanl = dab00 - dab10」(すなわち図7(a)のH11aに該当)と「hbnl = dab00 - dab01」(すなわち図8(a)のH11bに該当)を算出する(S1102)。また、3次の非線形性の影響が弱い領域(例えばMSBa MSBbとなる領域)で、例えば、「hal = dab00 - dab10」(すなわち図7(a)のH12aに該当)と「hbl = dab00 - dab01」(すなわち図8(a)のH12bに該当)を算出する(S1103)。これらS1101~S1103の処理は、前述したように図10における計測回路MEAS1によって行われる。

【0072】

続いて、CLB_3RDは、図10の演算回路CALC_Eを用いて、式(5)の $e(D1, p_3)$ を演算し(S1104)、それをデジタル信号D1a, D1bに反映させた後、アキュムレータ回路ACMを用いて p_3 を更新する(S1105)。そして、このS

1104とS1105の処理を「han1-hal」（および「hbn1-hbl」）が十分に小さくなるまで繰り返す（S1106）。「han1-hal」（および「hbn1-hbl」）が十分に小さくなると、ゲイン mismatch 校正部 CLB_GM は、必要に応じて、ゲイン補正およびオフセット補正を行う（S1107）。以下、このS1107での処理に関して詳細に説明する。

【0073】

《ゲイン mismatch 校正部の詳細》

図12は、図1のアナログ・デジタル変換器において、そのゲイン mismatch 校正部 CLB_GM の詳細な構成例を示すブロック図である。図13および図14は、それぞれ、図12のゲイン mismatch 校正部 CLB_GM の動作例を示す説明図である。図12に示すゲイン mismatch 校正部 CLB_GM は、デジタルスイッチ回路 DSwa, DSWb と、デジタル加減算回路 DAS20a, DAS20b と、乗算回路 MUL1, MUL2a, MUL2b を備える。

10

【0074】

前述したように、3次非線形性校正部 CLB_3RD から出力されるデジタル信号 D2a, D2b は、ランダム信号生成部 RNGa, RNGb の出力が「0」の場合を基準として、RNGa, RNGb の出力が「1」の場合に所定のオフセットが加わることになる。そこで、CLB_GM は、図13に示すように、RNGa = 「1」の場合のデジタル信号 D2a（特性 TCa'）に CLB_3RD から出力された #Ha（#H11a あるいは #H12a でもよい）を加えることで、このオフセット分を元に戻す。また、RNGb = 「1」の場合のデジタル信号 D2b（特性 TCb'）に CLB_3RD から出力された #Hb（#H11b あるいは #H12b でもよい）を加えることで、このオフセット分を元に戻す。

20

【0075】

また、3次非線形性校正部 CLB_3RD から出力されるデジタル信号 D2a, D2b は、場合によっては、伝達関数における D2a に対応する特性の傾きと D2b に対応する特性の傾きとに違いが生じることがある。そこで、CLB_GM は、図14に示すように、D2a に対応する特性 TCa の傾きを基準として、D2b に対応する特性 TCb の傾きが一致するように、TCb に対して補正を行う。これによって、TCa と TCb のゲイン mismatch を解消できる。なお、ここでは、特性 TCa の傾きを基準として特性 TCb の傾きを補正したが、勿論、逆に特性 TCb の傾きを基準として特性 TCa の傾きを補正してもよい。

30

【0076】

図13および図14で述べたような処理を行うため、図12のゲイン mismatch 校正部 CLB_GM は、次のように動作する。まず、DSWa は、RNGa の出力が「1」であった場合に #H11a を選択して出力し、RNGa の出力が「0」であった場合に「0」を選択して出力する。同様に、DSWb は、RNGb の出力が「1」であった場合に #H11b を選択して出力し、RNGb の出力が「0」であった場合に「0」を選択して出力する。DAS20a は、デジタル信号 D2a に DSWa の出力を加算して出力し、DAS20b は、デジタル信号 D2b に DSWb の出力を加算して出力する。これによって、前述した図13の処理が実現可能となる。

40

【0077】

また、MUL1 は、DAS20b の出力に対して #H11a / #H11b の係数を乗算して出力する。この係数 #H11a / #H11b は、図14における特性 TCa と特性 TCb の傾きの違いを表すことになるため、これによって図14の処理が実現可能となる。このような処理を経て、DAS20a の出力は、MUL2a で 2^{-3} 倍されることでビットの桁位置が調整されたのちデジタル信号 D3a として出力され、MUL1 の出力も、MUL2b で 2^{-3} 倍されることでビットの桁位置が調整されたのちデジタル信号 D3b として出力される。

【0078】

50

《 1 次非線形性校正部の詳細 》

図 1 5 は、図 1 のアナログ・デジタル変換器において、その 1 次非線形性校正部 C L B _ 1 S T の詳細な構成例を示すブロック図である。図 1 6 ~ 図 1 9 は、それぞれ、図 1 5 の動作例を説明するための補足図である。図 1 5 に示す 1 次非線形性校正部 C L B _ 1 S T は、デジタル加減算回路 D A S 3 0 , D A S 3 1 a , D A S 3 1 b と、計測回路 M E A S 2 と、演算回路 C A L C _ A 2 , C A L C _ B 2 を備えている。C L B _ 1 S T は、図 1 等に示したように、3 次の非線形性の校正とゲイン mismatches の校正が行われたのち、M S B との結合が行われたデジタル信号 D 4 a , D 4 b を対象とし、主に、図 3 1 で説明した D A 変換回路 D A C 1 の容量 mismatches や、オペアンプ回路 O P 1 の 1 次の非線形性の校正を行う。そして、校正が行われたデジタル信号 D 5 a , D 5 b を出力する。図 1 5

10

【 0 0 7 9 】

図 1 6 には、ステージ [1] S T G 1 a , S T G 1 b における伝達関数の一例と、これに対応して得られるアナログ入力信号とデジタル出力信号の関係が示されている。図 1 6 の伝達関数において、S T G 1 a の特性 T C a と、S T G 1 b の特性 T C b は、それぞれ、M S B が切り替わる毎にオフセットが生じている。これは、図 3 1 の D A C 1 に容量 mismatches が存在し、これに伴いその変換後のアナログ電圧にばらつきが生じることや、図 3 1 の O P 1 に 1 次の非線形性等が存在することが主要因となっている。そうすると、アナログ入力信号とデジタル出力信号の関係で見た場合、図 1 6 に示すように、階段状の特性となり、各段の高さにもばらつきが生じることになる。この特性がより直線に近づくほど、アナログ・デジタル変換器の特性は理想的となるため、C L B _ 1 S T は、この各段の高さを測定して、それを「 0 」に近づけるような校正を行う。

20

【 0 0 8 0 】

図 1 7 には、図 1 6 で述べた各段の高さの測定方法の一例が示されている。図 1 7 に示すように、M S B a と L S B a を結合した特性と、M S B b と L S B b を結合した特性は、前述した D A C 1 の容量 mismatches や、L S B a , L S B b の傾き誤差 (1 次の非線形性) に伴い M S B の切り替わりで段差が生じている。ここで、S T G 1 a の特性 T C a と S T G 2 a の特性 T C b とでは、図 2 で述べたように M S B / 2 分のオフセットを設けているため、T C a , T C b の一方を基準として他方の段差を計測することが可能となる。例えば、T C b を基準として、M S B a が「 i - 1 」の時の高さを $(i - 1)_2$ として計測し、M S B a が「 i 」の時の高さを i_1 として計測する。この場合、 $(i_1 - (i - 1)_2)$ が M S B a の「 i 」から「 i - 1 」への切り替わりに伴うエラー成分となる。同様に、T C a を基準とすれば、M S B b の切り替わりに伴うエラー成分も算出できる。

30

【 0 0 8 1 】

図 1 8 には、所謂 I I R フィルタの構成例が示されている。図 1 7 で述べたような各 i の値は、ノイズ等の影響を低減するため、図 1 8 に示すような I I R フィルタに入力され、その結果、 $\#_i$ として平均化される。I I R フィルタの構成に関しては、前述した図 9 と同様であり、重み付けの係数 μ_{1a} を調整することで最適なフィルタリングが可能となる。そして、図 1 9 に示すように、この平均化された $\#_i$ を各 M S B 毎に累積加算し、入力されたデジタル信号毎に、当該デジタル信号の M S B に対応する累積加算値を減算することで、前述したような階段状の段差が校正できる。すなわち、例えば、デジタル信号 D 4 b の M S B b が「 2 」であった場合、D 4 b から「 $\#_{1B} + \#_{2B}$ 」の減算を行えばよい。

40

【 0 0 8 2 】

以上のような動作を実現するため、図 1 5 における D A S 3 0 は、デジタル信号 D 4 a からデジタル信号 D 4 b を減算し、その減算結果を M E A S 2 に出力する。M E A S 2 は、各減算結果 (すなわち i_A , i_B) を I I R フィルタを用いて平均化する。これによって、図 1 7 および図 1 8 の処理が実現可能となる。各 i_A の各平均値 $\#_{iA}$ は、C A L C _ A 2 によって M S B a 毎に累積加算され、各 i_B の各平均値 $\#_{iB}$ は、C

50

A L C __ B 2 によって M S B b 毎に累積加算される。そして、D A S 3 1 a に D 4 a が入力された際、D 4 a の M S B a に応じた補正值が C A L C __ A 2 より出力され、D A S 3 1 a は、D 4 a から当該補正值を減算してデジタル信号 D 5 a を生成する。同様に、D A S 3 1 b に D 4 b が入力された際、D 4 b の M S B b に応じた補正值が C A L C __ B 2 より出力され、D A S 3 1 b は、D 4 b から当該補正值を減算してデジタル信号 D 5 b を生成する。これによって、図 19 の処理が実現可能となる。

【0083】

《本実施の形態による代表的な効果》

以上、本発明の一実施の形態によるデジタル・アナログ変換器を用いることによる代表的な効果を述べると次のようになる。まず、容量ミスマッチや1次の非線形性に加えて3
10
次の非線形性（オペアンプ回路が差動構成の場合、奇数次の非線形性）を校正できることから、高精度化が実現可能になる。また、スプリット構成を利用し、バックグラウンドデジタル自己校正により一方の出力結果を基準として他方の出力結果を校正することで、短い収束時間で高精度な校正が実現可能となる。更に、このような自己校正を、パイプライン構成の初段に適用することで、初段に低精度のオペアンプ回路を使用することができ、パイプライン型 A D 変換器の低消費電力化、高速化が実現可能となる。

【0084】

《シミュレーション結果》

続いて、図 1 に示したデジタル・アナログ変換器を対象にシミュレーションを行った結果について説明する。図 20 は、図 1 のデジタル・アナログ変換器において、そのシミュ
20
レーション条件を纏めた表である。図 20 に示すように、まず、サブ D A C（図 3 の D A C 1 a , D A C 1 b）の容量ミスマッチは、両方のステージ [1] S T G 1 a , S T G 1 b 共に 5 %（ ）に設定されている。S T G 1 a におけるオペアンプ（図 3 の O P 1 a）の入出力特性（非線形性）は、「 $g_{a1}(V_{a1}) = 7 \cdot 6 V_{a1} + (-15 \cdot 2) V_{a1}^3$ 」に設定され、S T G 1 b におけるオペアンプ（図 3 の O P 1 b）の入出力特性は、「 $g_{b1}(V_{b1}) = 7 \cdot 5 V_{b1} + (-15) V_{b1}^3$ 」に設定されている。

【0085】

また、3 次の非線形性の補正に関し、S T G 1 a , S T G 1 b における L M S ループのステップサイズ（図 10 の W T 3 0 a , W T 3 0 b）は、 $\mu_A = \mu_B = 1 / 8192$ に設定され、I I R フィルタのゲイン（図 9）は、 $\mu_{3a} = \mu_{3b} = 1 / 512$ に設定されて
30
いる。1 次の非線形性の補正に関し、S T G 1 a , S T G 1 b における I I R フィルタのゲイン（図 18）は、 $\mu_{1a} = \mu_{1b} = 1 / 1024$ に設定されている。

【0086】

図 21 は、図 1 のデジタル・アナログ変換器において、その精度面でのシミュレーション結果を纏めた表である。図 22 ~ 図 27 のそれぞれは、図 21 における実際の算出データを示した図である。図 21 には、I N L（Integral Non Linearity）、D N L（Differential Non Linearity）、S N D R（Signal to Noise and Distortion Ratio）、E N O B（Effective Number Of Bits）を指標として、補正なし、補正有り（一部）、補正有り（全て）の場合でシミュレーションを行った結果が示されている。補正有り（一部）は、
40
図 1 の校正ブロック C L B __ B K において 1 次非線形性校正部 C L B __ 1 S T のみを備えた場合であり、補正有り（全て）は、これに加えて、3 次非線形性校正部 C L B __ 3 R D とゲインミスマッチ校正部 C L B __ G M を備えた場合である。図 21 に示すように、補正なし、補正有り（一部）、補正有り（全て）と進むに従い、全ての指標において改善効果が得られている。例えば、E N O B（有効ビット数）では、補正なし、補正有り（一部）、補正有り（全て）の場合で、それぞれ、7.5 ビット程度、11 ビット程度、12 ビット程度と改善されている。

【0087】

図 28 は、図 1 のデジタル・アナログ変換器において、その収束時間面でのシミュレーション結果を示す算出データである。図 29 は、図 18 の I I R フィルタの収束時間面でのシミュレーション結果を示す算出データである。図 28 に示すように、図 10 で説明し
50

た3次の非線形性の校正に伴うLMSループは、 6×10^5 程度のサンプル数で収束している。これは、例えばサンプリングレートを10MS/sとした場合、約0.06秒に該当する。一方、非特許文献1に記載されているような統計的手法に基づく校正を行った場合、通常、 5×10^7 程度のサンプル数が必要とされる。これは、サンプリングレートを10MS/sとした場合、約5秒に該当する。したがって、本実施の形態のデジタル・アナログ変換器を用いることで、非特許文献1等と比較して、収束時間を1/100程度に短縮できる。

【0088】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

10

【0089】

例えば、これまでの実施の形態では、パイプライン構成の初段を対象にバックグラウンドデジタル自己校正を行ったが、必ずしも初段である必要はなく、場合によっては、2段目以降のいずれかの段に適用することも可能である。ただし、各段の内でも最も精度が要求される段（デジタル・アナログ変換器の精度全体に与える影響が最も大きい段）に適用することが望ましく、多くのパイプライン型デジタル・アナログ変換器では、通常、それが初段に該当する。

【0090】

また、これまでの実施の形態では、スプリット構成のパイプライン型デジタル・アナログ変換器を用いたが、これに限らずスプリット構成のサイクリック型デジタル・アナログ変換器等に適用することも可能である。スプリット構成のサイクリック型デジタル・アナログ変換器では、例えば、図1においてステージ[1]STG1a, STG1bの後段となるバックエンドAD変換部ADC__BEa, ADC__BEbがそれぞれ1個のステージで構成され、当該ステージの出力を入力に複数回ループさせることでパイプライン型と同様な動作が行われる。この場合においても、例えばSTG1a, STG1bに対して前述したバックグラウンドデジタル自己校正を適用することで、高精度化や、加えて収束時間の短縮が図れる。

20

【産業上の利用可能性】

【0091】

本実施の形態によるデジタル・アナログ変換器は、例えば、デジタルテレビ用LSI、携帯電話用LSI、ミリ波用カスタムマイコン等において画像処理用、通信処理用として用いられるパイプライン型デジタル・アナログ変換器に適用して特に有益なものであり、これに限らず、様々な製品で用いられる各種デジタル・アナログ変換器に対して広く適用可能である。

30

【符号の説明】

【0092】

ACM アキュムレータ回路
 ADC AD変換回路
 ADC__BE バックエンドAD変換部
 ADC__BK AD変換ブロック
 AMP アンプ回路
 AS 加減算回路
 AVE 平均値演算部
 C, Cr, Cf 容量
 CALC 演算回路
 CLB__1ST 1次非線形性校正部
 CLB__3RD 3次非線形性校正部
 CLB__BK 校正ブロック
 CLB__GM ゲイン mismatch 校正部

40

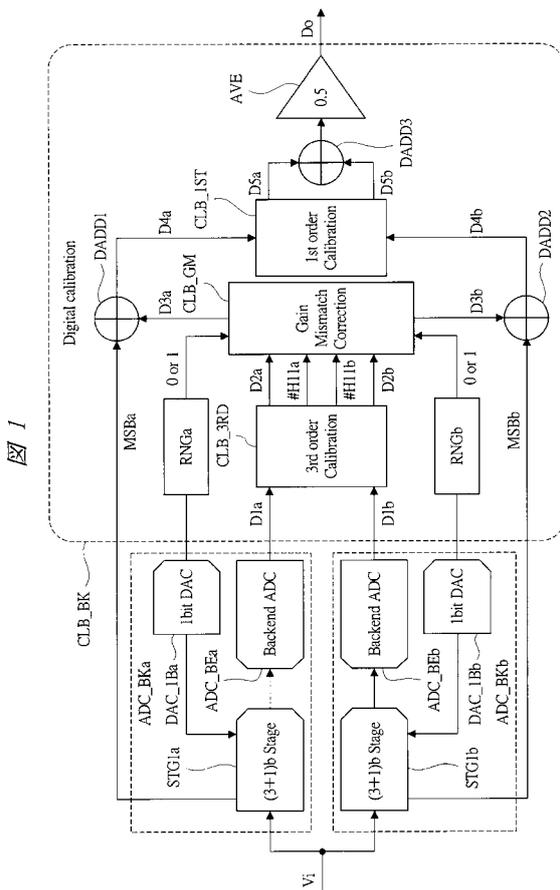
50

- CMP コンパレータ回路
- D デジタル信号
- DAC DA変換回路
- DAC_1B 1ビットのDA変換回路
- DADD デジタル加算部
- DAS デジタル加減算回路
- DLY 遅延回路
- DSW デジタルスイッチ回路
- Do デジタル出力信号
- ENC エンコーダ回路
- FADC フラッシュAD変換回路
- MEAS 計測回路
- MUL 乗算回路
- OP オペアンプ回路
- RNG ランダム信号生成部
- SECC スイッチデコーダ回路
- STG ステージ
- SUB 減算回路
- SW スイッチ回路
- Vi アナログ入力信号
- WT 重み付け回路

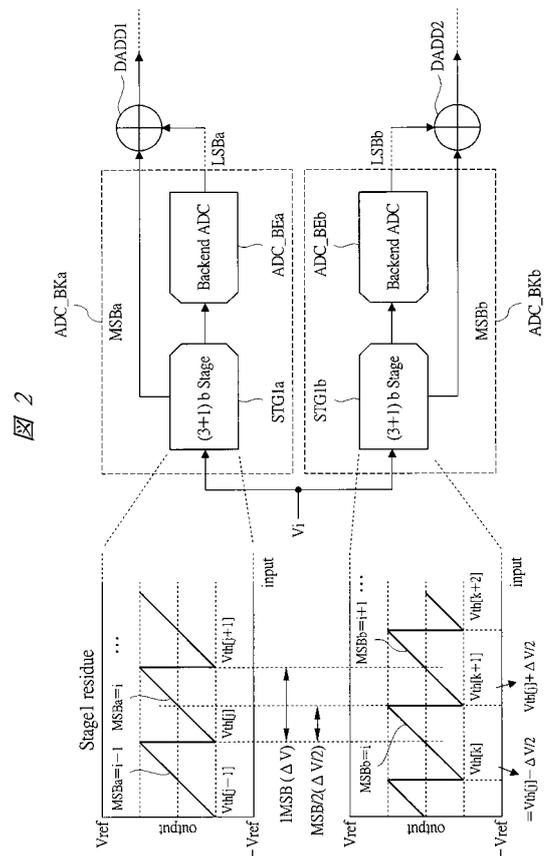
10

20

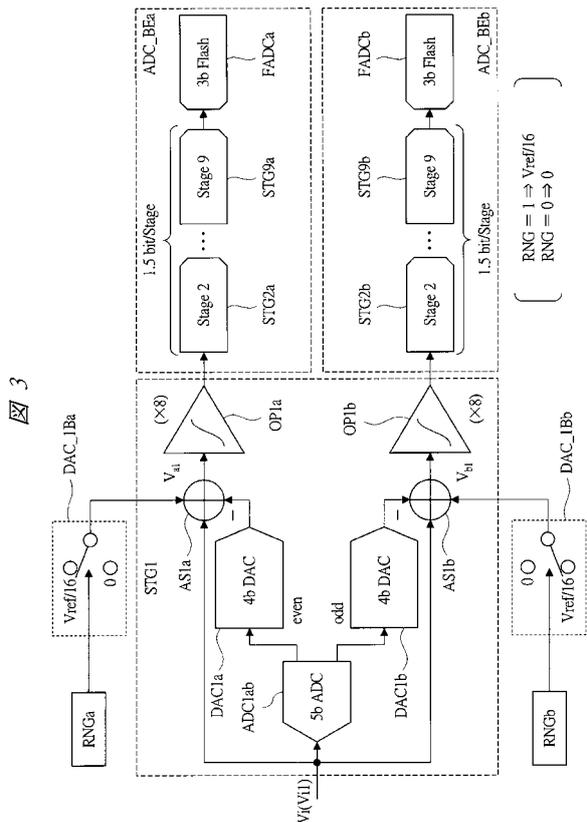
【図1】



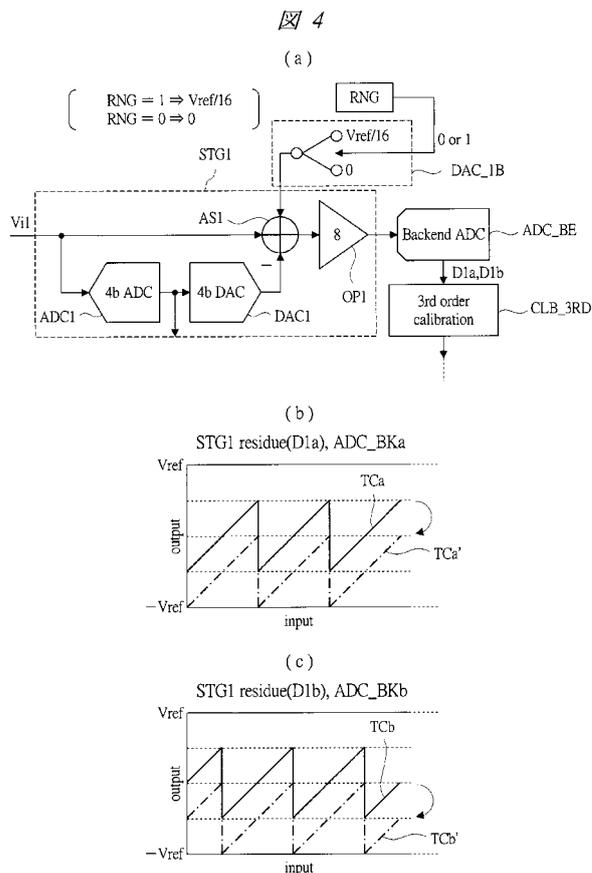
【図2】



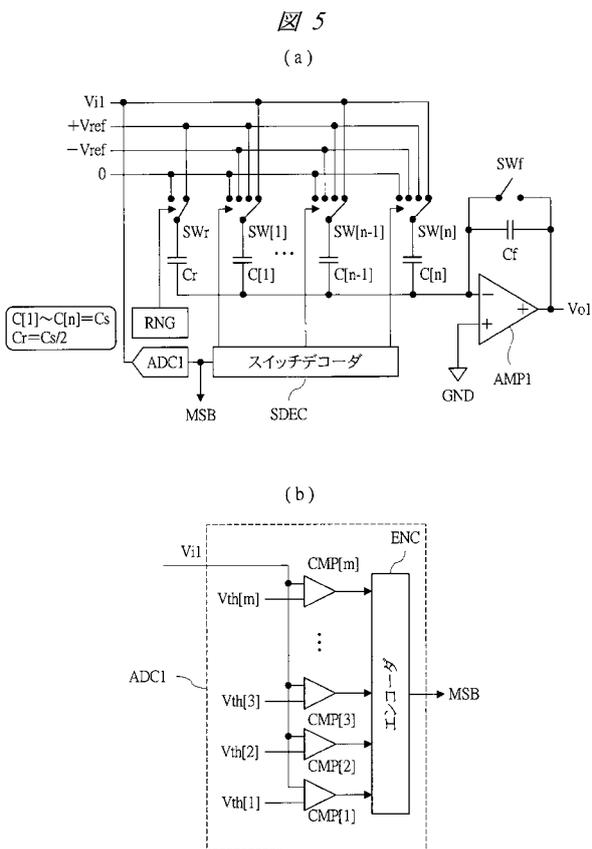
【 図 3 】



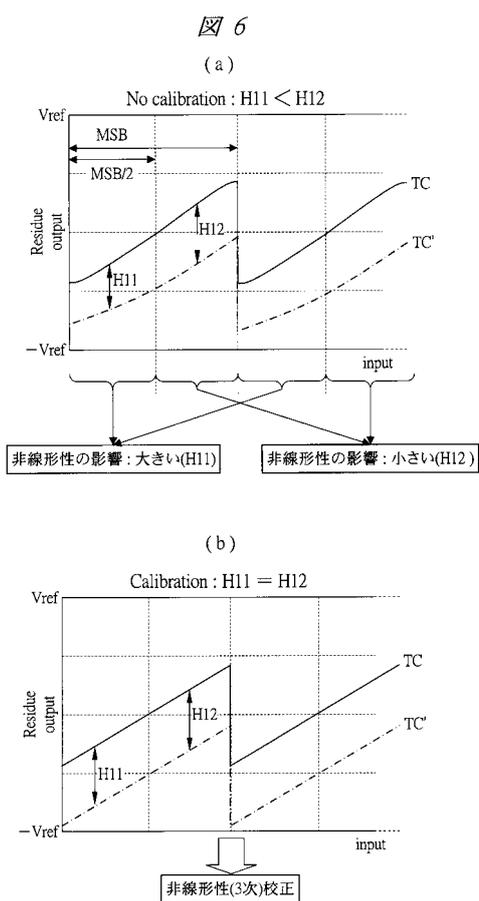
【 図 4 】



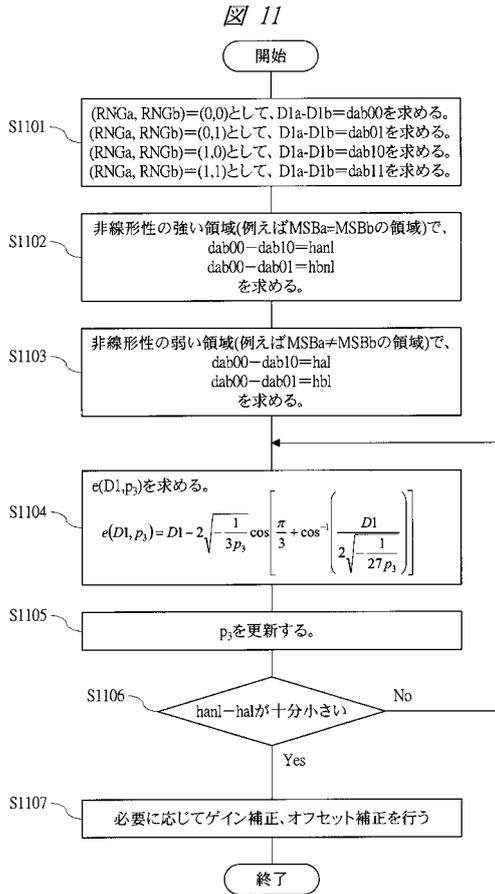
【 図 5 】



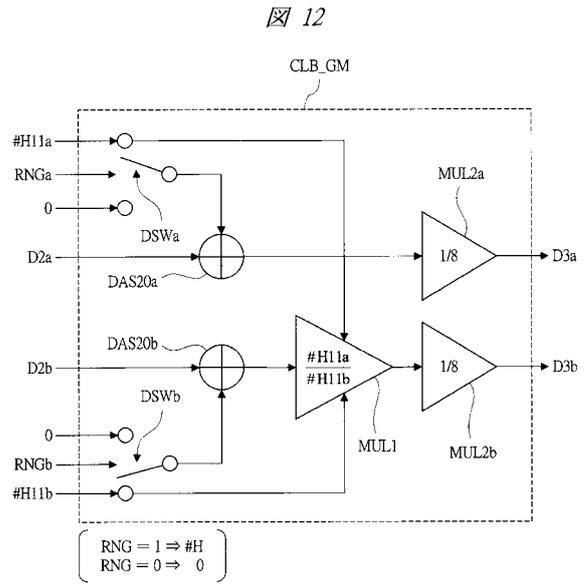
【 図 6 】



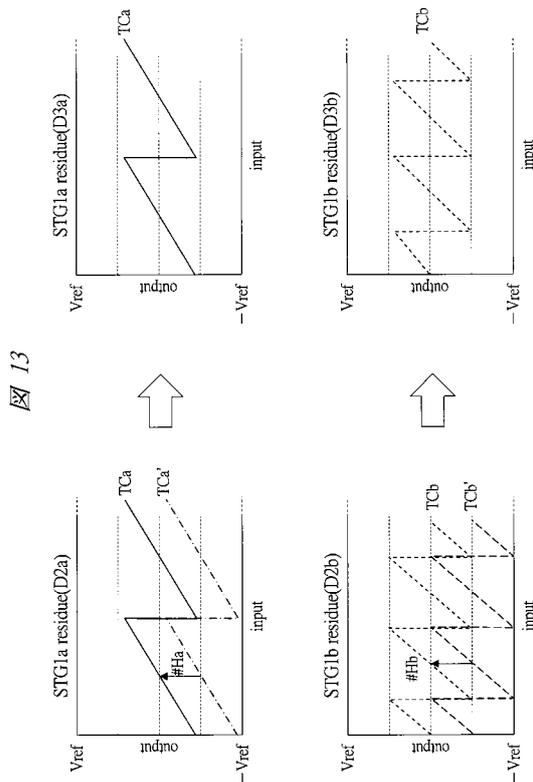
【 図 1 1 】



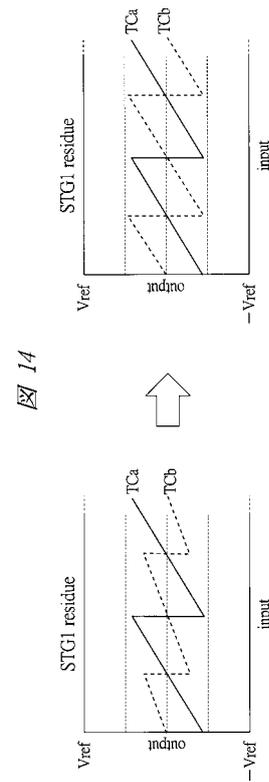
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 図 15 】

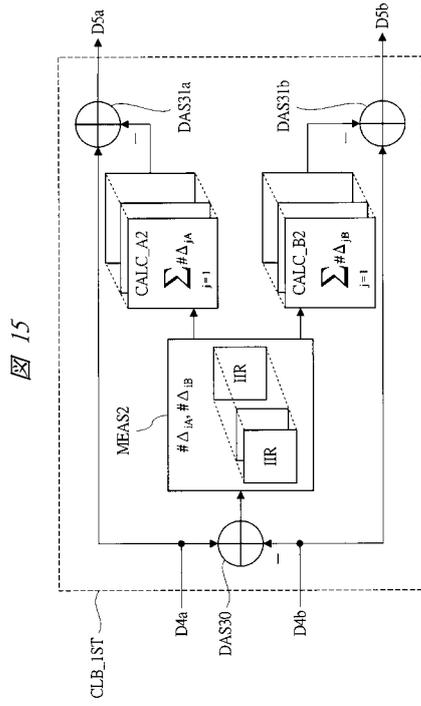


図 15

【 図 16 】

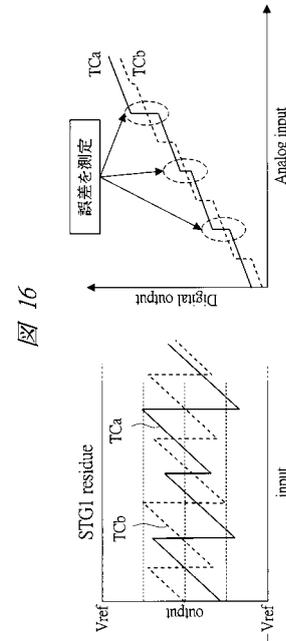


図 16

【 図 17 】

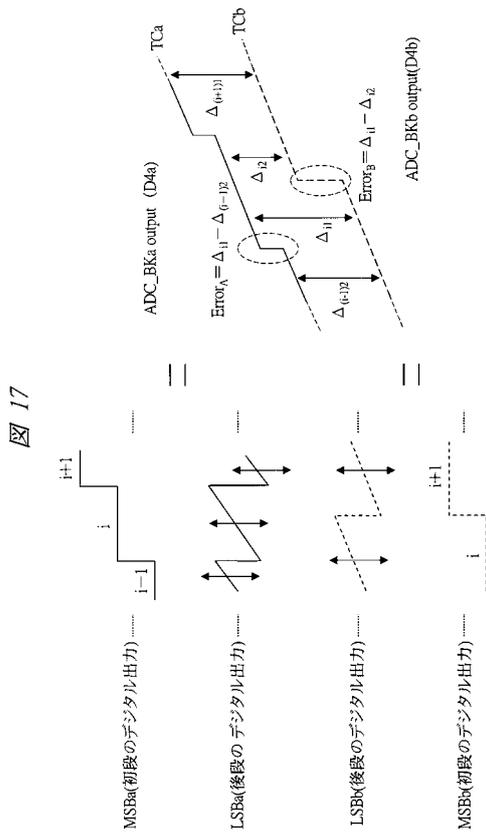


図 17

【 図 18 】

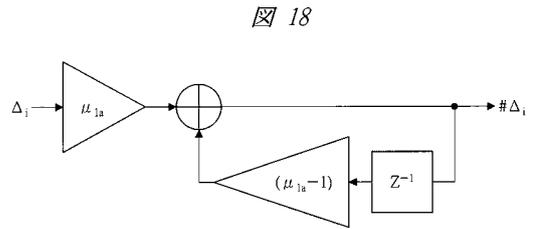
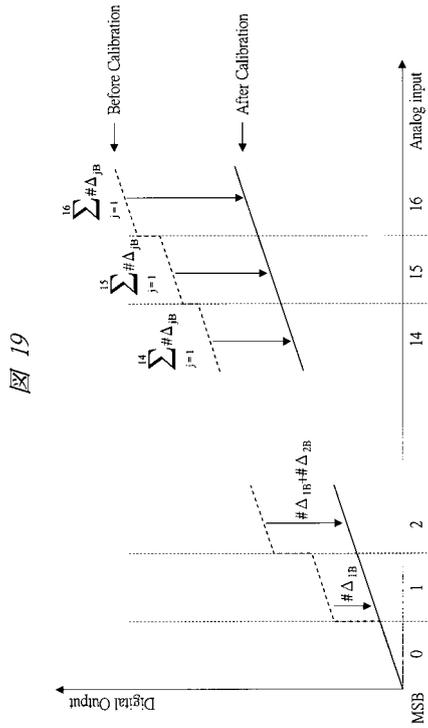


図 18

【 図 19 】



【 図 20 】

図 20

	STG1a	STG1b
サブDACの容量ミスマッチ	5% (σ)	5% (σ)
オペアンプの非線形性	$g_{a1}(V_{a1})=7.6V_{a1}+(-15.2)V_{a1}^3$	$g_{b1}(V_{b1})=7.5V_{b1}+(-15)V_{b1}^3$
3次の非線形性の補正	LMSループのステップサイズ: $\mu_A=1/8192$ IIRフィルタゲイン: $\mu_{3a}=1/512$	LMSループのステップサイズ: $\mu_B=1/8192$ IIRフィルタゲイン: $\mu_{3b}=1/512$
1次の非線形性の補正	IIRフィルタゲイン: $\mu_{1a}=1/1024$	IIRフィルタゲイン: $\mu_{1b}=1/1024$

【 図 21 】

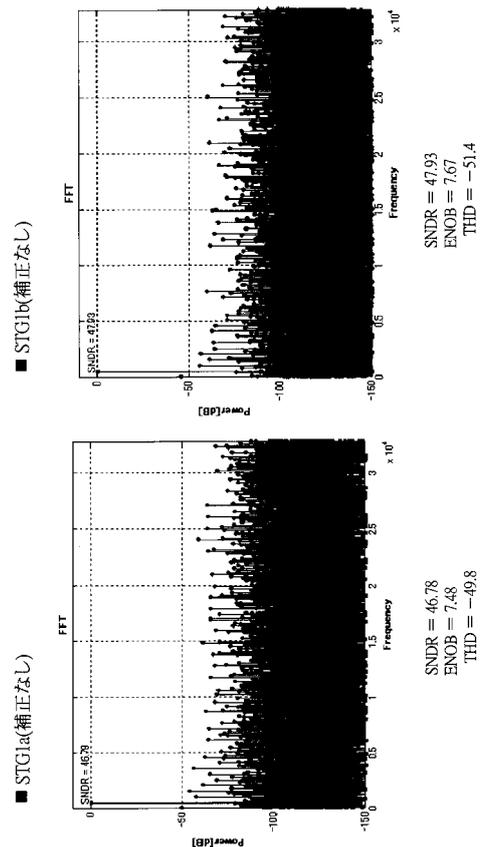
図 21

		INL	DNL	SNDR	ENOB
補正なし	STG1a	+8.2 / -7.7	+0.17 / -0.94	46.8	7.48
	STG1b	+7.1 / -4.5	+0.19 / -0.99	47.9	7.67
補正あり (・ゲインエラー ・Cミスマッチ)	STG1a	+0.86 / -2.2	+0.19 / -0.88	66.8	10.8
	STG1b	+1.2 / -1.3	+0.75 / -0.18	68.1	11
補正あり (・ゲインエラー ・Cミスマッチ ・3次の非線形性)	STG1a	+0.23 / -0.13	+0.21 / -0.27	73.9	11.9
	STG1b	+0.21 / -0.16	+0.26 / -0.2	73.9	11.9

[LSB] [LSB] [dB] [Bit]

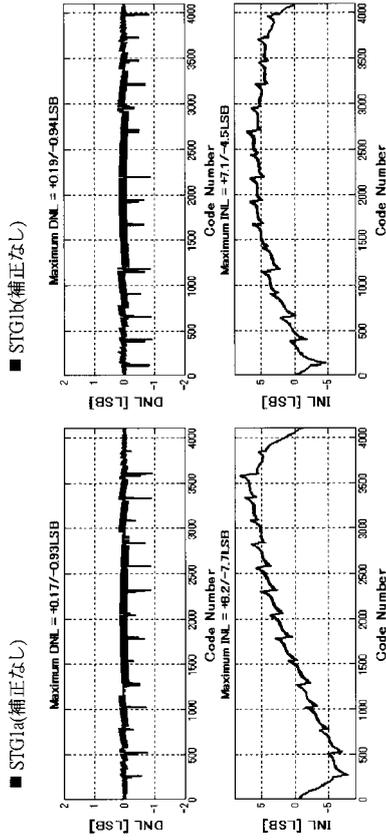
【 図 22 】

図 22



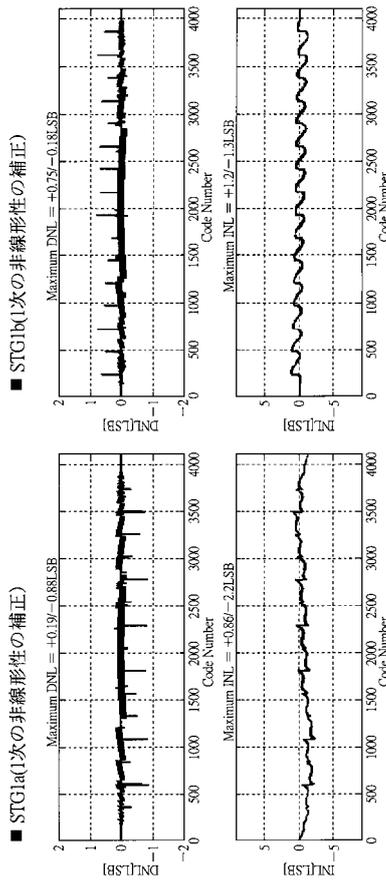
【 図 2 3 】

図 23



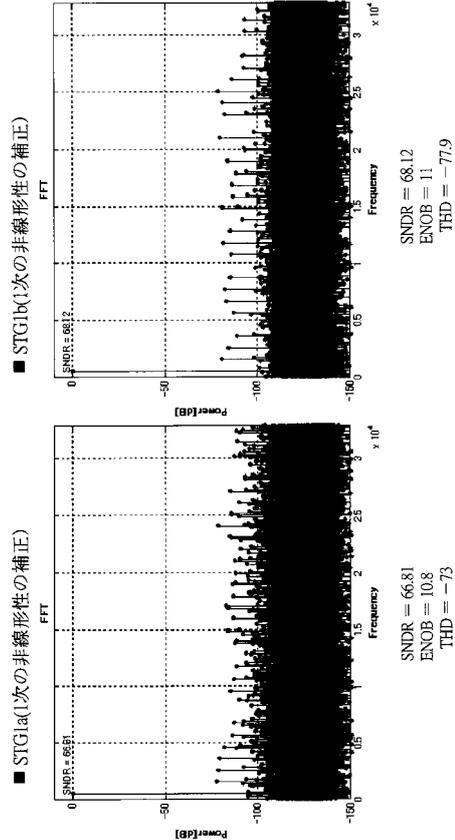
【 図 2 5 】

図 25



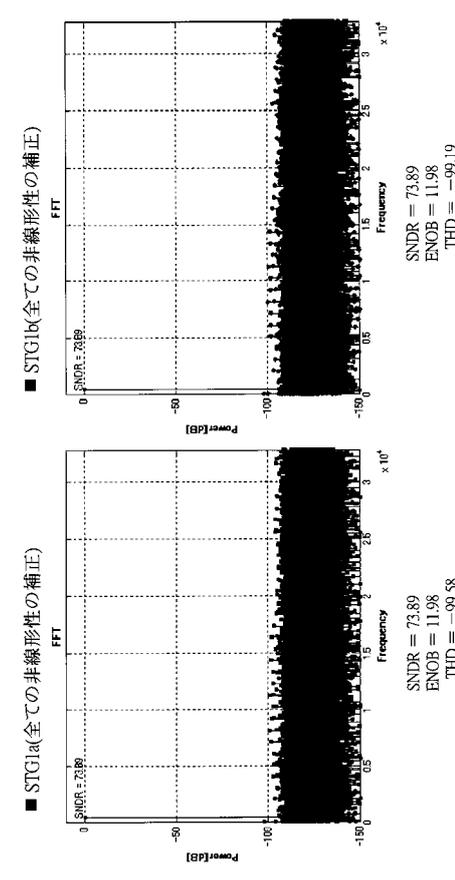
【 図 2 4 】

図 24

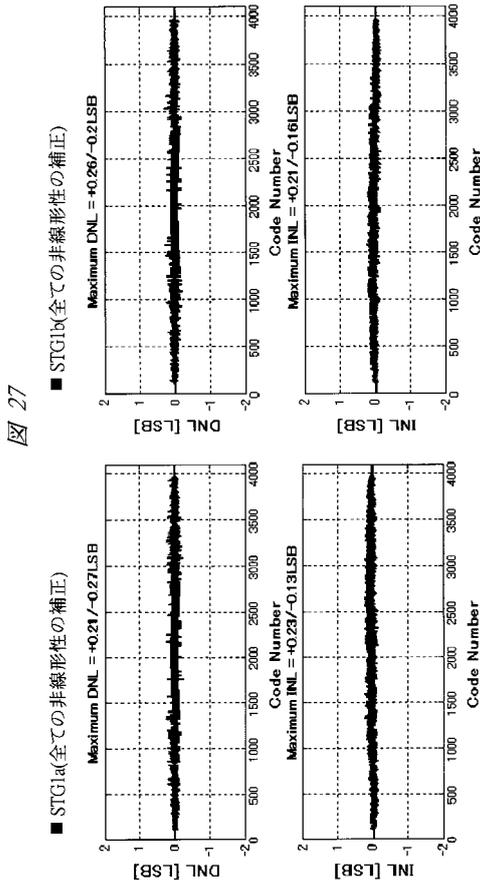


【 図 2 6 】

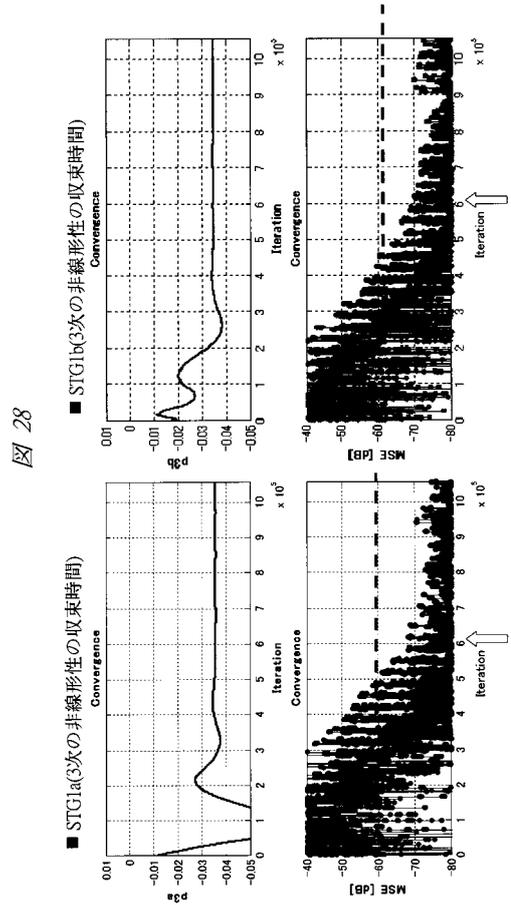
図 26



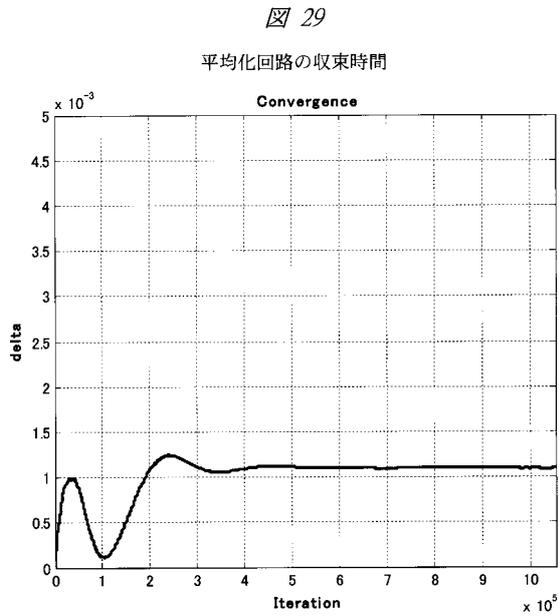
【 図 27 】



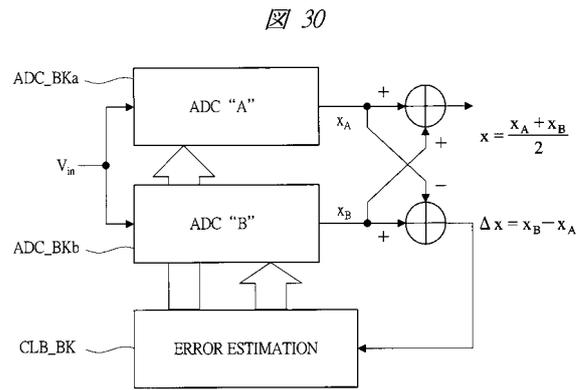
【 図 28 】



【 図 29 】



【 図 30 】



フロントページの続き

(72)発明者 小林 春夫

群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内

Fターム(参考) 5J022 AA15 AC04 BA04 BA05 CA01 CA07 CB06