

【特許請求の範囲】**【請求項 1】**

nビットデジタル信号に応じて参照アナログ信号を出力するデジタル - アナログ変換器と、入力アナログ信号を前記参照アナログ信号と比較する比較器と、前記比較器の比較結果に基づいて前記参照アナログ信号が前記入力アナログ信号に近づくように、前記nビットデジタル信号の値をM ($n < M$) 回のステップで変化させる逐次比較制御回路と、を備え、前記逐次比較制御回路は、前記nビットデジタル信号の値を冗長変換アルゴリズムに従って変化させるアナログ - デジタル変換器の動作試験方法であって、

前記入力アナログ信号として所定の電圧信号を入力して前記アナログ - デジタル変換器を動作させ、

前記動作中に、所定の前記ステップで、前記逐次比較制御回路に入力する前記比較器の判定結果を反転して誤判定動作が発生するように制御し、

前記アナログ - デジタル変換器による前記所定の電圧信号の変換結果を取得し、

取得した前記変換結果を、前記所定の電圧信号に対応するデジタル値と比較して、比較結果に基づいて正常動作か否かを判定することを特徴とするアナログ - デジタル変換器の動作試験方法。

【請求項 2】

前記所定の電圧信号の電圧値に応じて、前記比較器の判定結果を反転する前記所定のステップがあらかじめ決定されている請求項 1 に記載のアナログ - デジタル変換器の動作試験方法。

【請求項 3】

前記所定のステップまで、前記逐次比較制御回路に入力する前記比較器の判定結果を制御して、前記アナログ - デジタル変換器を所定の状態にした後、前記比較器の判定結果を反転する請求項 2 に記載のアナログ - デジタル変換器の動作試験方法。

【請求項 4】

nビットデジタル信号に応じて参照アナログ信号を出力するデジタル - アナログ変換器と、

入力アナログ信号を前記参照アナログ信号と比較する比較器と、

前記比較器の比較結果に基づいて前記参照アナログ信号が前記入力アナログ信号に近づくように、前記nビットデジタル信号の値をM ($n < M$) 回のステップで変化させる逐次比較制御回路と、を備え、

前記逐次比較制御回路は、前記nビットデジタル信号の値を冗長変換アルゴリズムに従って変化させるアナログ - デジタル変換器であって、

前記逐次比較制御回路に、前記比較器の判定結果を入力するかまたは前記判定結果の反転を入力するかを切り換える判定結果入力回路を備えることを特徴とするアナログ - デジタル変換器。

【請求項 5】

前記判定結果入力回路は、前記逐次比較制御回路に任意の判定結果を入力するように切り換え可能である請求項 4 に記載のアナログ - デジタル変換器。

【請求項 6】

試験用デジタル信号に応じて定められる前記比較器の判定結果の反転を入力する反転ステップの関係を記憶する記憶回路と、

前記入力アナログ信号として入力する、前記試験用デジタル信号に対応する電圧信号を発生させる入力電圧発生回路と、

前記記憶回路に記憶された前記試験用デジタル信号と反転ステップの関係を読み出し、前記試験用デジタル信号を前記入力電圧発生回路に出力すると共に、前記反転ステップになると、前記逐次比較制御回路に前記比較器の判定結果の反転が入力されるように前記判定結果入力回路を制御する試験制御回路と、

当該アナログ - デジタル変換器が変換値として出力するM回のステップで決定した前記nビットデジタル信号の値が、前記試験用デジタル信号の値と一致するかを判定する判定

10

20

30

40

50

回路と、を備える請求項 4 に記載のアナログ - デジタル変換器。

【請求項 7】

前記判定結果入力回路は、前記逐次比較制御回路に任意の判定結果を入力するように切り換え可能であり、

前記記憶回路は、反転ステップを実行する所定状態にするのに必要な前記反転ステップ以前の判定情報を記憶しており、

前記試験制御回路は、前記反転ステップになるまで、前記判定結果入力回路を、前記反転ステップ以前の判定情報にしたがって制御し、前記反転ステップを実行する時に当該アナログ - デジタル変換器を前記所定状態にする請求項 6 に記載のアナログ - デジタル変換器。

10

【請求項 8】

当該アナログ - デジタル変換器は、通常動作モードと、試験モードと、を備え、

前記判定結果入力回路は、前記通常動作モード時には、前記逐次比較制御回路に、前記比較器の判定結果を入力する状態を維持する請求項 4 から 7 のいずれか 1 項に記載のアナログ - デジタル変換器。

【請求項 9】

請求項 4 に記載のアナログ - デジタル変換器の動作試験装置であって、

試験用デジタル信号に応じて定められる前記比較器の判定結果の反転を入力する反転ステップの関係を記憶する記憶回路と、

前記アナログ - デジタル変換器に前記入力アナログ信号として入力する、前記試験用デジタル信号に対応する電圧信号を発生させる入力電圧発生回路と、

前記記憶回路に記憶された前記試験用デジタル信号と反転ステップの関係を読み出し、前記試験用デジタル信号を前記入力電圧発生回路に出力すると共に、前記反転ステップになると、前記逐次比較制御回路に前記比較器の判定結果の反転が入力されるように前記判定結果入力回路を制御する試験制御回路と、

前記アナログ - デジタル変換器が変換値として出力する M 回のステップで決定した前記 n ビットデジタル信号の値が、前記試験用デジタル信号の値と一致するかを判定する判定回路と、を備えるアナログ - デジタル変換器の動作試験装置。

20

【請求項 10】

請求項 5 に記載のアナログ - デジタル変換器の動作試験装置であって、

試験用デジタル信号に応じて定められる前記比較器の判定結果の反転を入力する反転ステップの関係および前記反転ステップを実行する所定状態にするのに必要な前記反転ステップ以前の判定情報を記憶する記憶回路と、

前記アナログ - デジタル変換器に前記入力アナログ信号として入力する、前記試験用デジタル信号に対応する電圧信号を発生させる入力電圧発生回路と、

前記記憶回路に記憶された前記試験用デジタル信号と反転ステップの関係を読み出し、前記試験用デジタル信号を前記入力電圧発生回路に出力すると共に、前記反転ステップになるまで、前記判定結果入力回路を、前記反転ステップ以前の判定情報にしたがって制御し、前記アナログ - デジタル変換器を前記所定状態にした後、前記逐次比較制御回路に前記比較器の判定結果の反転が入力されるように前記判定結果入力回路を制御する試験制御回路と、

前記アナログ - デジタル変換器が変換値として出力する M 回のステップで決定した前記 n ビットデジタル信号の値が、前記試験用デジタル信号の値と一致するかを判定する判定回路と、を備えるアナログ - デジタル変換器の動作試験装置。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ - デジタル変換器の動作試験方法、アナログ - デジタル変換器およびアナログ - デジタル変換器の動作試験装置に関し、特に冗長アルゴリズムを使用する逐次比較型アナログ - デジタル変換器の動作試験に関する。

50

【背景技術】

【0002】

マイクロコンピュータやシステムLSIに搭載するアナログ-デジタル変換器(ADC)は、小型化および高精度化の観点から逐次比較型が多く用いられている。

【0003】

図1は、従来の逐次比較型ADCの構成例を示すブロック図である。また、図2は、逐次比較型ADCにおける変換動作を説明する図である。

【0004】

図1に示すように、従来の逐次比較型ADCは、比較器12と、逐次比較制御回路13と、DA変換器(デジタル-アナログ変換器)14と、を備える。入力アナログ信号SAは、例えば、サンプルホールド回路11で一旦保持され、入力信号Vinとして比較器12に入力される。

10

【0005】

図2に示すように、逐次比較型ADCは、nビット(ここでは5ビット)の分解能を備え、フルスケール電圧がVFSであるとする。1ステップ目に、逐次比較制御回路13は、1ビット目(b1)のビット値が“1”で、2ビット目以降(b2~bn)のビット値が“0”であるデジタル信号を出力し、DA変換器14はこのデジタル信号に対応した電圧の参照アナログ信号Vrを発生して出力する。1ステップ目の参照アナログ信号Vrの電圧は、VFS/2である。比較器12は、入力信号Vinの電圧を参照アナログ信号Vrの電圧と比較し、比較結果を出力する。逐次比較制御回路13は、比較結果に基づいて、1ビット目(b1)のビット値を決定する。例えば、VinがVrより大きければb1を“1”に、VinがVrより小さければb1を“0”に決定する。

20

【0006】

2ステップ目に、逐次比較制御回路13は、b1が1ステップ目に決定した値で、2ビット目(b2)のビット値が“1”で、3ビット目以降(b3~bn)のビット値が“0”であるデジタル信号を出力し、DA変換器14はこのデジタル信号に対応した参照アナログ信号Vrを発生して出力する。比較器12は、入力信号Vinを参照アナログ信号Vrと比較し、比較結果を出力する。逐次比較制御回路13は、比較結果に基づいて、2ビット目(b2)のビット値を決定する。以下、VrがVinに近づくように3ビット目以降のビット値を順次決定し、nビット目(ここでは5ビット目)のビット値が決定されると、VrがVinにもっとも近づいた状態になるので、デジタル信号をAD変換値として出力する。

30

【0007】

以上説明した参照アナログ信号Vrを変化させる幅を、前のステップで変化させた幅の1/2に減少させながらVrをVinに近づけるように変化させるアルゴリズムは、2進変換アルゴリズムと呼ばれる。2進変換アルゴリズムでは、nビットのAD変換値を、n回のステップで決定する。

【0008】

近年、逐次比較型ADCでも高速化が要求されている。図1の逐次比較型ADCでは、DA変換器14の出力する参照アナログ信号Vrが十分に整定してから比較器12による比較を行わないと、判定に誤りが生じる恐れがあり、比較器12の判定が一度誤るとその修正は不可能であり、大きな変換誤差を生じる。そのため、精度を維持するには、DA変換器14の出力する参照アナログ信号Vrが十分に整定するように各ステップの時間を長くする必要があり、高速化が難しかった。

40

【0009】

このような問題を解決するため、nビットのAD変換値をM回のステップで決定する冗長変換アルゴリズムが提案されている。冗長変換アルゴリズムは、非2進変換アルゴリズムとも呼ばれる。

【0010】

図3は、冗長(非2進)変換アルゴリズムを使用する逐次比較型ADCにおける変換動

50

作を説明する図である。この例は、 n ビット（ここでは5ビット）の分解能を備え、 M 回（ここでは6回）のステップで変換処理を行う。フルスケール電圧は VFS であるとする。1ステップ目に、逐次比較制御回路13は、1ビット目（ b_1 ）のビット値が“1”で、2ビット目以降（ $b_2 \sim b_n$ ）のビット値が“0”であるデジタル信号を出力し、DA変換器14はこのデジタル信号に対応した電圧の参照アナログ信号 V_r を発生して出力する。5ビットの場合、1ステップ目のデジタル信号値（初期値）は、“16”であり、参照アナログ信号 V_r の電圧は、 $VFS/2$ である。比較器12は、入力信号 V_{in} の電圧を参照アナログ信号 V_r の電圧と比較し、比較結果を出力する。逐次比較制御回路13は、1ステップ目の比較結果を記憶する。

【0011】

2ステップ目に、逐次比較制御回路13は、初期値（“16”）に、1ステップ目の判定結果に応じて“7”を加算または減算したデジタル信号を出力し、DA変換器14はこのデジタル信号に対応した参照アナログ信号 V_r を発生して出力する。したがって、2ステップ目のデジタル信号値は、“9”または“23”である。比較器12は、入力信号 V_{in} を参照アナログ信号 V_r と比較し、比較結果を出力する。逐次比較制御回路13は、2ステップ目の比較結果を記憶する。

【0012】

以下、3ステップ目以降、加減算する値を、“5”、“3”、“2”、“1”に変化させながら上記の処理を繰り返す。6ステップ目の処理が終了すると、初期値“16”に対して、“7”、“5”、“3”、“2”、“1”、“0.5”を、各ステップの比較結果に応じて加減算し、最後に“0.5”を減算すると、AD変換値が求まる。例えば、図3に示すように、入力信号 V_{in} の信号レベルが“21.5”であるとする、比較結果は、1ステップ目から6ステップ目まで、正、負、正、正、負、負であり、 $16 + 7 - 5 + 3 + 2 - 1 - 0.5 - 0.5 = 21$ となる。

【0013】

図3に示すように、初期値“16”で、“7”、“5”、“3”、“2”、“1”、“0.5”の重みを使用すると、信号レベルは-3から+34まで表せるが、信号レベルの範囲は“0”から“31”の範囲であり、それ以外の範囲は誤変換であると判断される。

【0014】

図4は、冗長変換アルゴリズムを使用する逐次比較型ADCの概略構成を示す図である。図4に示すように、冗長変換アルゴリズムを使用する逐次比較型ADCは、図1に示した従来の逐次比較型ADCと類似の構成を有するが、逐次比較制御回路13の構成が異なる。また、図1では図示を省略したが、図4ではタイミング発生回路31を図示している。タイミング発生回路31は、ADC内の各部の動作を制御するタイミング信号を発生すると共に、サンプルホールド回路11のサンプリング信号などを発生する。図4では、タイミング発生回路31は、サンプリング信号および逐次比較制御回路13に供給するタイミング信号のみを出力するように示したが、例えば、比較器12もタイミング信号（クロック）に応じて動作する型式のものが使用されるのが一般的である。さらに、DAC14が電荷共有型DACである場合、容量の接続を切り換えるためのタイミング信号はタイミング発生回路31から供給される。

【0015】

逐次比較制御回路13は、ROM21と、加算器22と、減算器23と、マルチプレクサ（MUX）24と、レジスタ（Reg）25と、を有する。ROM21は、1ステップ目の V_r に対応する初期値、2ステップ目以降の V_r を生成するために加減算する重み値を記憶し、タイミング発生回路31からのステップを示す信号に応じて、対応する値を出力する。加算器22は、Reg25に保持された前のステップのデジタル値に、ROM21の出力する値を加算して出力する。減算器23は、Reg25に保持された前のステップのデジタル値から、ROM21の出力する値を減算して出力する。MUX24は、比較器12の比較結果に応じて、加算器22の出力と減算器23の出力の一方を選択して、D

10

20

30

40

50

A C 1 4 および R e g 2 5 に出力する。D A C 1 4 は、M U X 2 4 の出力するデジタル信号値に応じた V r を生成する。R e g 2 5 は、M U X 2 4 の出力するデジタル信号値を保持する。最終ステップが終了した時点の M U X 2 4 の出力が A D 変換値 D o u t になる。

【 0 0 1 6 】

変換動作開始時には、R e g 2 5 の値はゼロにリセットされ、1ステップ目では、加算器 2 2 は初期値を出力し、M U X 2 4 が加算器 2 2 の出力を選択する。これに応じて D A C 1 4 が V r を生成すると共に、R e g 2 5 が初期値を記憶する。1ステップ目の比較動作中に、R O M 2 1 は2ステップ目の重み値を出力し、M U X 2 4 が1ステップ目の比較結果に応じて加算器 2 2 の出力と減算器 2 3 の出力の一方を選択して出力する。以下、同様の動作が M 回のステップ繰り返される。

10

【 0 0 1 7 】

図 5 は、逐次比較型 A D C において、2ステップ目から3ステップ目に変化する時の D A C 1 4 の出力 V r の変化を説明する図である。2ステップ目の比較動作が行われる時、D A C 1 4 は、2ステップ目の V r を出力しており、正しい比較を行うには V r が安定していることが必要である。2ステップ目の比較動作が終了した直後に、M U X 2 4 が2ステップ目の比較結果に応じて加算器 2 2 の出力と減算器 2 3 の出力の一方を選択して出力する。D A C 1 4 は、M U X 2 4 の出力をデコードした後、D A C 内の接続を切り換えて出力 V r を変化させる。この処理は、M U X 2 4 の出力をデコードするのに要するデコード時間と、D A C の出力 V r が安定するまでの D A C 整定時間と、を要する。D A C 整定時間は、ラダー抵抗を使用した D A C であれば増幅器のスルーレートなどに関係し、電荷共有型 D A C であれば、容量と抵抗などにより決定される電荷の移動時間などに関係する。前のステップほど D A C の出力 V r の変化量が大きいため、D A C 整定時間は、1ステップ目が長く、徐々に短くなる。以下、同様の動作を繰り返す。

20

【 0 0 1 8 】

非特許文献 1 および 2 は、サイクル時間を短くし、D A 変換器の出力の整定が不十分な状態で比較を行うことに起因する整定誤差を、冗長アルゴリズムを適用することで許容する方式を提案している。この方式では、2進アルゴリズムよりステップ数が多くなるが、サイクル時間が短くなるので、全体としては高速化することができる。

【 0 0 1 9 】

非特許文献 3 は、D A 変換器を使用した S A R A D C における冗長アルゴリズムについて記載している。

30

【 先行技術文献 】

【 非特許文献 】

【 0 0 2 0 】

【 非特許文献 1 】 F.Kuttner “ A 1.2V 10b 20MS/S Non-Binary Successive Approximation ADC in 0.13um CMOS ” Tech. Digest of ISSCC (Feb. 2002)

【 非特許文献 2 】 M.Hesener, T.Eichler, A.Hanneberg, D.Herbison, F.Kuttner, H.Wenske “ A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13um CMOS ” Tech. Digest of ISSCC (Feb. 2007)

【 非特許文献 3 】 T.Ogawa, H.Kobayashi, M.Hotta, Y.Takahashi, H.San, N.Takai “ SAR ADC Algorithm with Redundancy ”, IEEE Asia Pacific Conference on Circuits and Systems, Macao, pp.268-271, Dec. 2008

40

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 1 】

冗長アルゴリズム（非2進アルゴリズム）を使用した A D 変換器が提案されているが、その試験方法については特に提案されておらず、2進アルゴリズムを使用した A D 変換器と同様の試験方法が適用されると考えられる。すなわち、A D 変換器への入力信号の電圧を、入力範囲にわたって最小レベルずつ変化させ、各レベルの入力信号電圧に対する A D 変換が正しい値であるかを検出する。通常は、このような試験を、電圧、温度などの動作

50

環境を変えて行い、すべての条件で正しいAD変換値が得られることを確認する。

【0022】

AD変換値は、複数のステップの一連の判定結果列により決定されるが、冗長アルゴリズムによれば、同一のAD変換値が、異なる複数の一連の判定結果列により得られる場合が存在する。冗長アルゴリズムを使用したAD変換器の動作試験を行う場合、異なる複数の一連の判定結果列のすべての列の動作を試験することが望ましい。

【0023】

しかし、上記の試験では、異なる複数の一連の判定結果列のうちの1つの列の動作を試験するのみである。上記のように動作環境を変えて試験した場合、異なる列の動作を試験する場合も生じると考えられるが、異なる複数の一連の判定結果列のうちのどの列の動作を試験したかは分からない。

10

【0024】

図5に示すDAC整定時間は、電圧、温度などにより変動する。そのため、DACの出力 V_r が十分に整定した時に比較が行われるならば正しい比較が行われるが、DACの出力 V_r が十分に整定する前に比較が行われた場合、比較結果に誤りが発生することが起こり得る。しかし、冗長アルゴリズムを使用したAD変換器の場合、途中の比較結果に誤りが発生した場合でも正しいAD変換値が得られる場合があり、そのような場合途中で比較結果に誤りが発生しことを知ることはできない。このように、冗長アルゴリズムを使用することにより、正しいAD変換値を得ることができるが、異なる複数の一連の判定結果列のうちのどの列の動作が行われたかはわからない。

20

【0025】

集積回路の内部動作を試験する手法として、スキャン回路が知られている。スキャン回路は、回路内に各部の状態をラッチまたは設定するフリップフロップ(FF)を設け、FFがラッチした状態を外部に出力する信号経路を設け、回路を所定の状態に設定した上で動作させ、ラッチした動作状態を外部に出力する回路である。スキャン回路により、回路内の動作状態を調べることが可能になる。スキャン回路のFFとして回路内のFFを利用する場合もある。冗長アルゴリズムを使用したAD変換器にスキャン回路を設ければ、回路内の動作状態を調べて、異なる複数の一連の判定結果列のうちのどの列の動作が行われたかを知ることが可能である。

【0026】

しかし、冗長アルゴリズムを使用したAD変換器にスキャン回路を設ける場合、レジスタ25の各ビットの値をラッチする多数のFFごとに入出力を切り換えるMUXを設け、それらの間に配線を設ける必要があり、回路規模が大きくなるという問題が発生する。逐次比較型ADCは、小チップ面積および低消費電力であることが望まれており、実際にはスキャン回路を設けることはできない。

30

【0027】

本発明は、冗長アルゴリズムを使用したAD変換器で、簡単な回路を付加するだけで、異なる複数の一連の判定結果列のうちのすべての列の動作を試験できるようにすることを目的とする。

【課題を解決するための手段】

40

【0028】

上記問題を解決するため、本発明の逐次比較型アナログ-デジタル変換器(ADC)は、ADCの動作中に、所定のステップで逐次比較制御回路に入力する比較器の判定結果を反転して誤判定動作を発生させた後、さらに動作を続行させる。このため、ADCは、逐次比較制御回路に、比較器の判定結果を入力するかまたは記判定結果の反転を入力するかを切り換える判定結果入力回路を有する。

【0029】

すなわち、本発明のアナログ-デジタル変換器の動作試験方法は、 n ビットデジタル信号に応じて参照アナログ信号を出力するデジタル-アナログ変換器と、入力アナログ信号を参照アナログ信号と比較する比較器と、比較器の比較結果に基づいて参照アナログ信号

50

が入力アナログ信号に近づくように、 n ビットデジタル信号の値を M ($n < M$)回のステップで変化させる逐次比較制御回路と、を有し、逐次比較制御回路は、 n ビットデジタル信号の値を冗長変換アルゴリズムに従って変化させるアナログ-デジタル変換器の動作試験方法であって、入力アナログ信号として所定の電圧信号を入力してアナログ-デジタル変換器を動作させ、動作中に、所定のステップで、逐次比較制御回路に入力する比較器の判定結果を反転して誤判定動作が発生するように制御し、アナログ-デジタル変換器による所定の電圧信号の変換結果を取得し、取得した変換結果を、所定の電圧信号に対応するデジタル値と比較して、比較結果に基づいて正常動作が否かを判定する。

【0030】

また、本発明のアナログ-デジタル変換器は、 n ビットデジタル信号に応じて参照アナログ信号を出力するデジタル-アナログ変換器と、入力アナログ信号を参照アナログ信号と比較する比較器と、比較器の比較結果に基づいて参照アナログ信号が入力アナログ信号に近づくように、 n ビットデジタル信号の値を M ($n < M$)回のステップで変化させる逐次比較制御回路と、を有し、逐次比較制御回路は、 n ビットデジタル信号の値を冗長変換アルゴリズムに従って変化させるアナログ-デジタル変換器であって、逐次比較制御回路に、比較器の判定結果を入力するかまたは判定結果の反転を入力するかを切り換える判定結果入力回路を有する。

【0031】

冗長アルゴリズムにより補正可能な入力信号のレベルと誤りが発生するステップの関係は、冗長アルゴリズムに応じて定められるので、補正可能な条件で逐次比較制御回路に入力する比較器の判定結果を反転して誤判定動作が発生する。

【0032】

また、通常動作を行わせて、逐次比較制御回路に入力する比較器の判定結果を反転して誤判定動作が発生するステップまで状態を変化させることも可能であるが、より確実に状態を変化させるには、所定のステップまで、逐次比較制御回路に入力する比較器の判定結果を制御してADCを所定の状態にした後、比較器の判定結果を反転することが望ましい。そのため、判定結果入力回路は、逐次比較制御回路に任意の判定結果を入力するように切り換え可能であるようにすることが望ましい。

【0033】

本発明のADCを試験する試験回路は、試験用デジタル信号に応じて定められる比較器の判定結果の反転を入力する反転ステップの関係を記憶する記憶回路と、入力アナログ信号として入力する、試験用デジタル信号に対応する電圧信号を発生させる入力電圧発生回路と、記憶回路に記憶された試験用デジタル信号と反転ステップの関係を読み出し、試験用デジタル信号を入力電圧発生回路に出力すると共に、反転ステップになると、逐次比較制御回路に比較器の判定結果の反転が入力されるように判定結果入力回路を制御する試験制御回路と、アナログ-デジタル変換器が変換値として出力する M 回のステップで決定した n ビットデジタル信号の値が、試験用デジタル信号の値と一致するかを判定する判定回路と、を有する。試験回路は、ADCの試験装置 (ATE:Automatic Test Equipment)として使用することも可能であるが、ADCが搭載されるSOC (System On-Chip)内のDSPコアなどにより実現することも、ADCの一部として実現することも可能である。

【0034】

上記のように、判定結果入力回路が逐次比較制御回路に任意の判定結果を入力するように切り換え可能であるように構成して、所定のステップまで、逐次比較制御回路に入力する比較器の判定結果を制御してADCを所定の状態にした後、比較器の判定結果を反転する場合には、記憶回路は、反転ステップを実行する所定状態にするのに必要な反転ステップ以前の判定情報を記憶する。

【0035】

ADCは、通常動作モードと、試験モードと、を有し、判定結果入力回路は、通常動作モード時には、逐次比較制御回路に、前記比較器の判定結果を入力する状態を維持し、試験モード時には、指定された入力を行うようにする。

10

20

30

40

50

【 0 0 3 6 】

本発明の A D C は、従来の A D C に、判定結果入力回路として 2 対 1 または 4 対 1 の選択回路（マルチプレクサ）を追加するだけであり、回路構成が簡単である。

【 発明の効果 】

【 0 0 3 7 】

本発明によれば、冗長アルゴリズムを使用した A D 変換器の試験が容易になり、試験時間および試験コストを低減できる。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 図 1 は、従来の逐次比較型 A D C の構成例を示すブロック図である。

10

【 図 2 】 図 2 は、逐次比較型 A D C における変換動作を説明する図である。

【 図 3 】 図 3 は、冗長（非 2 進）変換アルゴリズムを使用する逐次比較型 A D C における変換動作を説明する図である。

【 図 4 】 図 4 は、冗長変換アルゴリズムを使用する逐次比較型 A D C の概略構成を示す図である。

【 図 5 】 図 5 は、逐次比較型 A D C において、2 ステップ目から 3 ステップ目に変化する時の D A C の出力の変化を説明する図である。

【 図 6 】 図 6 は、実施形態の冗長アルゴリズムを使用する逐次比較型アナログ - デジタル変換器（A D C）の構成を示す図である。

【 図 7 】 図 7 は、試験動作を示すフローチャートであり、（ A ）が実施形態の試験動作を、（ B ）が変形例の試験動作を示す。

20

【 図 8 】 図 8 は、4 ビット 5 ステップの冗長（非 2 進）アルゴリズムの D A C の重み値の例と誤差許容範囲を示す図である。

【 図 9 】 図 9 は、ステップ 1 での、試験の対象となる前の比較結果列と、デジタル信号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示し、さらに試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in4}$ を示す。

【 図 10 】 図 10 は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ 1 で比較結果を反転させた場合の比較結果列を示す。

【 図 11 】 図 11 は、ステップ 2 での、試験の対象となる前の比較結果列と、デジタル信号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示し、さらに試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in4}$ を示す。

30

【 図 12 】 図 12 は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ 2 で比較結果を反転させた場合の比較結果列を示す。

【 図 13 】 図 13 は、ステップ 3 での、試験の対象となる前の比較結果列と、デジタル信号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示し、さらに試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in8}$ を示す。

【 図 14 】 図 14 は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ 3 で比較結果を反転させた場合の比較結果列を示す。

【 図 15 】 図 15 は、電圧 $V_{in5} \sim V_{in8}$ を入力し、ステップ 3 で比較結果を反転させた場合の比較結果列を示す。

40

【 図 16 】 図 16 は、4 ビット 6 ステップの冗長（非 2 進）アルゴリズムの D A C の重み値の例と誤差許容範囲を示す図である。

【 図 17 】 図 17 は、ステップ 1 での、試験の対象となる前の比較結果列と、デジタル信号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示し、さらに試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in8}$ を示す。

【 図 18 】 図 18 は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ 1 で比較結果を反転させた場合の比較結果列を示す。

【 図 19 】 図 19 は、電圧 $V_{in5} \sim V_{in8}$ を入力し、ステップ 1 で比較結果を反転させた場合の比較結果列を示す。

【 図 20 】 図 20 は、ステップ 2 での、試験の対象となる前の比較結果列と、デジタル信

50

号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示し、さらに試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in8}$ を示す。

【図21】図21は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ2で比較結果を反転させた場合の比較結果列を示す。

【図22】図22は、電圧 $V_{in5} \sim V_{in8}$ を入力し、ステップ2で比較結果を反転させた場合の比較結果列を示す。

【図23】図23は、ステップ3での、試験の対象となる前の比較結果列と、デジタル信号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示し、さらに試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in16}$ を示す。

【図24】図24は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ3で比較結果を反転させた場合の比較結果列を示す。

【図25】図25は、電圧 $V_{in5} \sim V_{in8}$ を入力し、ステップ3で比較結果を反転させた場合の比較結果列を示す。

【図26】図26は、電圧 $V_{in9} \sim V_{in12}$ を入力し、ステップ3で比較結果を反転させた場合の比較結果列を示す。

【図27】図27は、電圧 $V_{in13} \sim V_{in16}$ を入力し、ステップ3で比較結果を反転させた場合の比較結果列を示す。

【図28】図28は、ステップ4での、試験の対象となる前の比較結果列と、デジタル信号値（比較値）と、試験信号（試験用デジタル信号）の入力範囲（比較値 $\pm q_k$ ）と、を示す。

【図29】図29は、ステップ4での、試験信号として入力する試験信号の電圧 $V_{in1} \sim V_{in16}$ を示す。

【図30】図30は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ4で比較結果を反転させた場合の比較結果列を示す。

【図31】図31は、電圧 $V_{in5} \sim V_{in8}$ を入力し、ステップ4で比較結果を反転させた場合の比較結果列を示す。

【図32】図32は、電圧 $V_{in9} \sim V_{in12}$ を入力し、ステップ4で比較結果を反転させた場合の比較結果列を示す。

【図33】図33は、電圧 $V_{in13} \sim V_{in16}$ を入力し、ステップ4で比較結果を反転させた場合の比較結果列を示す。

【発明を実施するための形態】

【0039】

図6は、実施形態の冗長アルゴリズムを使用する逐次比較型アナログ-デジタル変換器（ADC）の構成を示す図である。

【0040】

図6に示すように、実施形態のADCは、比較器12の比較結果をMUX24に入力する部分に2ビット（4対1選択）のマルチプレクサ（MUX）41が設けられていることと、試験回路50が設けられていることが、図4に示した従来例と異なり、他の部分は同じである。試験回路50は、ADCの試験装置（ATE:Automatic Test Equipment）として使用することも可能であるが、ADCが搭載されるSOC（System On-Chip）内のDSPコアなどにより実現することも可能である。また、ADCの回路規模が大きくなることが許容される場合には、ADCの一部として実現することも可能である。以下の説明では、試験回路50は、ATEとして実現されるものとして説明する。

【0041】

マルチプレクサ（MUX）41は、4つの入力を有し、それぞれに、入力比較器12の出力信号（比較結果）、入力比較器12の出力をインバータ42で反転した信号（反転比較結果）、“0”および“1”が入力され、試験回路50からの2ビットの選択信号SELに応じて、4つの入力の1つを選択して出力する。MUX41の出力が、比較結果としてMUX24に入力される。ここでは、SEL=0で入力比較器12の出力信号（比較結果）が、SEL=1で入力比較器12の出力をインバータ42で反転した信号（反転比較

10

20

30

40

50

結果)が、SEL = 2で“0”が、SEL = 3で“1”がそれぞれ選択される。

【0042】

試験回路50は、通常のADCで従来行っていたAD変換器への入力信号の電圧を、入力範囲にわたって最小レベルずつ変化させ、各レベルの入力信号電圧に対するAD変換が正しい値であるかを検出する試験を実行する機能を有しているものとする。したがって、いかに説明する回路要素は、従来の機能を実現するための回路要素を利用して実現することも可能である。

【0043】

また、以下に説明する冗長アルゴリズムを使用することによる異なる複数の一連の判定結果列の動作試験は、上記の通常の試験で良品と判定されたものについて行うことが望ましい。

10

【0044】

試験回路50は、ROM51と、試験制御回路52と、DAC53と、一致検出回路54と、を有する。ROM51は、後述する試験用デジタル信号に応じて定められる比較器の判定結果の反転を入力する反転ステップの関係および反転ステップを実行する所定状態にするのに必要な反転ステップ以前の判定情報を記憶する。DAC53は、ADCに入力アナログ信号SAとして入力する、試験用デジタル信号に対応する電圧信号を発生させる。試験制御回路52は、ROM51に記憶された試験用デジタル信号と反転ステップの関係を読み出し、試験用デジタル信号をDAC53に出力すると共に、反転ステップになるまで、MUX41を、反転ステップ以前の判定情報にしたがって制御してADCを所定状態にした後、逐次比較制御回路13に比較器12の判定結果の反転が入力されるように制御する。一致検出回路54は、ADCが変換値として出力するM回のステップで決定したnビットデジタル信号の値が、試験用デジタル信号の値(整数値)と一致するかを判定する。この判定が一致すれば、ADCは良品であり、不一致なら不良品であると判定される。

20

【0045】

図7は、試験動作を示すフローチャートであり、(A)が実施形態の試験動作を、(B)が変形例の試験動作を示す。

【0046】

図7の(A)に示すように、kステップ目で逐次比較制御回路13に比較器12の判定結果の反転が入力されるようにする場合、まずk-1ステップ目までは、反転ステップ以前の判定情報にしたがってSEL = 2または3に設定して、ADCを所望の状態にする。次に、kステップ目で、SEL = 1に設定して、誤った比較結果をMUX24に入力し、ADCで誤判定に応じた動作を発生させる。k+1ステップ目以降は、SEL = 0に設定して、正常の比較結果をMUX24に入力し、ADCにAD変換処理を実行させる。

30

【0047】

図7の(A)の例では、ADCを所望の状態にした後、ADCで誤判定を発生させたが、通常動作を行わせてもkステップ目に所望の状態になっていると考えられる場合も存在する。その場合には、図7の(B)に示すように、k-1ステップ目までは、SEL = 0に設定して、ADCに通常動作をさせて所望の状態にする。次に、kステップ目で、SEL = 1に設定して、誤った比較結果をMUX24に入力し、ADCで誤判定に応じた動作を発生させる。k+1ステップ目以降は、SEL = 0に設定して、正常の比較結果をMUX24に入力し、ADCにAD変換処理を実行させる。図7の(B)の試験動作であれば、マルチプレクサ(MUX)41は、2つの入力を有し、それぞれに、比較器12の出力信号(比較結果)および比較器12の出力をインバータ42で反転した信号(反転比較結果)が入力され、試験回路50からの1ビットの選択信号SELに応じて、2つの入力の1つを選択して出力するように構成すればよい。

40

【0048】

次に、冗長アルゴリズムを使用することによる異なる複数の一連の判定結果列の列数、すなわち試験する冗長コード数について説明する。

50

【0049】

nビットをM (n < M) 回のステップで決定する冗長 (非2進) アルゴリズムの場合、 2^M 通りのコードがあり、すべて正しいパターンが 2^N 通りある。したがって、誤差補正パターンは $2^M - 2^N$ 通りある。

【0050】

各ステップで試験するコード数は、次のように表される。

【0051】

kステップ目の誤判定補正コード数 (後ステップでの判定はすべて正しい)
 = (比較値の場合の数) × (正解1を0と誤判定、正解0を1と誤判定の2通り) × (誤差許容範囲)
 = $2^{k-1} \times 2 \times q_k$

10

次に、ADCで誤判定を発生させる状態の決定方法について説明する。

【0052】

kステップ目の比較値 $V_{ref}(k)$ は、次の式で表される。

【0053】

【数1】

$$V_{ref}(k) = p_1 + \sum_{i=2}^k p_i \cdot 2\{d(i-1) - 0.5\}$$

20

【0054】

ここで、 p_k : kステップ目のDACの重み値、 q_k : kステップ目の誤差許容範囲、 $d(k)$: kステップ目の比較器の比較結果 (「高」: $d(k) = 1$ 、「低」: $d(k) = 0$) である。

【0055】

kステップ目では、前の比較結果に応じて 2^{k-1} パターンの比較結果列がある。

【0056】

kステップ目の誤判定補正試験の場合、次の入力信号 V_{in} を入力する。

30

【0057】

$V_{ref}(k) - q_k \leq V_{in} \leq V_{ref}(k) + q_k$
 これを比較結果列の全パターンについて試験する。

【0058】

以下、具体的な例を説明する。

【0059】

まず、 $n = 4$ 、 $M = 5$ の4ビット5ステップの冗長 (非2進) アルゴリズムの場合を説明する。

【0060】

図8は、4ビット5ステップの冗長 (非2進) アルゴリズムのDACの重み値の例と誤差許容範囲 q を示す図である。ステップ (STEP) 1では初期値“8”が使用され、ステップ2以降の重み値は、“3”、“2”、“1”、“1”である。また、ステップ1~5の誤差許容範囲 q は、2、1、1、0、0である。したがって、ステップ4および5については試験を行わない。

40

【0061】

図9の(A)は、ステップ1での、試験の対象となる前の比較結果列と、デジタル信号値 (比較値) と、試験信号 (試験用デジタル信号) の入力範囲 (比較値 $\pm q_k$) と、を示す。ステップ1なので、前の比較結果列は存在せず、比較値は“8”で、入力範囲は6~10 (レベル)、すなわち6.5、7.5、8.5、9.5である。

【0062】

50

図9の(B)は、試験信号として入力する上記の信号の電圧 $V_{in1} \sim V_{in4}$ を示す。

【0063】

図10は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ1で比較結果を反転させた場合の比較結果列を示す。

【0064】

図10の(A)に示すように、電圧 V_{in1} (9.5)を入力してステップ1で比較結果を反転させた場合、AD変換値は $(8 - 3 + 2 + 1 + 1 + 0.5 - 0.5 =)$ “9”となり、正しいAD変換値が得られる。

【0065】

図10の(B)に示すように、電圧 V_{in2} (8.5)を入力してステップ1で比較結果を反転させた場合、AD変換値は $(8 - 3 + 2 + 1 + 1 - 0.5 - 0.5 =)$ “8”となり、正しいAD変換値が得られる。

【0066】

図10の(C)に示すように、電圧 V_{in3} (7.5)を入力してステップ1で比較結果を反転させた場合、AD変換値は $(8 + 3 - 2 - 1 - 1 + 0.5 - 0.5 =)$ “7”となり、正しいAD変換値が得られる。

【0067】

図10の(D)に示すように、電圧 V_{in2} (6.5)を入力してステップ1で比較結果を反転させた場合、AD変換値は $(8 + 3 - 2 - 1 - 1 - 0.5 - 0.5 =)$ “6”となり、正しいAD変換値が得られる。

【0068】

図11の(A)は、ステップ2での、試験の対象となる前の比較結果列と、デジタル信号値(比較値)と、試験信号(試験用デジタル信号)の入力範囲(比較値 $\pm q_k$)と、を示す。前の比較結果列は、ステップ1の比較結果が“1”と“0”の2つである。比較結果が“1”の場合、比較値は $(8 + 3 =)$ “11”で、入力範囲は10~12、すなわち10.5、11.5である。比較結果が“0”の場合、比較値は $(8 - 3 =)$ “5”で、入力範囲は4~6、すなわち4.5、5.5である。

【0069】

図11の(B)は、試験信号として入力する上記の信号の電圧 $V_{in1} \sim V_{in4}$ を示す。

【0070】

図12は、電圧 $V_{in1} \sim V_{in4}$ を入力し、ステップ2で比較結果を反転させた場合の比較結果列を示す。

【0071】

図12の(A)に示すように、電圧 V_{in1} (11.5)を入力してステップ2で比較結果を反転させた場合、AD変換値は $(8 + 3 - 2 + 1 + 1 + 0.5 - 0.5 =)$ “11”となり、正しいAD変換値が得られる。

【0072】

図12の(B)に示すように、電圧 V_{in2} (10.5)を入力してステップ2で比較結果を反転させた場合、AD変換値は $(8 + 3 + 2 - 1 - 1 - 0.5 - 0.5 =)$ “10”となり、正しいAD変換値が得られる。

【0073】

図12の(C)に示すように、電圧 V_{in3} (5.5)を入力してステップ2で比較結果を反転させた場合、AD変換値は $(8 - 3 - 2 + 1 + 1 + 0.5 - 0.5 =)$ “5”となり、正しいAD変換値が得られる。

【0074】

図12の(D)に示すように、電圧 V_{in2} (4.5)を入力してステップ2で比較結果を反転させた場合、AD変換値は $(8 - 3 + 2 - 1 - 1 - 0.5 - 0.5 =)$ “4”となり、正しいAD変換値が得られる。

10

20

30

40

50

【 0 0 7 5 】

図 1 3 の (A) は、ステップ 3 での、試験の対象となる前の比較結果列と、デジタル信号値 (比較値) と、試験信号 (試験用デジタル信号) の入力範囲 (比較値 $\pm q_k$) と、を示す。前の比較結果列は、ステップ 1 および 2 の比較結果が “ 1 1 ”、“ 1 0 ”、“ 0 1 ” および “ 0 0 ” の 4 つである。比較結果が “ 1 1 ” の場合、比較値は ($8 + 3 + 2 =$) “ 1 3 ” で、入力範囲は 1 2 ~ 1 4、すなわち 1 2 . 5、1 3 . 5 である。比較結果が “ 1 0 ” の場合、比較値は ($8 + 3 - 2 =$) “ 9 ” で、入力範囲は 8 ~ 1 0、すなわち 8 . 5、9 . 5 である。比較結果が “ 0 1 ” の場合、比較値は ($8 - 3 + 2 =$) “ 7 ” で、入力範囲は 6 ~ 8、すなわち 6 . 5、7 . 5 である。比較結果が “ 0 0 ” の場合、比較値は ($8 - 3 - 2 =$) “ 3 ” で、入力範囲は 2 ~ 4、すなわち 2 . 5、3 . 5 である。

10

【 0 0 7 6 】

図 1 3 の (B) は、試験信号として入力する上記の信号の電圧 $V_{in1} \sim V_{in8}$ を示す。

【 0 0 7 7 】

図 1 4 および図 1 5 は、電圧 $V_{in1} \sim V_{in8}$ を入力し、ステップ 3 で比較結果を反転させた場合の比較結果列を示す。

【 0 0 7 8 】

図 1 4 の (A) に示すように、電圧 V_{in1} (1 3 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 + 3 + 2 - 1 + 1 + 0 . 5 - 0 . 5 =$) “ 1 3 ” となり、正しい A D 変換値が得られる。

20

【 0 0 7 9 】

図 1 4 の (B) に示すように、電圧 V_{in2} (1 2 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 + 3 + 2 + 1 - 1 - 0 . 5 - 0 . 5 =$) “ 1 2 ” となり、正しい A D 変換値が得られる。

【 0 0 8 0 】

図 1 4 の (C) に示すように、電圧 V_{in3} (9 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 + 3 - 2 - 1 + 1 + 0 . 5 - 0 . 5 =$) “ 9 ” となり、正しい A D 変換値が得られる。

【 0 0 8 1 】

図 1 4 の (D) に示すように、電圧 V_{in4} (8 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 + 3 - 2 + 1 - 1 - 0 . 5 - 0 . 5 =$) “ 8 ” となり、正しい A D 変換値が得られる。

30

【 0 0 8 2 】

図 1 5 の (A) に示すように、電圧 V_{in5} (7 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 - 3 + 2 - 1 + 1 + 0 . 5 - 0 . 5 =$) “ 7 ” となり、正しい A D 変換値が得られる。

【 0 0 8 3 】

図 1 5 の (B) に示すように、電圧 V_{in6} (6 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 - 3 + 2 + 1 - 1 - 0 . 5 - 0 . 5 =$) “ 6 ” となり、正しい A D 変換値が得られる。

40

【 0 0 8 4 】

図 1 5 の (C) に示すように、電圧 V_{in7} (3 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 - 3 - 2 - 1 + 1 + 0 . 5 - 0 . 5 =$) “ 3 ” となり、正しい A D 変換値が得られる。

【 0 0 8 5 】

図 1 5 の (D) に示すように、電圧 V_{in8} (2 . 5) を入力してステップ 3 で比較結果を反転させた場合、A D 変換値は ($8 - 3 - 2 + 1 - 1 - 0 . 5 - 0 . 5 =$) “ 2 ” となり、正しい A D 変換値が得られる。

【 0 0 8 6 】

したがって、ROM 5 1 は、ステップ 1 で比較結果を反転させる場合として図 9 の (A

50

) に示した前の比較結果列および試験信号のレベル (4 セット) を、ステップ 2 で比較結果を反転させる場合として図 1 1 の (A) に示した前の比較結果列および試験信号のレベル (2 + 2 = 4 セット) を、ステップ 3 で比較結果を反転させる場合として図 1 3 の (A) に示した前の比較結果列および試験信号のレベル (4 × 2 = 8 セット) を、記憶する。

【 0 0 8 7 】

試験制御回路 5 2 は、ROM 5 1 から、これらのデータを読み出して必要な設定および制御を行う。例えば、ステップ 3 で比較結果を反転させる場合で、前の比較結果列が “ 1 0 ”、試験信号のレベルが “ 9 . 5 ” のデータを読み出した場合には、DAC 5 3 に “ 9 . 5 ” を入力し、一致検出回路 5 4 に “ 9 ” (9 . 5 の整数値) を設定する。そして、タイミング発生回路 3 1 からの信号に応じて、ステップ 1 では SEL = 3 に、ステップ 2 で SEL = 2 に設定して、DAC 1 4 の比較値が “ 9 ” になった状態で、ステップ 3 で SEL = 1 にしてステップ 3 で比較結果を反転させる。その後、SEL = 0 にしてステップ 4 および 5 を実行する。

10

【 0 0 8 8 】

以上のようにして、4 ビット 5 ステップの冗長 (非 2 進) アルゴリズムを使用する逐次比較型 ADC の、1 6 の誤差補正パターンのすべてについての動作を試験できる。

【 0 0 8 9 】

次に、 $n = 4$, $M = 6$ の 4 ビット 6 ステップの冗長 (非 2 進) アルゴリズムの場合を説明する。

【 0 0 9 0 】

図 1 6 は、4 ビット 6 ステップの冗長 (非 2 進) アルゴリズムの DAC の重み値の例と誤差許容範囲 q を示す図である。ステップ (STEP) 1 では初期値 “ 8 ” が使用され、ステップ 2 以降の重み値は、 “ 2 ”、 “ 2 ”、 “ 1 ”、 “ 1 ”、 “ 1 ” である。また、ステップ 1 ~ 5 の誤差許容範囲 q は、4、2、2、1、0、0 である。

20

【 0 0 9 1 】

図 1 7 の (A) は、ステップ 1 での、試験の対象となる前の比較結果列と、デジタル信号値 (比較値) と、試験信号 (試験用デジタル信号) の入力範囲 (比較値 $\pm q_k$) と、を示す。前の比較結果列は存在せず、比較値は “ 8 ” で、入力範囲は 4 ~ 1 2 である。

【 0 0 9 2 】

図 1 7 の (B) は、試験信号として入力する上記の信号の電圧 $V_{in1} \sim V_{in4}$ を示す。

30

【 0 0 9 3 】

図 1 8 および図 1 9 は、電圧 $V_{in1} \sim V_{in8}$ を入力し、ステップ 1 で比較結果を反転させた場合の比較結果列を示す。4 ビット 5 ステップの場合と同様であるから詳しい説明は省略する。

【 0 0 9 4 】

以下、ステップ 2 で比較結果を反転させる場合の比較結果列を図 2 0 から図 2 2 に、ステップ 3 で比較結果を反転させる場合の比較結果列を図 2 3 から図 2 7 に、ステップ 4 で比較結果を反転させる場合の比較結果列を図 2 8 から図 3 3 に示し、説明は省略する。

【 0 0 9 5 】

以上、本発明の実施形態を説明したが、説明した以外にも各種の変形例が可能であるのはいうまでもない。例えば、実施形態では、逐次比較制御回路 1 3 は重み値を ROM 2 1 に記憶したが、逐次比較制御回路 1 3 をワイヤードロジック回路などで構成し、ROM を使用しないようにすることも可能である。

40

【 0 0 9 6 】

また、本発明は、冗長 (非 2 進) アルゴリズムを使用する逐次比較型 ADC であれば、どのようなものにも適用可能である。

【 産業上の利用可能性 】

【 0 0 9 7 】

本発明は、冗長 (非 2 進) アルゴリズムを使用する逐次比較型 AD 変換回路およびその

50

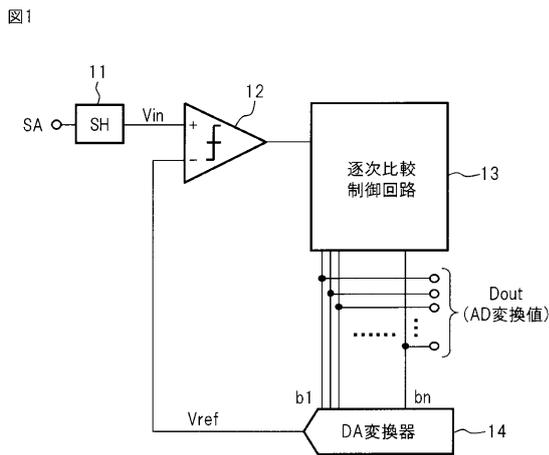
試験装置などに利用される。

【符号の説明】

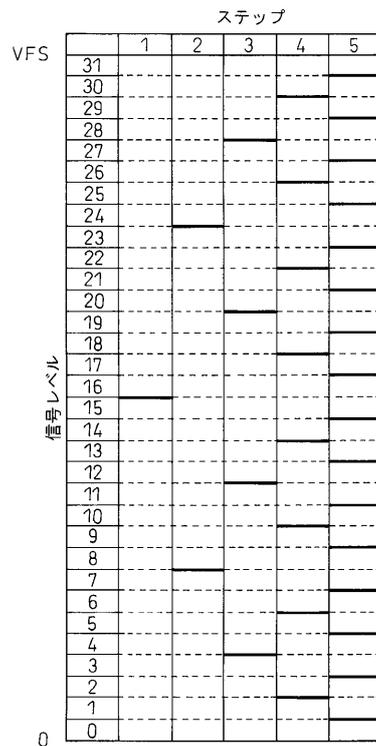
【0098】

- 11 サンプルホールド回路
- 12 比較器
- 13 逐次比較制御回路
- 14 D A 変換器
- 21 ROM (記憶回路)
- 22 加算器
- 23 減算器
- 24 マルチプレクサ
- 25 レジスタ
- 31 タイミング発生回路
- 41 判定結果入力回路 (MUX)
- 50 試験回路
- 51 ROM
- 52 試験制御回路
- 53 D A C
- 54 一致検出回路

【図1】

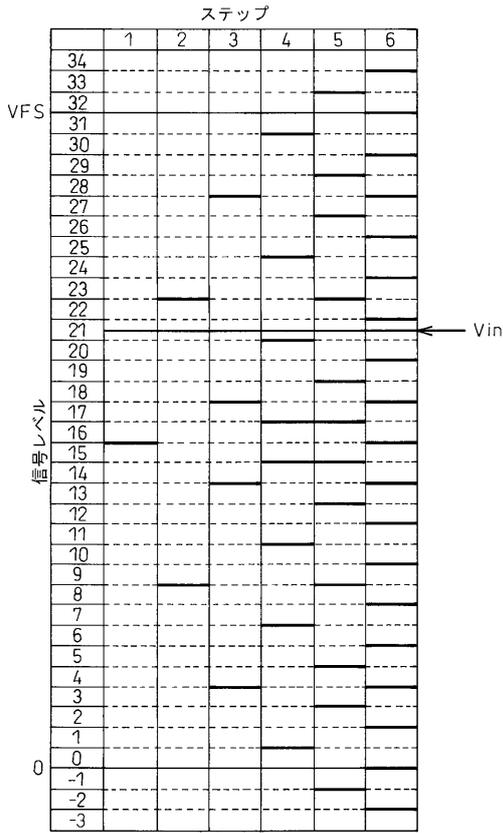


【図2】



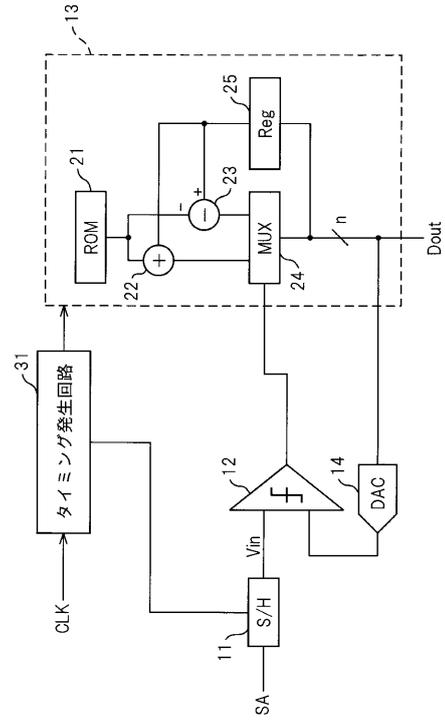
【 図 3 】

図 3



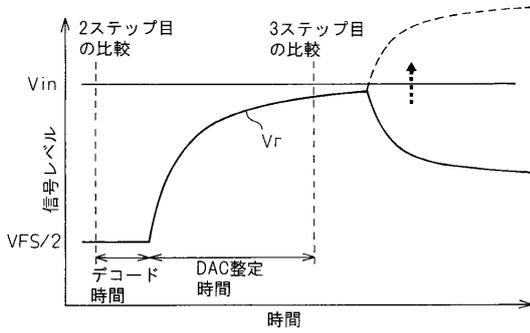
【 図 4 】

図 4



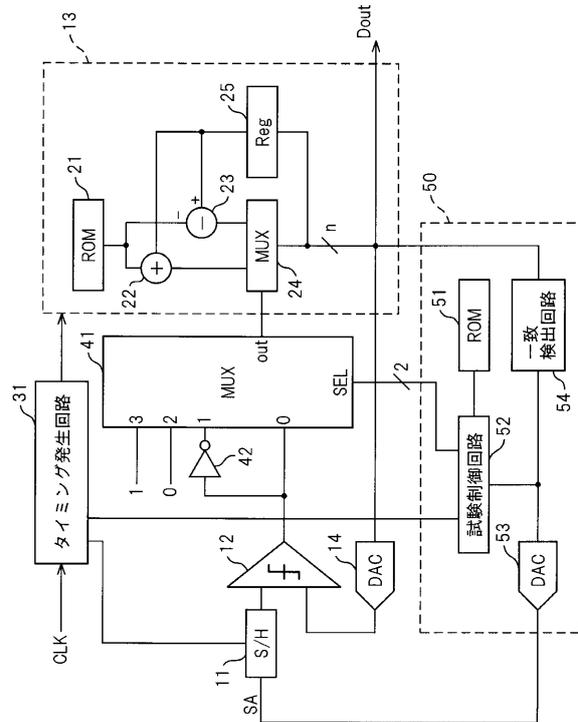
【 図 5 】

図 5

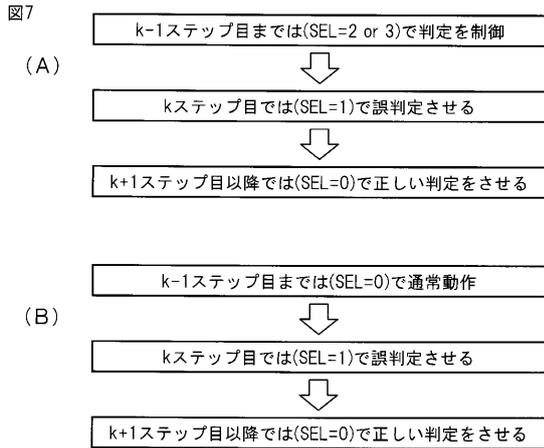


【 図 6 】

図 6



【 図 7 】



【 図 8 】

図8

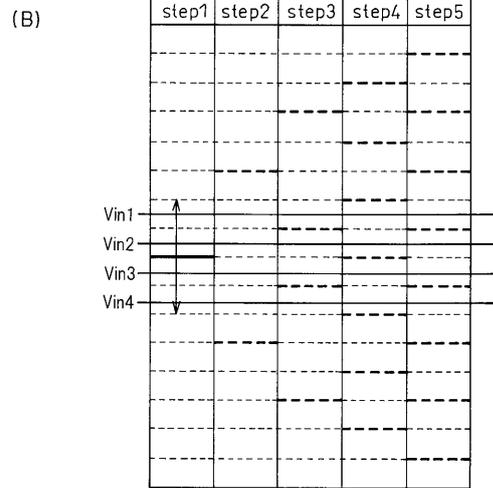
ステップ	DACの重み：p	誤差許容範囲：q
1	8(初期値)	2
2	3	1
3	2	1
4	1	0
5	1	0

【 図 9 】

図9

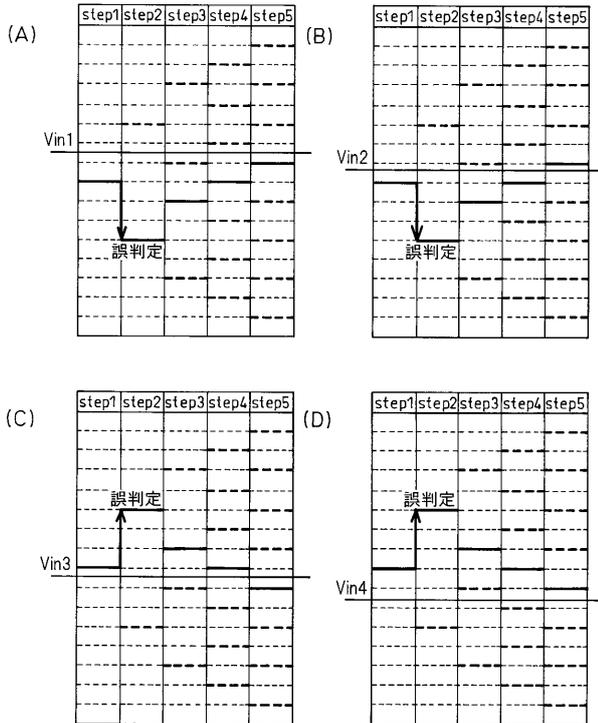
(A)

前の比較結果	比較値	試験入力範囲 比較値±q _k
x	8	6~10 (6.5,7.5,8.5,9.5)



【 図 1 0 】

図10

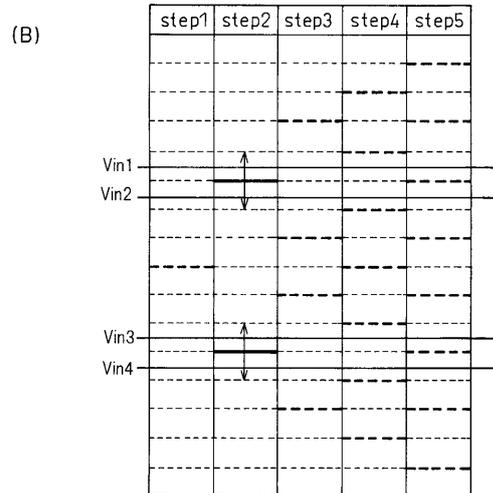


【 図 1 1 】

図11

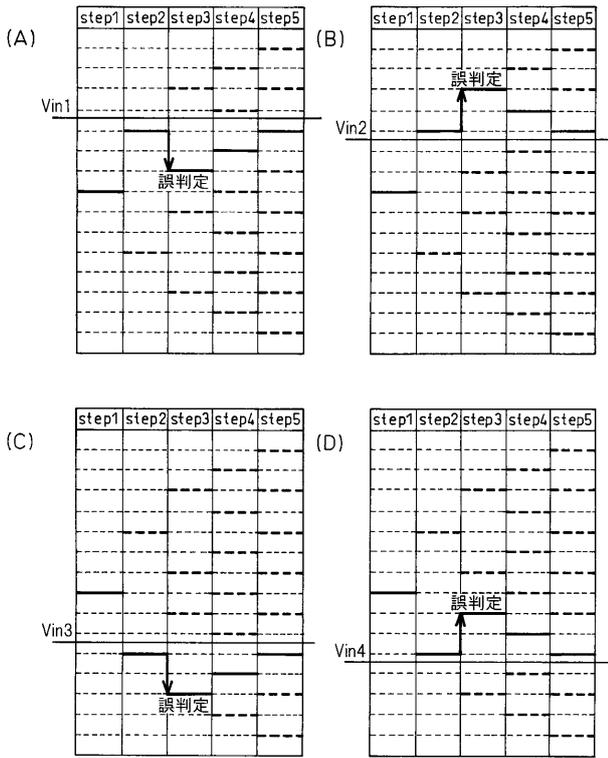
(A)

前の比較結果	比較値	試験入力範囲 比較値±q _k
1	8+3=11	10~12 (10.5,11.5)
0	8-3=5	4~6 (4.5,5.5)



【 図 1 2 】

図12



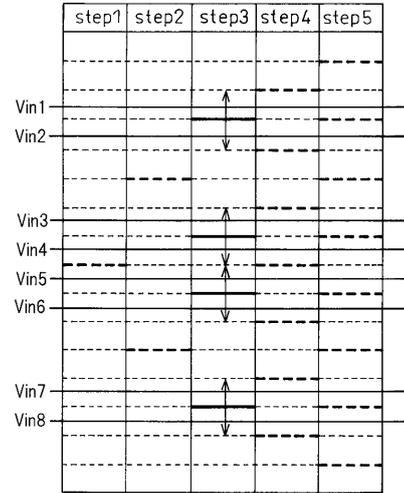
【 図 1 3 】

図13

(A)

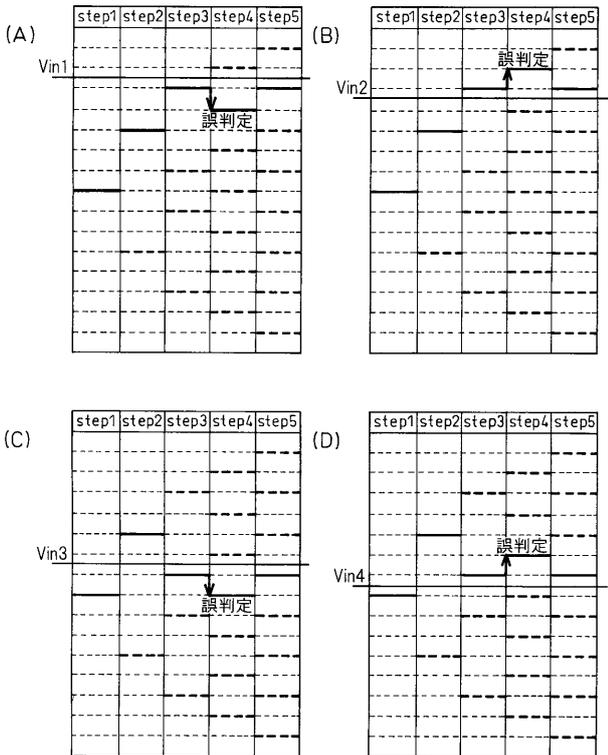
前の比較結果	比較値	試験入力範囲 比較値±q _k
11	8+3+2=13	12~14 (12.5,13.5)
10	8+3-2=9	8~10 (8.5,9.5)
01	8-3+2=7	6~8 (6.5,7.5)
00	8-3-2=3	2~4 (2.5,3.5)

(B)



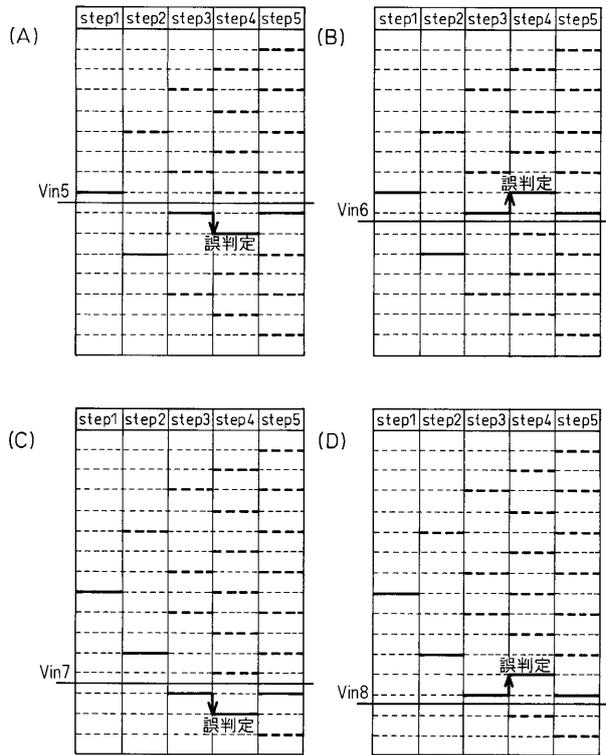
【 図 1 4 】

図14



【 図 1 5 】

図15



【 図 1 6 】

図16

4ビット6ステップ非2進アルゴリズム

ステップ	DACの重み: p	誤差許容範囲: q
1	8(初期値)	4
2	2	2
3	2	2
4	1	1
5	1	0
6	1	0

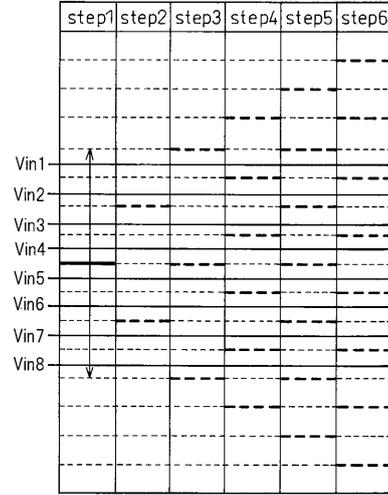
【 図 1 7 】

図17

(A)

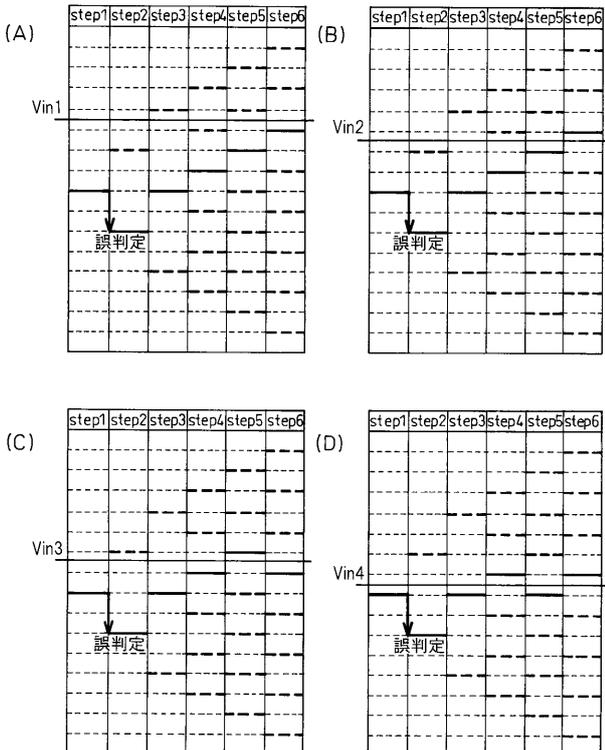
前の比較結果	比較値	試験入力範囲比較値 $\pm a_k$
x	8	$4 \sim 12$ (4.5,5.5,6.5,7.5,8.5,9.5,10.5,11.5)

(B)



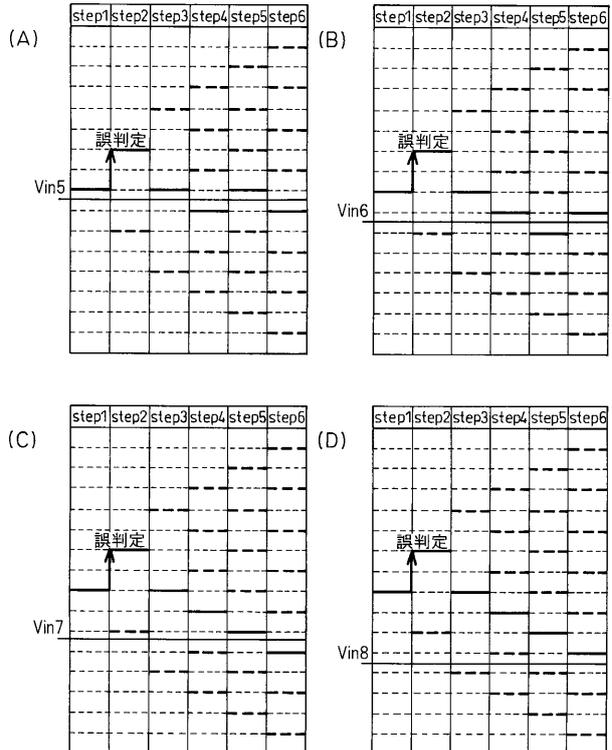
【 図 1 8 】

図18



【 図 1 9 】

図19

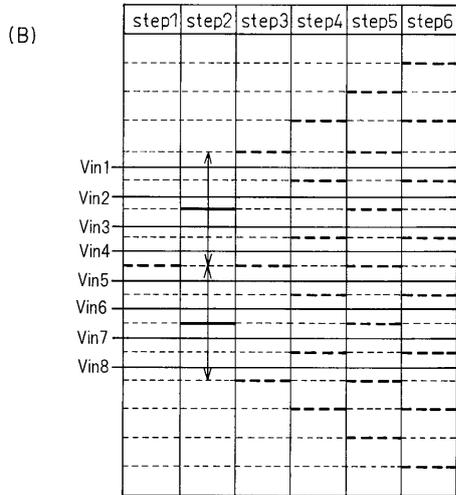


【 図 2 0 】

図20

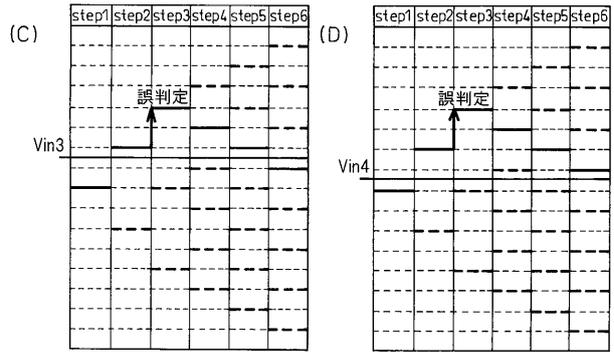
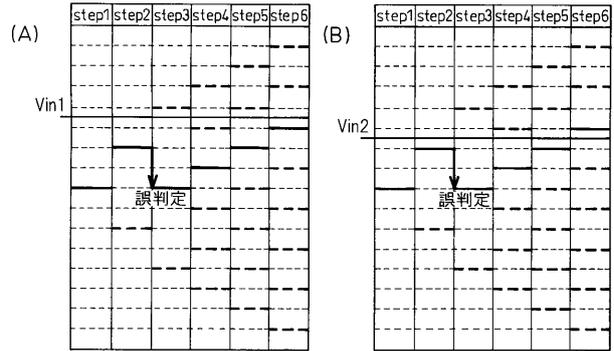
(A)

前の比較結果	比較値	試験入力範囲 比較値± q_k
1	$8+2=10$	8~12 (8.5,9.5,10.5,11.5)
0	$8-2=6$	4~8 (4.5,5.5,6.5,7.5)



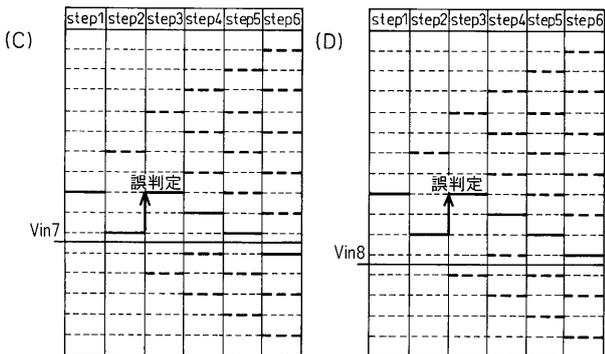
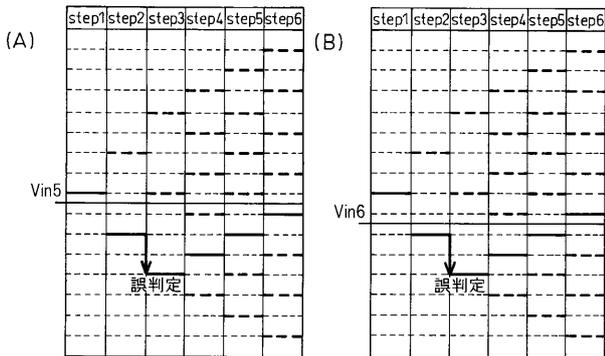
【 図 2 1 】

図21



【 図 2 2 】

図22

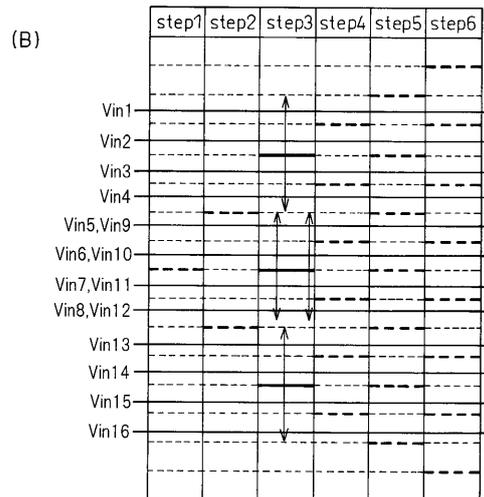


【 図 2 3 】

図23

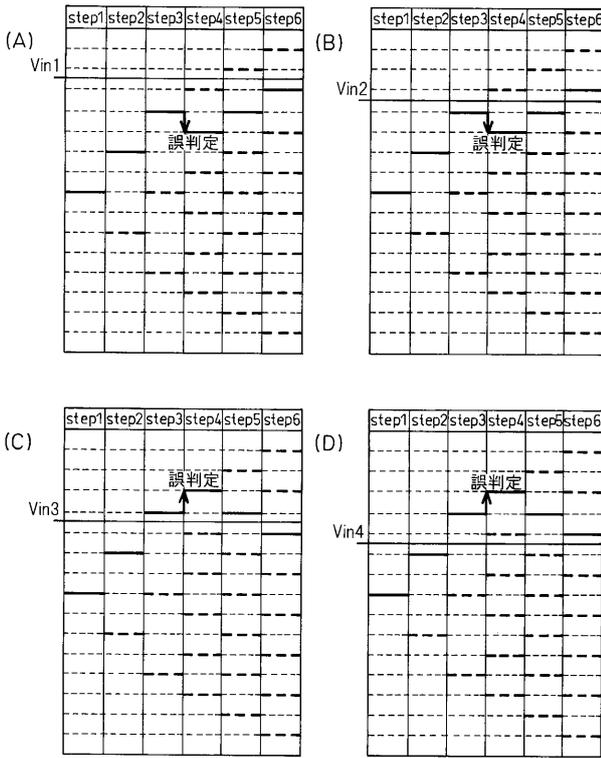
(A)

前の比較結果	比較値	試験入力範囲 比較値± q_k
11	$8+2+2=12$	10~14 (8.5,9.5,10.5,11.5)
10	$8+2-2=8$	6~10 (4.5,5.5,6.5,7.5)
01	$8-2+2=8$	6~10 (4.5,5.5,6.5,7.5)
00	$8-2-2=4$	2~6 (2.5,3.5,4.5,5.5)



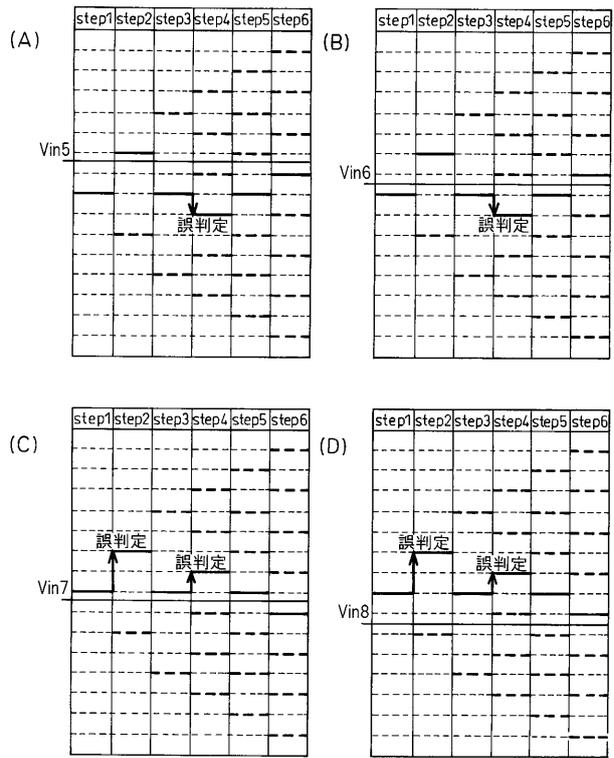
【 図 2 4 】

図24



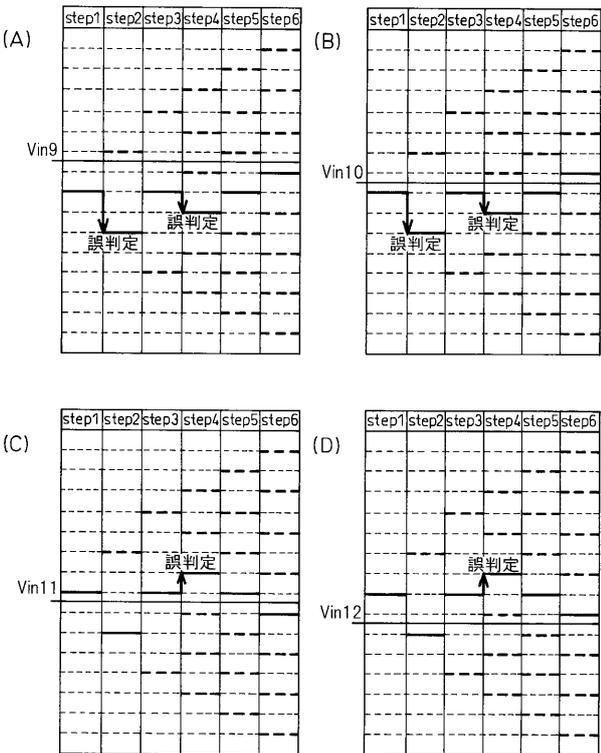
【 図 2 5 】

図25



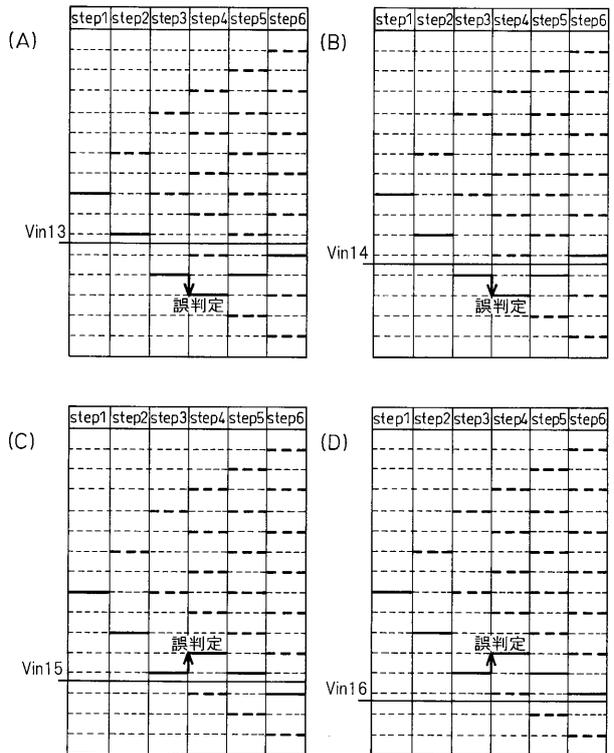
【 図 2 6 】

図26



【 図 2 7 】

図27



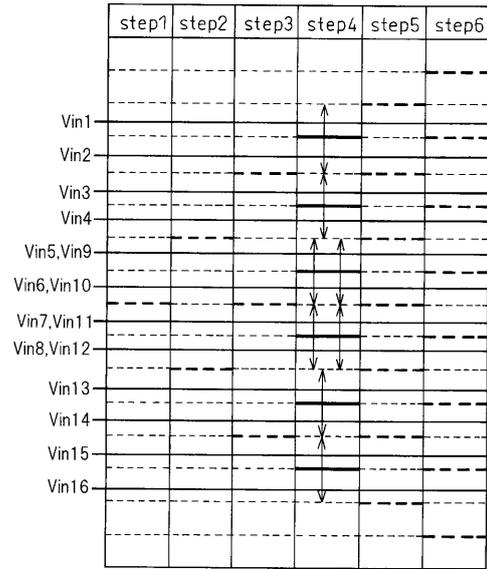
【 図 2 8 】

図28

前の比較結果	比較値	試験入力範囲 比較値± q_k
111	$8+2+2+1=13$	12~14 (12.5,13.5)
110	$8+2+2-1=11$	10~12 (10.5,11.5)
101	$8+2-2+1=9$	8~10 (8.5,9.5)
100	$8+2-2-1=7$	6~8 (6.5,7.5)
011	$8-2+2+1=9$	8~10 (8.5,9.5)
010	$8-2+2-1=7$	6~8 (6.5,7.5)
001	$8-2-2+1=5$	4~6 (4.5,5.5)
000	$8-2-2-1=3$	2~4 (2.5,3.5)

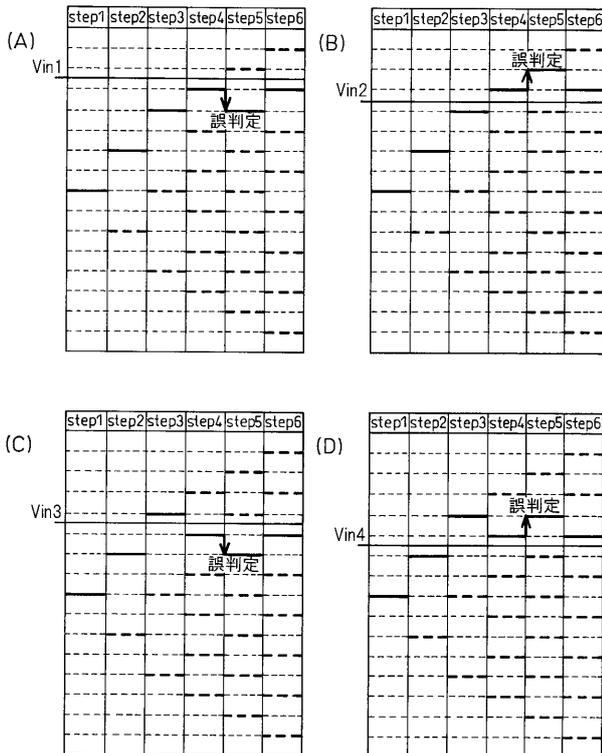
【 図 2 9 】

図29



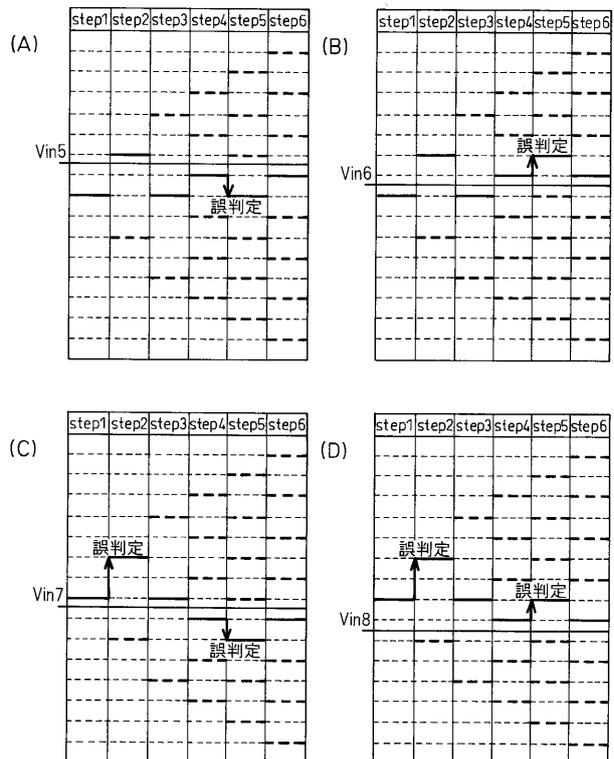
【 図 3 0 】

図30



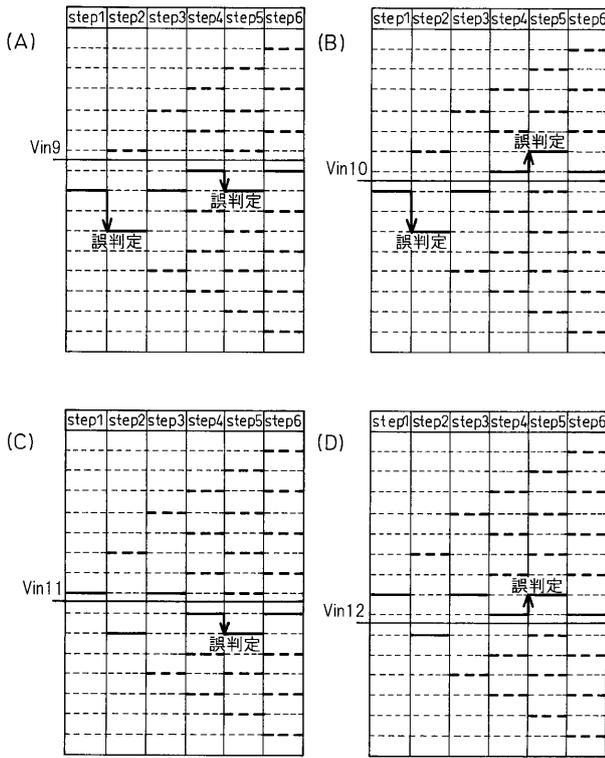
【 図 3 1 】

図31



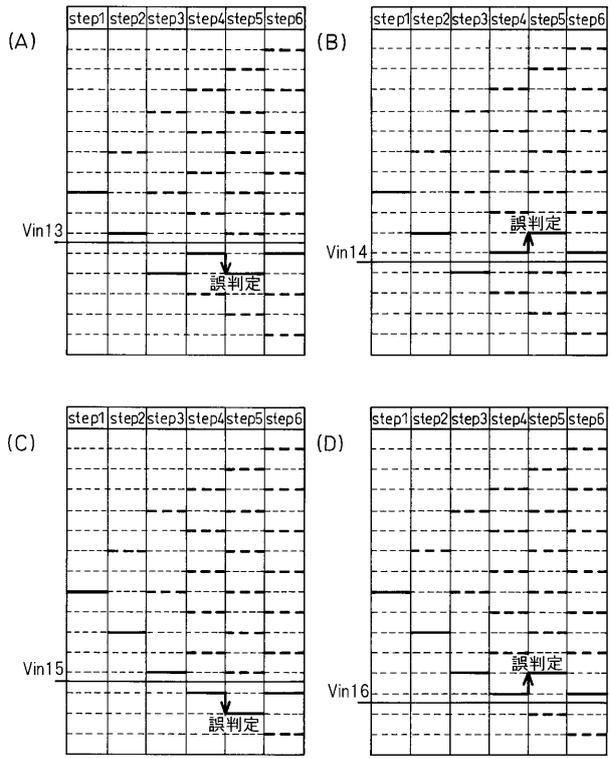
【 図 3 2 】

図 32



【 図 3 3 】

図 33



フロントページの続き

(72)発明者 小林 春夫

群馬県桐生市相生町 2 - 6 2 0 - 1 2 相生住宅 2 0 2

(72)発明者 小川 智彦

群馬県桐生市東 7 - 1 - 3 6 ヨシケンマンション C 棟 2 0 1

Fターム(参考) 2G132 AA11 AB01 AC03 AD05 AG01 AG08

5J022 AA02 AC04 CF01