

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-259219

(P2011-259219A)

(43) 公開日 平成23年12月22日(2011.12.22)

(51) Int.Cl.

H03M 1/14 (2006.01)

F I

H03M 1/14

A

テーマコード(参考)

5J022

審査請求 有 請求項の数 8 O L (全 22 頁)

(21) 出願番号

特願2010-132025 (P2010-132025)

(22) 出願日

平成22年6月9日(2010.6.9)

(71) 出願人 396023993

株式会社半導体理工学研究センター  
神奈川県横浜市港北区新横浜 3丁目17番  
地2 友泉新横浜ビル6階

(74) 代理人 100099759

弁理士 青木 篤

(74) 代理人 100092624

弁理士 鶴田 準一

(74) 代理人 100119987

弁理士 伊坪 公一

(74) 代理人 100141254

弁理士 榎原 正巳

(74) 代理人 100114177

弁理士 小林 龍

最終頁に続く

(54) 【発明の名称】 パイプライン・A/D変換回路

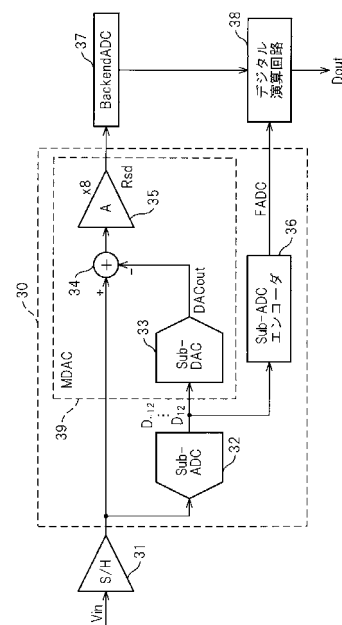
(57) 【要約】

【課題】入力範囲に応じて精度の異なるパイプライン・A/D変換回路の実現。

【解決手段】直列に接続された複数のアナログ/デジタル変換ユニット30,37と、複数のアナログ/デジタル変換ユニットのサブ変換結果から、入力アナログ信号Vinのデジタル変換値Doutを算出するデジタル演算回路38と、を備え、各アナログ/デジタル変換ユニット30は、サブA/D変換器32と、アナログ入力信号からサブA/D値に応じたアナログ減算信号を減算して残差信号を発生し、残差信号を増幅して出力する増幅DA変換器39と、を備えるパイプライン・A/D変換回路であって、初段のサブA/D変換器32は、入力範囲-Vref,Vrefを少なくとも4個以上のサブ範囲に分割して、入力アナログ信号がいずれのサブ範囲に入るかを判定し、4個以上のサブ範囲の大きさが異なる。

【選択図】 図5

図5



## 【特許請求の範囲】

## 【請求項 1】

直列に接続された複数のアナログ/デジタル変換ユニットと、  
前記複数のアナログ/デジタル変換ユニットのサブ変換結果から、入力アナログ信号のデジタル変換値を算出するデジタル演算回路と、を備え、

各アナログ/デジタル変換ユニットは、

アナログ入力信号をサブ A D 値に変換するサブ A D 変換器と、

前段から入力されるアナログ入力信号から、前記サブ A D 値に応じたアナログ減算信号を減算して残差信号を発生し、前記残差信号を増幅して出力する増幅 D A 変換器と、を備えるパイプライン・A D 変換回路であって、

初段の前記アナログ/デジタル変換ユニットの前記サブ A D 変換器は、前記入力アナログ信号の入力範囲を少なくとも 4 個以上のサブ範囲に分割して、前記入力アナログ信号がいずれの前記サブ範囲に入るかを判定し、

前記 4 個以上のサブ範囲の大きさが異なることを特徴とするパイプライン・A D 変換回路。

10

## 【請求項 2】

前記入力アナログ信号の入力範囲の中心付近の前記サブ範囲の大きさは、前記入力アナログ信号の入力範囲の周辺の前記サブ範囲の大きさより小さい請求項 1 に記載のパイプライン・A D 変換回路。

## 【請求項 3】

前記入力アナログ信号の入力範囲の中心付近の前記サブ範囲の大きさは、前記入力アナログ信号の入力範囲の周辺の前記サブ範囲の大きさより大きい請求項 1 に記載のパイプライン・A D 変換回路。

20

## 【請求項 4】

前記サブ範囲は、11 個であり、

前記サブ範囲の大きさは、前記入力アナログ信号の入力範囲の一方の端から他方の端の方向に対して、4 : 4 : 3 : 2 : 2 : 2 : 2 : 2 : 3 : 4 : 4 である請求項 2 に記載のパイプライン・A D 変換回路。

## 【請求項 5】

初段の前記アナログ/デジタル変換ユニットの前記サブ A D 変換器は、前記サブ範囲の境界に対応した閾値を有する 10 個の比較器を備える請求項 4 に記載のパイプライン・A D 変換回路。

30

## 【請求項 6】

初段の前記アナログ/デジタル変換ユニットの前記サブ A D 変換器は、21 個の比較器を備え、

前記 21 個の比較器の閾値は、前記入力アナログ信号の入力範囲の両端を、2 : 2 : 2 : 2 : 2 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 1 : 2 : 2 : 2 : 2 : 2 に分割した 21 レベルに対応する請求項 4 に記載のパイプライン・A D 変換回路。

## 【請求項 7】

初段の前記アナログ/デジタル変換ユニットの前記増幅 D A 変換器は、

前記 21 個の比較器のうち 6 個の比較器を含む第 1 グループの比較結果に基づいて制御信号を発生する制御信号発生器と、

前記 21 個の比較器のうち前記第 1 グループ以外の 8 個の比較器を含む第 2 グループの比較結果の組と、前記 21 個の比較器のうち前記第 1 および第 2 グループ以外の 7 個の比較器を含む第 3 グループの比較結果と論理値ゼロの組との一方を選択するマルチプレクサと、

40

前記マルチプレクサの出力に基づいて、アナログシフト信号を発生するサブ D A C と、

前記入力アナログ信号から前記アナログシフト信号を減算する減算器と、

前記減算器の出力を増幅する残差アンプと、を備える請求項 6 に記載のパイプライン・A D 変換回路。

50

## 【請求項 8】

前記サブDAC、前記減算器および前記残差アンプは、一体に形成される請求項7に記載のパイプライン・AD変換回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、パイプライン・AD変換回路に関する。

## 【背景技術】

## 【0002】

現状では、高速で高精度のアナログ-デジタル(AD)変換器の変換方式は、並列型(フラッシュ型)、パイプライン型、型に限定される。その中でも、パイプライン・AD変換回路は、小型化可能で低消費電力化が可能である。

10

## 【0003】

パイプライン・AD変換回路は、AD変換を、複数段のパイプライン・ステージに分けて行い、最上位ビット(MSB)から最下位ビット(LSB)まで、各段で1ビットずつ順番にAD変換する。各パイプライン・ステージを構成するアナログ/デジタル変換ユニットは、1ビットAD変換器、1ビット・デジタル-アナログ(DA)変換器と、残差アンプ、サンプルホールド回路と、を有する。アナログ入力信号は、初段のパイプライン・ステージで、1ビットAD変換されてMSBが決定され、その決定されたMSBを1ビットDA変換器で一旦アナログ信号に戻し、残差アンプでアナログ入力信号との差を演算する。ここで得られたアナログ信号はMSBのAD変換で生じた量子化誤差になる。この量子化誤差を次段のパイプライン・ステージで再び1ビットAD変換して2ビット目を決定する。以下、順番にパイプライン・ステージの最終段まで同様の動作を繰り返し、LSBまでの全ビットを決定する。特定のアナログ信号のサンプルに注目すると、LSBまでAD変換が完了し、データが決定するまでにパイプライン・ステージ数だけクロック数を必要とするので、最初にアナログ信号が入力されてからデータが確定するまでに時間を要する。言い換えればレイテンシが長い。しかし、一旦データが確定すれば、その後はクロックごとに新たなアナログ信号のサンプルに対応するデジタル変換値が出力されるので、スループットはフラッシュ型AD変換回路と同様に、1クロックである。

20

## 【0004】

さらに、1パイプライン・ステージのAD変換のビット数を複数ビット以上にして、上記のレイテンシが長いという問題を低減したパイプライン・AD変換回路も知られている。この場合、すべてのパイプライン・ステージのAD変換のビット数を複数ビットにするのではなく、初段と最終段のパイプライン・ステージのAD変換のみを複数ビットにするのが一般的である。

30

## 【0005】

図1は、初段で3ビットAD変換する12ビットのパイプライン・AD変換回路の構成を示す図である。図1に示すように、パイプライン・AD変換回路は、初段(Frontend)のパイプライン・ステージを構成するアナログ/デジタル変換ユニット10と、アナログ入力信号Vinのサンプルホールド回路11と、後段のADCパイプライン・ステージ(backend ADC)17と、デジタル演算回路18と、を有する。

40

## 【0006】

初段のアナログ/デジタル変換ユニット10は、3ビットサブADC(3bit sub-ADC)12と、3ビットDAC(3bit DAC)13と、減算器14と、増幅器(A)15と、サブADC(subADC)エンコーダ16と、を有する。サンプルホールド回路11でサンプル&ホールドされたアナログ入力信号Vinは、3ビットサブADC12および減算器14に入力される。増幅器15の出力は、後段のADCパイプライン・ステージ17に入力される。一般に、3ビットDAC13と、減算器14と、増幅器15は、増幅DAC(MDAC)19として一体に形成され、増幅した残差信号を保持するサンプルホールド機能を有し、これが次段のパイプライン・ステージのサンプルホールド回路として機能する。

50

## 【 0 0 0 7 】

後段の A D C パイプライン・ステージ 1 7 は、9 ビットの A D 変換を行い、例えば、1 ビット×9 段で構成される。後段の A D C パイプライン・ステージ 1 7 の各段を構成するアナログ/デジタル変換ユニットは、1 ビットであることを除けば、初段のものと同様の構成を有する。最終段のアナログ/デジタル変換ユニットは、サブ A D C のみを有すればよい。また、後段の A D C パイプライン・ステージ 1 7 を 1 ビット×6 段 + 3 ビット×1 段のパイプライン・ステージで構成する場合などもある。

## 【 0 0 0 8 】

デジタル演算回路 1 8 は、初段のパイプライン・ステージ ( S u b A D C エンコーダ 1 6 ) の出力する 3 ビットの A D 変換値 F A D C および後段の A D C パイプライン・ステージ 1 7 の出力する 9 ビットの A D 変換値 B A D C から、1 2 ビットの A D 変換出力 D o u t を生成する。

10

## 【 0 0 0 9 】

また、2 ~ 6 段目の 1 ビットパイプライン・ステージを、1 . 5 ビットと称するアナログ/デジタル変換ユニットで構成して、前段の A D 変換誤差を補正するように構成する場合もある。1 . 5 ビットアナログ/デジタル変換ユニットは、比較器 ( コンパレータ ) を 2 個有するサブ A D C で、アナログ入力信号が 3 つの範囲 ( “ 0 0 ” 、 “ 0 1 ” 、 “ 1 0 ” ) のいずれかに入るかを判定する。1 . 5 ビットアナログ/デジタル変換ユニットを使用することにより、前段の A D 変換誤差をある程度補正できる。

## 【 0 0 1 0 】

パイプライン・A D 変換回路においては、増幅器 1 5 の線形性が精度に大きく影響する。増幅器 1 5 の線形性は、出力電圧範囲の中心付近の方が両端部分に比べて良好である。出力電圧の全範囲について良好な成形性を有する増幅器は、高いスルーレートを有し、その分消費電力が大きくなる。現状のパイプライン・A D 変換回路では、増幅器の消費電力が大きな割合を占めており、低消費電力のパイプライン・A D 変換回路を実現する上では、線形性を損なうことなく増幅器の消費電力を低減することが求められている。

20

非特許文献 1 は、初段のパイプライン・ステージにおいて、増幅器の増幅率を、A D 変換のビット数に対応した増幅率より小さくして、2 段目に出力する残差信号の電圧範囲を制限して、低消費電力の増幅器を使用可能にすることを記載している。非特許文献 1 に記載された構成を図 1 のパイプライン・A D 変換回路に適用すると、図 2 に示すような構成が得られる。なお、図 2 では、S u b A D C エンコーダおよびデジタル演算回路の図示を省略している。

30

## 【 0 0 1 1 】

例えば、パイプライン・A D 変換回路においては、初段の A D 変換のビット数を 3 ビットとすると、アナログ入力信号の電圧範囲を 8 個のサブ範囲に分け、7 個の比較器を有する 3 ビットサブ A D C でアナログ入力信号がいずれのサブ範囲に入るかを判定し、3 ビット D A C で判定したサブ範囲の中心を示す電圧を発生し、減算器でその電圧をアナログ入力信号から減算した後、増幅器で 8 倍に増幅する。これにより、増幅器の出力電圧の範囲は、入力電圧範囲と同じ大きさになる。

## 【 0 0 1 2 】

図 2 に示すパイプライン・A D 変換回路では、初段のパイプライン・ステージのアナログ/デジタル変換ユニットは、4 ビットサブ A D C 2 2 と、4 ビット D A C 2 3 と、を有するが、増幅器 2 5 の増幅率は 8 倍である。このため、アナログ入力信号の電圧範囲を 1 6 個のサブ範囲に分けてアナログ入力信号がいずれのサブ範囲に入るかを判定されるが、増幅率は 8 倍であるために、増幅器 2 5 の出力電圧の範囲は、アナログ入力信号の電圧範囲の 1 / 2 になる。したがって、増幅器の非線形性誤差の大きな周辺部を使用しないため、精度が向上する。

40

## 【 0 0 1 3 】

図 1 および図 2 で説明したように、初段の A D 変換を 2 ビット以上で行うパイプライン・A D 変換回路が知られている。これらのパイプライン・A D 変換回路では、アナログ入

50

力信号の電圧範囲を複数のサブ範囲に分け、各サブ範囲の境界に対応する閾値レベルを有する複数の比較器を有するサブADCで、アナログ入力信号がいずれのサブ範囲に入るかを判定する。いずれの場合も、複数の比較器の閾値レベルは、等間隔である。もちろん、製造誤差により閾値レベルはばらつくが、少なくとも等間隔にすることを意図して作られている。

#### 【0014】

図3は、これまでのパイプライン・AD変換回路で、3ビットのAD変換を行う初段のパイプライン・ステージにおけるアナログ入力信号 $V_{in}$ と出力信号 $V_{out}$ 、およびサブADCを構成する複数の比較器の閾値レベルを示す図である。図示のように、入力信号範囲は $V_{ref}$ から $-V_{ref}$ であり、8個のサブ範囲に分けられる。各サブ範囲のアナログ入力信号 $V_{in}$ は、同じ出力範囲の出力信号 $V_{out}$ に変換されて出力される。サブADCの7個の比較器は、8個のサブ範囲の7個の境界に対応する閾値レベルを有する。8個のサブ範囲は同一の幅を有し、7個の閾値レベルは等間隔である。

10

#### 【先行技術文献】

#### 【非特許文献】

#### 【0015】

【非特許文献1】Kunihiko Gotoh, Hiroshi Ando, Atsushi Iwata "A 10-b 30-MS/s 3.4-mW Pipelined ADC with 2.0-Vpp Full-swing Input at a 1.0-V Supply" IEEE Asian Solid-State Circuits Conference November 3-5, 2008/Fukuoka, Japan

20

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0016】

AD変換回路を使用する応用では、入力信号範囲の全範囲で同じ精度であることが必ずしも必要でない場合がある。例えば、AD変換値に基づいてフィードバック制御が行われ、広い入力信号範囲の信号を受け付ける必要であるが、フィードバック制御は、AD変換値が入力信号範囲の中心付近で所定の値になるように精密に制御する場合がある。このような場合、入力信号範囲の周辺(両端付近)の信号に対しては、中心付近に向かうようにフィードバック制御するので高精度のAD変換値を必要としないが、入力信号範囲の中心付近の信号に対しては精密な制御を行うために高精度のAD変換値が必要である。このような場合、これまでは、大きな入力範囲を有する低精度のAD変換回路と、中心付近に相当する狭い入力範囲を有する低精度のAD変換回路と、を組み合わせ、制御を行っていた。

30

#### 【0017】

また、逆に入力信号範囲の周辺の信号に対して精密な制御を行うため高精度のAD変換値が必要であるが、中心付近の信号に対しては高精度のAD変換値を必要としない場合もある。このような場合、これまでは、大きな入力範囲を有する低精度のAD変換回路と、周辺に相当する狭い入力範囲を有する低精度のAD変換回路と、を組み合わせ、制御を行っていた。

#### 【0018】

しかし、複数個のAD変換回路を使用するのは、スペースやコストの点で好ましくなく、このような要求を満たすAD変換値が得られるパイプライン・AD変換回路が望まれていた。

40

#### 【課題を解決するための手段】

#### 【0019】

本発明のパイプライン・AD変換回路は、初段のアナログ/デジタル変換ユニットのAD変換において、入力アナログ信号の入力範囲を少なくとも4個以上のサブ範囲に分割して、入力アナログ信号がいずれのサブ範囲に入るかを判定し、この4個以上のサブ範囲の大きさが異なることを特徴とする。

#### 【0020】

すなわち、本発明のパイプライン・AD変換回路は、直列に接続された複数のアナログ

50

ノデジタル変換ユニットと、複数のアナログノデジタル変換ユニットのサブ変換結果から、入力アナログ信号のデジタル変換値を算出するデジタル演算回路と、を備え、各アナログノデジタル変換ユニットは、アナログ入力信号をサブAD値に変換するサブAD変換器と、前段から入力されるアナログ入力信号から、サブAD値に応じたアナログ減算信号を減算して残差信号を発生し、残差信号を増幅して出力する増幅DA変換器と、を備えるパイプライン・AD変換回路であって、初段のアナログノデジタル変換ユニットのサブAD変換器は、入力アナログ信号の入力範囲を少なくとも4個以上のサブ範囲に分割して、入力アナログ信号がいずれのサブ範囲に入るかを判定し、4個以上のサブ範囲の大きさが異なることを特徴とする。

【0021】

図4は、本発明のパイプライン・AD変換回路の初段のパイプライン・ステージ（アナログノデジタル変換ユニット）におけるアナログ入力信号 $V_{in}$ と出力信号 $V_{out}$ 、およびサブAD変換器を構成する複数の比較器の閾値レベルを示す図である。

【0022】

図4の(A)は、入力信号範囲 $V_{ref}$ から $-V_{ref}$ の範囲を、中心付近が密で、周辺（両端付近）が疎である11のサブ範囲に分け、入力アナログ信号がいずれのサブ範囲に入るかを判定してAD変換を行う。サブAD変換器を構成する10個の比較器（コンパレータ）は、サブ範囲の境界に対応する閾値をそれぞれ有する。

【0023】

初段のAD変換により判定されるサブ範囲が、図4の(A)に示すようなパイプライン・AD変換回路では、入力範囲の中心付近では出力 $V_{out}$ の範囲が小さく、増幅器の線形性が良好であるため、高精度のAD変換が可能である。これに対して、入力範囲の周辺では出力 $V_{out}$ の範囲が大きく、増幅器の線形性が劣化するため、AD変換の精度は中心付近に比べて劣化する。このように、初段のサブ範囲が図4の(A)であるようなパイプライン・AD変換回路は、大きな入力範囲を有し、入力範囲の中心付近では高精度のAD変換値が得られるので、上記のような入力信号範囲の周辺の信号に対しては高精度のAD変換値を必要としないが、入力信号範囲の中心付近の信号に対しては高精度のAD変換値が必要である応用に適している。

【0024】

初段のAD変換により判定されるサブ範囲は、図4の(A)に限らず各種の変形例が可能である。例えば、図4の(B)は、初段のAD変換により判定されるサブ範囲を、中心付近が疎で、周辺が密である11のサブ範囲に分けた例を示す。

【0025】

本発明を適用するには、初段のAD変換により判定されるサブ範囲を少なくとも4個以上にすることが必要である。図4の(C)は、4個のサブ範囲で、中心の2個のサブ範囲A2およびA3と、周辺の2個のサブ範囲A1とA4の幅が異なる例を示す。

【発明の効果】

【0026】

本発明によれば、大きな入力範囲を有し、入力範囲内の所望の部分で高精度のAD変換値が得られるパイプライン・AD変換回路が実現される。

【図面の簡単な説明】

【0027】

【図1】図1は、初段で3ビットAD変換する12ビットのパイプライン・AD変換回路の構成を示す図である。

【図2】図2は、初段のパイプライン・ステージにおいて、増幅器の増幅率を、AD変換のビット数に対応した増幅率より小さくした場合のパイプライン・AD変換回路の構成を示す図である。

【図3】図3は、これまでのパイプライン・AD変換回路で、3ビットのAD変換を行う初段のパイプライン・ステージにおけるアナログ入力信号 $V_{in}$ と出力信号 $V_{out}$ 、およびサブADCを構成する複数の比較器の閾値レベルを示す図である。

10

20

30

40

50

【図 4】図 4 は、本発明のパイプライン・A/D 変換回路の初段のパイプライン・ステージ（アナログ/デジタル変換ユニット）におけるアナログ入力信号  $V_{in}$  と出力信号  $V_{out}$ 、およびサブ A/D 変換器を構成する複数の比較器の閾値レベルを示す図である。

【図 5】図 5 は、本発明の第 1 実施形態のパイプライン・A/D 変換回路の構成を示す図である。

【図 6】図 6 は、第 1 実施形態のパイプライン・A/D 変換回路の初段のアナログ/デジタル変換ユニットにおけるアナログ入力信号  $V_{in}$  と出力信号  $V_{out}$ 、およびサブ A/D C を構成する複数の比較器の閾値レベルを示す図である。

【図 7】図 7 は、サブ A/D C の表記と、変換特性を示す図であり、(A) が表記を、(B) が変換特性を示す。

10

【図 8】図 8 は、サブ A/D C を構成する 10 個の比較器と、それに供給する 10 個の閾値レベルを発生する回路を示す図である。

【図 9】図 9 は、サブ A/D C エンコーダの表記と、エンコード特性を示す図であり、(A) が表記を、(B) がエンコード特性を示す。

【図 10】図 10 は、サブ D/A C (Sub-DAC) の表記と、変換特性を示す図であり、(A) が表記を、(B) が変換特性を示す。

【図 11】図 11 は、M/D/A C の構成を示す図である。

【図 12】図 12 は、M/D/A C のサンプルフェーズとホールドフェーズの状態を示す図である。

【図 13】図 13 は、第 1 実施形態のパイプライン・A/D 変換回路において、アナログ入力信号  $V_{in}$  に対する各部の値、および範囲を示す図である。

20

【図 14】図 14 は、第 2 実施形態のパイプライン・A/D 変換回路の構成を示す図である。

【図 15】図 15 は、第 2 実施形態におけるサブ A/D C の構成、およびサブ A/D C を構成する 21 個の比較器の閾値レベルを示す図である。

【図 16】図 16 は、制御信号発生器で、6 個のデジタル出力から制御信号を演算する演算式および制御信号の値を示す図である。

【図 17】図 17 は、マルチプレクサ (MUX) の構成および制御信号に応じて D/A C に供給されるデジタル出力の組を示す。

【図 18】図 18 は、M/D/A C の構成を示す図である。

30

【図 19】図 19 は、第 2 実施形態における、M/D/A C のサンプルフェーズとホールドフェーズの状態を示す図である。

【図 20】図 20 は、初段のアナログ/デジタル変換ユニットにおける動作を示すタイムチャートである。

【図 21】図 21 は、後段のパイプライン・ステージ 5/7 とデジタル演算回路の構成を示す図であり、(A) がパイプライン・ステージを、(B) がデジタル演算回路の構成を示す。

【図 22】図 22 は、ランブ波形のアナログ信号を入力した時の初段のパイプライン・ステージの出力  $V_{out}$  の変化を示す図である。

【図 23】図 23 は、アナログ入力信号  $V_{in}$  に対する A/D 変換出力  $D_{out}$  の変化を示す図である。

40

【図 24】図 24 は、初段のアナログ/デジタル変換ユニットの増幅器の入出力特性に非線形誤差がある場合の誤差特性を示す図であり、(A) が DNL (微分非直線性誤差) を、(B) が INL (積分非直線性誤差) を、示す。

【発明を実施するための形態】

【0028】

図 5 は、本発明の第 1 実施形態のパイプライン・A/D 変換回路の構成を示す図である。

図 5 に示すように、第 1 実施形態のパイプライン・A/D 変換回路は、初段のパイプライン・ステージを構成するアナログ/デジタル変換ユニット 30 と、アナログ入力信号  $V_{in}$  のサンプルホールド回路 31 と、後段の A/D C パイプライン・ステージ (backend ADC)

50

37と、デジタル演算回路38と、を有する。

【0029】

初段のアナログ/デジタル変換ユニット30は、サブADC(sub-ADC)32と、増幅DAC(MDAC)39と、サブADC(sub-ADC)エンコーダ36と、を有する。MDAC39は、一体に形成されたサブDAC33と、減算器34と、増幅器(A)35と、を有し、増幅した残差信号を保持するサンプルホールド機能を有する。

【0030】

サンプルホールド回路31でサンプル&ホールドされたアナログ入力信号 $V_{in}$ は、サブADC32および減算器34に入力される。増幅器35の出力は、後段のADCパイプライン・ステージ37に入力される。

10

デジタル演算回路38は、初段のアナログ/デジタル変換ユニット30のSubADCエンコーダ36の出力するAD変換値FADCおよび後段のADCパイプライン・ステージ37の出力する9ビットのAD変換値BADCから、12ビットのAD変換出力 $D_{out}$ を生成する。

【0031】

図6は、第1実施形態のパイプライン・AD変換回路の初段のアナログ/デジタル変換ユニット30におけるアナログ入力信号 $V_{in}$ と出力信号 $V_{out}$ 、およびサブADCを構成する複数の比較器の閾値レベルを示す図である。図示のように、入力信号範囲は $V_{ref}$ から $-V_{ref}$ であり、11個のサブ範囲に分けられる。11個のサブ範囲は、入力信号範囲 $V_{ref}$ から $-V_{ref}$ を、4:4:3:2:2:2:2:3:4:4の比率で分割した範囲である。入力信号範囲 $V_{ref}$ から $-V_{ref}$ を32等分し、 $V_{ref}$ を“1(=16/16)”に、 $-V_{ref}$ を“-1(=-16/16)”に対応させると、11個のサブ範囲の10個の境界は、12/16, 8/16, 5/16, 3/16, 1/16, -1/16, -3/16, -5/16, -8/16, -12/16にそれぞれ対応し、これらがサブADC32を構成する比較器の閾値レベルに対応する。ここでは、これら10個の閾値レベルによる比較器の判定結果をサブADC32のデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ とする。

20

【0032】

アナログ入力信号 $V_{in}$ は、サブ範囲ごとに図6に示すように変換されて $V_{out}$ として出力される。したがって、サブ範囲により、出力 $V_{out}$ の範囲が異なり、中心付近の5個のサブ範囲の出力範囲は $V_{ref}/2$ から $-V_{ref}/2$ であり、その右側と左側の2個のサブ範囲の出力範囲はそれぞれ $V_{ref}$ から $-V_{ref}/2$ と $V_{ref}/2$ から $-V_{ref}$ であり、周辺の4個のサブ範囲の出力範囲は $V_{ref}$ から $-V_{ref}$ である。

30

【0033】

図7は、サブADC32の表記と、変換特性を示す図であり、(A)が表記を、(B)が変換特性を示す。

図7の(A)に示すように、サブADC(Sub-ADC)32は、サンプルホールド回路31からのアナログ入力信号 $V_{in}$ を受けて、デジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ を出力する。

【0034】

入力信号範囲 $V_{ref}$ および $-V_{ref}$ をそれぞれ“1(=16/16)”および“-1(=-16/16)”に対応させると、アナログ入力信号 $V_{in}$ がサブ範囲のいずれかに入るかに応じて、図7の(B)に示すデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ が出力される。

40

【0035】

図8は、サブADC32を構成する10個の比較器42と、それに供給する10個の閾値レベルを発生する回路を示す図である。図8に示すように、アナログ入力信号の入力範囲に対応する参照電源 $V_{ref}$ と $-V_{ref}$ の間に32個の同一抵抗値の抵抗41を直列に接続し、図示の接続ノードから閾値レベルに対応する電圧信号を取り出し、比較器42の一方の入力に供給する。比較器42の他方の入力には、アナログ入力信号 $V_{in}$ が供給される。

50



## 【0036】

図9は、サブADCエンコーダ36の表記と、エンコード特性を示す図であり、(A)が表記を、(B)がエンコード特性を示す。

図9の(A)に示すように、サブADCエンコーダ36は、サブADC32からデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ を受けて、デジタル出力FADCを出力する。

サブADC32のデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ に対して、図9の(B)に示すデジタル出力FADCが生成される。

## 【0037】

図10は、サブDAC(Sub-DAC)33の表記と、変換特性を示す図であり、(A)が表記を、(B)が変換特性を示す。

図10の(A)に示すように、サブDAC33は、サブADC32からデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ を受けて、DACアナログ出力DACoutを出力する。

## 【0038】

サブADC32のデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ に対して、図9の(B)に示すDACアナログ出力DACoutが生成される。このDACアナログ出力DACoutは、アナログ入力信号が入ると判定されたサブ範囲の中心を、ゼロを中心するようにシフトする電圧に対応する。

## 【0039】

減算器34は、サンプルホールド回路31からのアナログ入力信号Vinから、DACアナログ出力DACoutを減算した信号を増幅器35に出力する。増幅器35は、入力信号を8倍( $\times 8$ )に増幅して出力信号Rsdを生成し、後段のパイプライン・ステージ37に出力する。

前述のように、第1実施形態では、サブDAC33と減算器34と増幅器35は、MDAC39として一体に形成される。

## 【0040】

図11は、MDAC39の構成を示す図である。

MDAC39は、非反転入力端子(+)がグランドに接続されたオペアンプ43を有する。オペアンプ43の反転入力端子(-)と非反転入力端子(+)は、スイッチ $SW_{34}$ で接続される。オペアンプ43の反転入力端子(-)と出力端子の間には、スイッチ $SW_{33}$ と演算容量 $C_{f1}$ が並列に接続される。さらに、オペアンプ43の反転入力端子(-)には、11個の容量 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ 、 $C_a$ が接続される。ここで、10個の容量はデジタル出力に対応するので、同じ符号を付して表す。容量 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ の他方の端子は、それぞれスイッチ $SW_{12}$ 、 $SW_8$ 、 $SW_5$ 、 $SW_3$ 、 $SW_1$ 、 $SW_{-1}$ 、 $SW_{-3}$ 、 $SW_{-5}$ 、 $SW_{-8}$ 、 $SW_{-12}$ に接続される。スイッチ $SW_{12}$ 、 $SW_8$ 、 $SW_5$ 、 $SW_3$ 、 $SW_1$ 、 $SW_{-1}$ 、 $SW_{-3}$ 、 $SW_{-5}$ 、 $SW_{-8}$ 、 $SW_{-12}$ は、スイッチ $SW_{31}$ を介してVrefまたはVinに接続される信号線と、-Vrefに接続される信号線の一方に接続するように切り換えられ、それぞれデータ $D_{12}$ 、 $D_8$ 、 $D_5$ 、 $D_3$ 、 $D_1$ 、 $D_{-1}$ 、 $D_{-3}$ 、 $D_{-5}$ 、 $D_{-8}$ 、 $D_{-12}$ により接続が制御される。容量 $C_a$ は、スイッチ $SW_{32}$ を介してVinまたはグランドに接続される。

## 【0041】

容量 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ 、 $C_{f1}$ 、 $C_a$ の容量値は、4:4:2:2:2:2:2:2:4:4:4:4である。

データ $D_{12}$ 、 $D_8$ 、 $D_5$ 、 $D_3$ 、 $D_1$ 、 $D_{-1}$ 、 $D_{-3}$ 、 $D_{-5}$ 、 $D_{-8}$ 、 $D_{-12}$ は、サブADC32のデジタル出力 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ に対応し、Cが“0”の時にDは“-1”で、Cが“1”の時にDは“1”である。

## 【0042】

MDAC39は、アナログ入力信号Vinを取り込むサンプルフェーズと、残差信号を演算して増幅して出力する状態を維持するホールドフェーズと、を有する。

図12の(A)は、サンプルフェーズのMDAC39の状態を示す。サンプルフェーズでは、スイッチ $SW_{31}$ はサンプルホールド回路31の $V_{in}$ の信号線に接続され、スイッチ $SW_{32}$ はサンプルホールド回路31の $V_{in}$ の反転出力 $-V_{in}$ の信号線に接続される。スイッチ $SW_{33}$ および $SW_{34}$ は、接続状態になる。スイッチ $SW_{12}$ 、 $SW_8$ 、 $SW_5$ 、 $SW_3$ 、 $SW_1$ 、 $SW_{-1}$ 、 $SW_{-3}$ 、 $SW_{-5}$ 、 $SW_{-8}$ 、 $SW_{-12}$ は、スイッチ $SW_{31}$ に接続される信号線側に接続された状態になる。

【0043】

図12の(A)の状態、オペアンプ43はリセットされた状態になり、容量 $C_{12}$ 、 $C_8$ 、 $C_5$ 、 $C_3$ 、 $C_1$ 、 $C_{-1}$ 、 $C_{-3}$ 、 $C_{-5}$ 、 $C_{-8}$ 、 $C_{-12}$ 、 $C_a$ に $V_{in}$ がサンプルされた状態になる。

10

図12の(B)は、ホールドフェーズのMDAC39の状態を示す。ホールドフェーズでは、スイッチ $SW_{31}$ は $V_{ref}$ に接続され、スイッチ $SW_{32}$ はグランドに接続される。スイッチ $SW_{33}$ および $SW_{34}$ は、開放(遮断)状態になる。スイッチ $SW_{12}$ 、 $SW_8$ 、 $SW_5$ 、 $SW_3$ 、 $SW_1$ 、 $SW_{-1}$ 、 $SW_{-3}$ 、 $SW_{-5}$ 、 $SW_{-8}$ 、 $SW_{-12}$ は、データ $D_{12}$ 、 $D_8$ 、 $D_5$ 、 $D_3$ 、 $D_1$ 、 $D_{-1}$ 、 $D_{-3}$ 、 $D_{-5}$ 、 $D_{-8}$ 、 $D_{-12}$ に応じて接続が制御され、“1”であれば $V_{ref}$ に、“-1”であれば $-V_{ref}$ に接続される。

【0044】

MDAC39は、オペアンプ43のゲインが無限大であると仮定すると、 $R_{sd} = 8(V_{in} - (4D_{12} + 4D_8 + 2D_5 + 2D_3 + 2D_1 + 2D_{-1} + 2D_{-3} + 2D_{-5} + 4D_{-8} + 4D_{-12}) \times V_{ref} / 32)$ の式にしたがって出力 $R_{sd}$ を生成する。

20

実際には、オペアンプ43のゲインは無限大ではなく、オペアンプ43の入力依存であるから、 $R_{sd}$ は非線形性を有し、中心(ゼロ)から離れるにしたがって非線形性の誤差が大きくなる。第1実施形態では、高精度が要求されるアナログ入力信号の範囲については、非線形性の誤差が大きくなる周辺部は使用しないので、高精度を実現できる。

【0045】

図13は、第1実施形態のパイプライン・AD変換回路において、アナログ入力信号 $V_{in}$ に対する各部の値、および範囲を示す図である。アナログ入力信号 $V_{in}$ が、11個のサブ範囲のいずれかに入るかに応じて、サブADC(subADC)32の出力、サブDAC(subDAC)33の出力、増幅器の出力する残差信号 $R_{sd}$ 、残差信号の出力範囲、および最終的なADC出力(AD変換値)が示されている。BADCは、後段のパイプライン・ステージ57の出力するAD変換値である。残差信号 $R_{sd}$ の出力範囲は、図6に示される値に対応する。

30

【0046】

例えば、 $V_{in}$ が $10/16 \times V_{ref}$ の場合、AD変換値は $2048 \times 10/16 = 1280$ である。第1実施形態では、 $V_{in}$ がこのレベルである場合、 $FADC = 10$ で、 $BADC = 0$ であるから、 $D_{out} = 10 \times 128 = 1280$ となり、正しい変換が行える。

【0047】

同様に、 $V_{in}$ が $2.5/16 \times V_{ref}$ の場合、AD変換値は $2048 \times 2.5/16 = 320$ である。第1実施形態では、 $V_{in}$ がこのレベルである場合、 $FADC = 2$ で、 $BADC = 64$ であるから、 $D_{out} = 2 \times 128 + 64 = 320$ となり、正しい変換が行える。

40

【0048】

さらに、 $V_{in}$ が $15/16 \times V_{ref}$ の場合、AD変換値は $2048 \times 15/16 = 1920$ である。第1実施形態では、 $V_{in}$ がこのレベルである場合、 $FADC = 14$ で、 $BADC = 128$ であるから、 $D_{out} = 14 \times 128 + 128 = 1920$ となり、正しい変換が行える。

【0049】

図14は、第2実施形態のパイプライン・AD変換回路の構成を示す図である。

図14に示すように、第2実施形態のパイプライン・AD変換回路は、初段のパイプラ

50

イン・ステージを構成するアナログ/デジタル変換ユニット50と、アナログ入力信号  $V_{in}$  のサンプルホールド回路51と、後段のADCパイプライン・ステージ(backend ADC)57と、デジタル演算回路58と、を有する。

【0050】

初段のアナログ/デジタル変換ユニット50は、サブADC(sub-ADC)52と、増幅DAC(MDAC)59と、を有する。初段のAD変換値FADCは、サブADC52の発生するデジタル出力をしようするので、サブADCエンコーダは設けない。MDAC59は、制御信号発生器60と、マルチプレクサ(MUX)61と、DAC53と、減算器54と、増幅器(A)55と、を有する。DAC53、減算器54および増幅器55は、一体に形成され、増幅した残差信号を保持するサンプルホールド機能を有する。

10

【0051】

サンプルホールド回路51でサンプル&ホールドされたアナログ入力信号  $V_{in}$  は、サブADC52および減算器54に入力される。増幅器55の出力は、後段のADCパイプライン・ステージ57に入力される。

【0052】

デジタル演算回路58は、初段のアナログ/デジタル変換ユニット50の出力するAD変換値FADCおよび後段のADCパイプライン・ステージ57の出力するAD変換値BADCから、12ビットのAD変換出力Doutを生成する。

【0053】

第2実施形態のパイプライン・AD変換回路の初段のアナログ/デジタル変換ユニット50は、図6に示した第1実施形態と同様に、11個のサブ範囲を有し、入力信号範囲  $V_{ref}$  から  $-V_{ref}$  を、4:4:3:2:2:2:2:2:3:4:4の比率で分割する。

20

【0054】

図15の(A)は、第2実施形態におけるサブADC52の構成を示す図であり、図15の(B)は、サブADC52を構成する21個の比較器71の閾値レベルを示す図である。

【0055】

図15の(A)に示すように、サブADC52は、21個の比較器71と、参照電源  $V_{ref}$  と  $-V_{ref}$  の間に直列に接続した同一抵抗値の32個の抵抗72と、を有する。そして、抵抗72同士の31個の接続ノードに、 $-V_{ref}$  側から順に、0から30の番号をつけ、0、2、4、6、8、22、24、26、28、30以外の接続ノードから閾値レベルに対応する21個の電圧信号を取り出し、比較器71の一方の入力に供給する。比較器71の他方の入力には、アナログ入力信号  $V_{in}$  が供給される。21個の比較器71の比較結果が、デジタル出力  $C_1$ 、 $C_3$ 、 $C_5$ 、...、 $C_{27}$ 、 $C_{29}$  である。また、デジタル出力  $C_1$ 、 $C_3$ 、 $C_5$ 、...、 $C_{27}$ 、 $C_{29}$  は、図15の(B)に示すように、比較の閾値レベルも表すものとする。入力信号範囲  $V_{ref}$  から  $-V_{ref}$  を32等分し、 $V_{ref}$  を“1(=16/16)”に、 $-V_{ref}$  を“ $-1(=-16/16)$ ”に対応させると、21個の比較器71の閾値レベル  $C_1$ 、 $C_3$ 、 $C_5$ 、...、 $C_{27}$ 、 $C_{29}$  は、 $-14/16$ 、 $-12/16$ 、 $-10/16$ 、 $-8/16$ 、 $-6/16$ 、 $-5/16$ 、 $-4/16$ 、 $-3/16$ 、 $-2/16$ 、 $-1/16$ 、 $0$ 、 $1/16$ 、 $2/16$ 、 $3/16$ 、 $4/16$ 、 $5/16$ 、 $6/16$ 、 $8/16$ 、 $10/16$ 、 $12/16$ 、 $14/16$  である。

30

40

【0056】

言い換えると、サブADC52は、0番目から30番目の31個の比較器を有する5ビットのサブADCにおいて、0、2、4、6、8、22、24、26、28、30番目の比較器を除いた構成を有するものである。

【0057】

アナログ/デジタル変換ユニット50のAD変換値FADCは、 $D_{1out} \sim D_{10out}$  で構成され、 $D_{1out}$  は  $C_{27}$  を、 $D_{2out}$  は  $C_{23}$  を、 $D_{3out}$  は  $C_{20}$  を、 $D_{4out}$  は  $C_{18}$  を、 $D_{5out}$  は  $C_{16}$  を、 $D_{6out}$  は  $C_{14}$  を、 $D_{7out}$  は  $C_{12}$  を、 $D_{8out}$  は  $C_{10}$  を、 $D_{9out}$  は  $C_7$  を、 $D_{10out}$  は  $C_3$  を、それぞれ使用する。

50

## 【 0 0 5 8 】

制御信号発生器 6 0 は、デジタル出力のうち 6 個の出力  $C_{20}$ 、 $C_{18}$ 、 $C_{16}$ 、 $C_{14}$ 、 $C_{12}$ 、 $C_{10}$  を受けて、図 1 6 の ( A ) の演算式にしたがって、制御信号  $C_{nt}$  を演算する。したがって、制御信号発生器 6 0 は、AND、NOT および OR を含む論理回路で実現できる。デジタル出力  $C_{20}$ 、 $C_{18}$ 、 $C_{16}$ 、 $C_{14}$ 、 $C_{12}$ 、 $C_{10}$  に対する制御信号  $C_{nt}$  の値を、図 1 6 の ( B ) に示す。

## 【 0 0 5 9 】

図 1 7 の ( A ) は、マルチプレクサ ( MUX ) 6 1 の構成を示す図である。図 1 7 の ( A ) に示すように、MUX 6 1 は、デジタル出力  $C_1$ 、 $C_5$ 、 $C_9$ 、 $C_{13}$ 、 $C_{17}$ 、 $C_{21}$ 、 $C_{25}$  および  $C_{29}$  の第 1 組と、 $C_3$ 、 $C_7$ 、 $C_{11}$ 、 $C_{15}$ 、 $C_{19}$ 、 $C_{23}$ 、 $C_{27}$  および “ 0 ” の第 2 組を受け、制御信号  $C_{nt}$  が “ 1 ” の時には第 1 の組を、“ 0 ” の時には第 2 の組を選択してデータ  $D_1 \sim D_8$  として出力する。

10

## 【 0 0 6 0 】

したがって、制御信号  $C_{nt}$  が “ 1 ” の時には、図 1 7 の ( B ) に示すように、DAC 5 3 には第 1 の組のデジタル出力  $C_1$ 、 $C_5$ 、 $C_9$ 、 $C_{13}$ 、 $C_{17}$ 、 $C_{21}$ 、 $C_{25}$  および  $C_{29}$  が入力される。制御信号  $C_{nt}$  が “ 0 ” の時には、図 1 7 の ( C ) に示すように、DAC 5 3 には第 2 の組のデジタル出力  $C_3$ 、 $C_7$ 、 $C_{11}$ 、 $C_{15}$ 、 $C_{19}$ 、 $C_{23}$ 、 $C_{27}$  および “ 0 ” が入力される。

## 【 0 0 6 1 】

前述のように、第 2 実施形態では、DAC 5 3 と減算器 5 4 と増幅器 5 5 は、MDAC 5 9 として一体に形成される。

20

図 1 8 は、MDAC 5 9 の構成を示す図である。

MDAC 5 9 は、非反転入力端子 ( + ) がグランドに接続されたオペアンプ 7 3 を有する。オペアンプ 7 3 の反転入力端子 ( - ) と非反転入力端子 ( + ) は、スイッチ  $SW_{43}$  で接続される。オペアンプ 4 3 の反転入力端子 ( - ) と出力端子の間には、スイッチ  $SW_{42}$  と演算容量  $C_{f1}$  が並列に接続される。さらに、オペアンプ 4 3 の反転入力端子 ( - ) には、8 個の容量  $C_1 \sim C_8$  が接続される。容量  $C_1 \sim C_8$  の他方の端子は、それぞれスイッチ  $SW_1 \sim SW_8$  に接続される。スイッチ  $SW_1 \sim SW_7$  は、スイッチ  $SW_{41}$  を介して  $V_{ref}$  または  $V_{in}$  に接続される信号線と、 $-V_{ref}$  に接続される信号線の一方に接続するように切り換えられる。また、スイッチ  $SW_8$  は、スイッチ  $SW_{41}$  を介して  $V_{ref}$  または  $V_{in}$  に接続される信号線と、スイッチ  $SW_{44}$  の一方に接続するように切り換えられる。さらに、スイッチ  $SW_{44}$  は、 $-V_{ref}$  に接続される信号線に接続する場合と開放 ( 遮断 ) になる場合に切り換えられる。スイッチ  $SW_1 \sim SW_8$  は、それぞれデータ  $D_1 \sim D_8$  により接続が制御される。スイッチ  $SW_{44}$  は、制御信号  $C_{nt}$  により制御される。

30

## 【 0 0 6 2 】

容量  $C_1 \sim C_8$  および  $C_{f1}$  の容量値は、同一である。

MDAC 5 9 は、アナログ入力信号  $V_{in}$  を取り込むサンプルフェーズと、残差信号を演算して増幅して出力する状態を維持するホールドフェーズと、を有する。

## 【 0 0 6 3 】

図 1 9 の ( A ) は、サンプルフェーズの MDAC 5 9 の状態を示す。サンプルフェーズでは、スイッチ  $SW_{41}$  はサンプルホールド回路 3 1 の  $V_{in}$  の信号線に接続され、スイッチ  $SW_{42}$  および  $SW_{43}$  は、接続状態になる。スイッチ  $SW_1 \sim SW_8$  は、スイッチ  $SW_{41}$  に接続される信号線側に接続された状態になる。

40

図 1 9 の ( A ) の状態で、オペアンプ 7 3 はリセットされた状態になり、容量  $C_1 \sim C_8$  に  $V_{in}$  がサンプルされた状態になる。

## 【 0 0 6 4 】

図 1 9 の ( B ) は、ホールドフェーズの MDAC 5 9 の状態を示す。ホールドフェーズでは、スイッチ  $SW_{41}$  は  $V_{ref}$  に接続され、スイッチ  $SW_{42}$  および  $SW_{43}$  は、開放 ( 遮断 ) 状態になる。スイッチ  $SW_1 \sim SW_8$  および  $SW_{44}$  は、データ  $D_1 \sim D_8$  および制御信号  $C_{nt}$  に応じて接続が制御される。具体的には、スイッチ  $SW_1 \sim SW_7$  は、データ  $D_1 \sim D_7$

50

が“1”であればVrefに、“0”であれば-Vrefに接続される。スイッチSW<sub>8</sub>は、データD<sub>8</sub>が“1”であればVrefに、“0”であればスイッチSW<sub>44</sub>に接続される。スイッチSW<sub>44</sub>は、制御信号C<sub>nt</sub>が“1”であれば-Vrefに、“0”であれば開放状態になる。

【0065】

MDAC59の出力Voutは、オペアンプ43のゲインが無限大であると仮定すると、次の式で表される。

【0066】

【数1】

$$V_{out} = \frac{\sum_{i=1}^8 C_i}{C_{f1}} \left( V_{in} - \frac{D'_1 C_1 + \dots + D'_7 C_7 + D'_8 C_8}{\sum_{i=1}^8 C_i} V_{ref} \right) \frac{1}{1 + \frac{1}{A} \left( 1 + \frac{\sum_{i=1}^8 C_i}{C_{f1}} \right)}$$

$$= 8 \left( V_{in} - \frac{D'_1 + \dots + D'_7 + D'_8}{8} V_{ref} \right)$$

A=∞、C<sub>1</sub>=C<sub>2</sub>=⋯=C<sub>8</sub>=C<sub>f1</sub>のとき

$$\begin{array}{ll} D_1 \sim D_7 = 1 \text{ のとき} & D'_1 \sim D'_7 = 1 \\ D_1 \sim D_7 = 0 \text{ のとき} & D'_1 \sim D'_7 = -1 \end{array}$$

$$\begin{array}{ll} D_8 = 1 \text{ のとき} & D'_8 = 1 \\ D_8 = 0 \ \& \ C_{nt} = 1 \text{ のとき} & D'_8 = -1 \\ D_8 = 0 \ \& \ C_{nt} = 0 \text{ のとき} & D'_8 = 0 \end{array}$$

【0067】

ここで、D<sub>1</sub>~D<sub>7</sub>が“1”の時に、D'<sub>1</sub>~D'<sub>7</sub>は“1”であり、D<sub>1</sub>~D<sub>7</sub>が“0”の時に、D'<sub>1</sub>~D'<sub>7</sub>は“-1”である。また、D<sub>8</sub>が“1”の時に、D'<sub>8</sub>は“1”であり、D<sub>8</sub>が“0”で且つC<sub>nt</sub>が“1”の時に、D'<sub>8</sub>は“-1”であり、D<sub>8</sub>が“0”で且つC<sub>nt</sub>が“0”の時に、D'<sub>8</sub>は“0”である。

【0068】

図20は、初段のアナログ/デジタル変換ユニット50における動作を示すタイムチャートである。

MUX61は、制御信号C<sub>nt</sub>に応じて、第1組のデジタル出力C<sub>1</sub>、C<sub>5</sub>、C<sub>9</sub>、C<sub>13</sub>、C<sub>17</sub>、C<sub>21</sub>、C<sub>25</sub>およびC<sub>29</sub>と、第2組のデジタル出力C<sub>3</sub>、C<sub>7</sub>、C<sub>11</sub>、C<sub>15</sub>、C<sub>19</sub>、C<sub>23</sub>、C<sub>27</sub>および“0”を選択して、DAC53に供給する。上段に示すように、アナログ入力信号Vinに対して、第1組のデジタル出力は破線で示すような出力信号Voutを生成し、第2組のデジタル出力は実線で示すような出力信号Voutを生成する。

【0069】

中段に示すように、制御信号C<sub>nt</sub>は、中心付近の3つの期間“1”になり、それ以外の期間は“0”である。制御信号C<sub>nt</sub>が“1”である期間においては第2組のデジタル出力が選択され、制御信号C<sub>nt</sub>が“0”である期間においては第1組のデジタル出力が選択される。

そのため、出力信号Voutは、下段に示すような信号となる。これは、図6に示した

10

20

30

40

50

題 1 実施形態の出力信号  $Rsd$  と同じである。

【 0 0 7 0 】

図 2 1 は、後段のパイプライン・ステージ 5 7 とデジタル演算回路 5 8 の構成を示す図であり、(A) がパイプライン・ステージ 5 7 を、(B) がデジタル演算回路 5 8 の構成を示す。

図 2 1 の (A) に示すように、後段のパイプライン・ステージ 5 7 は、直列に接続された 6 個の 1.5 ビットのパイプライン・ステージ (1.5bit Stage) 8 1 と 1 個の 3 ビットパイプライン・ステージ (3bit Stage) 8 2 を有する。1.5 ビットのパイプライン・ステージ 8 1 および 3 ビットパイプライン・ステージ 8 2 は、通常使用されるものを使用でき、その構成は広く知られているので、説明は省略する。

【 0 0 7 1 】

図 2 1 の (A) に示すように、1.5 ビットのパイプライン・ステージ 8 1 は、それぞれ 2 本のデータ線で、変換結果  $D_{11out}$ 、 $D_{12out}$ 、 $D_{13out}$ 、 $D_{14out}$ 、 $D_{15out}$ 、 $D_{16out}$  を出力する。3 ビットパイプライン・ステージ 8 2 は、3 本のデータ線で、変換結果  $D_{17out}$  を出力する。また、前述のように、初段のアナログ/デジタル変換ユニット 5 0 は、10 本のデータ線で、変換結果  $D_{1out} \sim D_{10out}$  を出力する。デジタル演算回路 5 8 は、これらの出力を受けて、デジタル出力  $D_{19} \sim D_1$  を含む出力  $Dout$  を生成する。

【 0 0 7 2 】

図 2 1 の (B) に示すように、デジタル演算回路 5 8 は、遅延回路 8 5 と、半加算器 (Half Adder) 8 6 と、5 個の全加算器 (Full Adder) 8 7 と、半加算器 (Half Adder) 8 8 と、

を有する。遅延回路 8 5 は、 $D_{1out} \sim D_{10out}$  を 8 クロック分遅延させ、 $D_{11out} \sim D_{16out}$  を、それぞれ 7 ~ 2 クロック分遅延させ、 $D_{17out}$  を 1 クロック分遅延させる。

【 0 0 7 3 】

変換結果  $D_{17out}$  の最上位ビットと  $D_{16out}$  は、半加算器 8 8 で加算され、その結果がデジタル出力  $D_3$  になる。5 個の全加算器 8 7 は、対応する変換結果  $D_{12out}$ 、 $D_{13out}$ 、 $D_{14out}$ 、 $D_{15out}$ 、 $D_{16out}$  のうちの 2 つと、下位の全加算器 8 7 または半加算器 8 8 のキャリイと、を加算する。5 個の全加算器 8 7 の演算結果が、 $D_8 \sim D_4$  になる。さらに、半加算器 8 6 は、 $D_{11out}$  に下位の全加算器 8 7 のキャリイを加算する。半加算器 8 6 の演算結果が、 $D_9$  になる。以上のようにして、デジタル出力  $D_{19} \sim D_1$  がえられる。

【 0 0 7 4 】

デジタル演算回路 5 8 は、上記のデジタル出力  $D_{19} \sim D_1$  から 10 進数の AD 変換結果である  $Dout$  を次の式にしたがって演算する。

$$Dout = D_{19} \times 512 + D_{18} \times 256 + D_{17} \times 128 + \dots + D_{12} \times 256 + D_{11} \times 128 + D_{10} \times 64 + D_9 \times 32 + D_8 \times 16 + D_7 \times 8 + D_6 \times 4 + D_5 \times 2 + D_4 \times 1 + D_3 \times 0.5 + D_2 \times 0.25 + D_1 \times 0.125$$

【 0 0 7 5 】

第 2 実施形態のパイプライン・AD 変換回路の MATLAB (登録商標) によるシミュレーションを行った。シミュレーションは、 $-V_{ref}$  から  $V_{ref}$  ( $-1V \sim +1V$ ) に変化するランプ波形のアナログ信号  $Vin$  を入力し、33.6 MHz のサンプリング周波数でサンプリングを行った。

【 0 0 7 6 】

図 2 2 は、上記のアナログ信号を入力した時の初段のパイプライン・ステージの出力  $Vout$  の変化を示す図である。図示のように、図 2 0 に示した変化と同じように変化する出力  $Vout$  が得られる。

【 0 0 7 7 】

図 2 3 は、アナログ入力信号  $Vin$  に対する AD 変換出力  $Dout$  の変化を示す図である。これにより、12 ビットの AD 変換結果が得られることが分かる。

図 2 4 は、初段のアナログ/デジタル変換ユニット 5 0 の増幅器 5 5 の入出力特性が、

10

20

30

40

50

入力を  $x$ 、出力を  $y$  とした時に、 $y = 8x + 2x^2 - 2x^3$  で表されるとして、AD変換値の各値における誤差を示す図であり、(A)がDNL(微分非直線性誤差)を、(B)がINL(積分非直線性誤差)を示す。これから、初段のアナログ/デジタル変換ユニット50の出力範囲が狭い、図24の(A)および(B)において円で囲った部分の誤差が、他の部分より小さいことが分かる。

【産業上の利用可能性】

【0078】

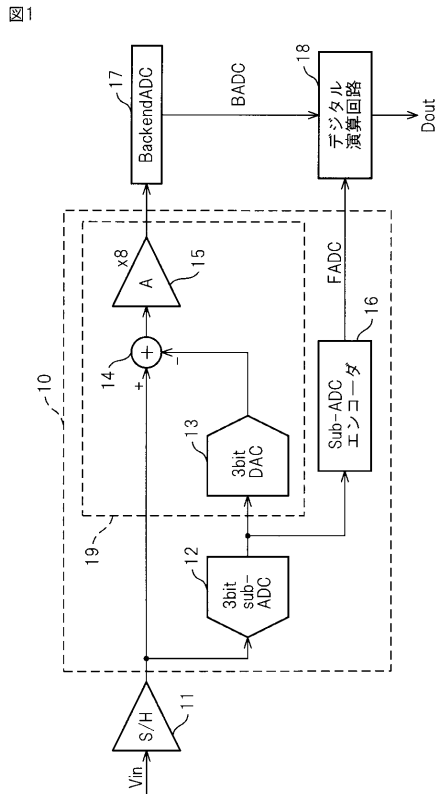
本発明は、パイプライン・AD変換回路に適用される。

【符号の説明】

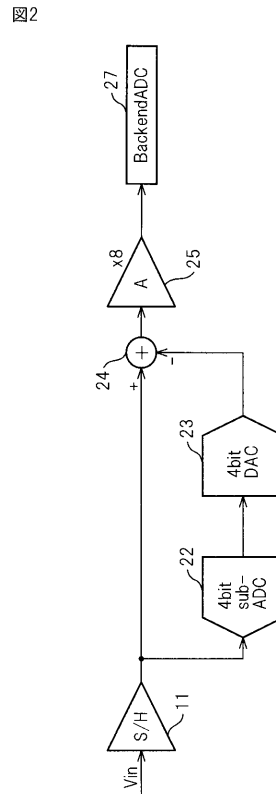
【0079】

- 31 サンプルホールド回路
- 32 サブAD変換器
- 33 サブDC変換器
- 34 減算器
- 35 増幅器
- 36 サブADCエンコーダ
- 37 後段のパイプライン・ステージ
- 38 デジタル演算回路

【図1】

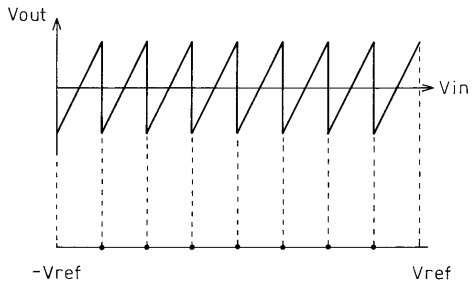


【図2】



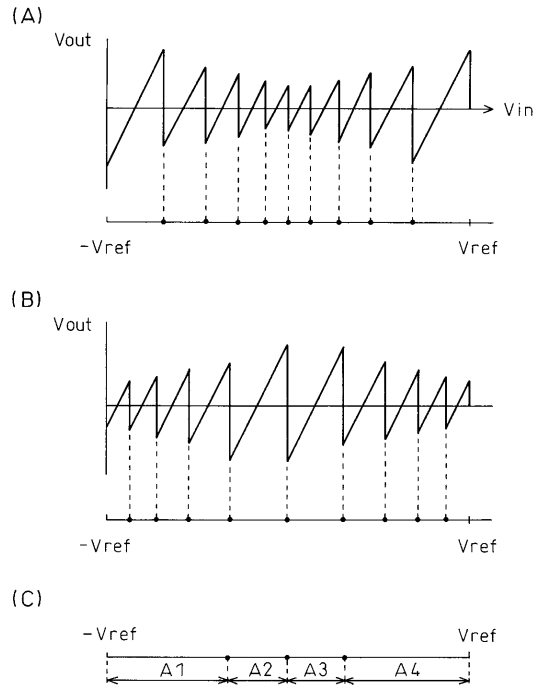
【 図 3 】

図 3



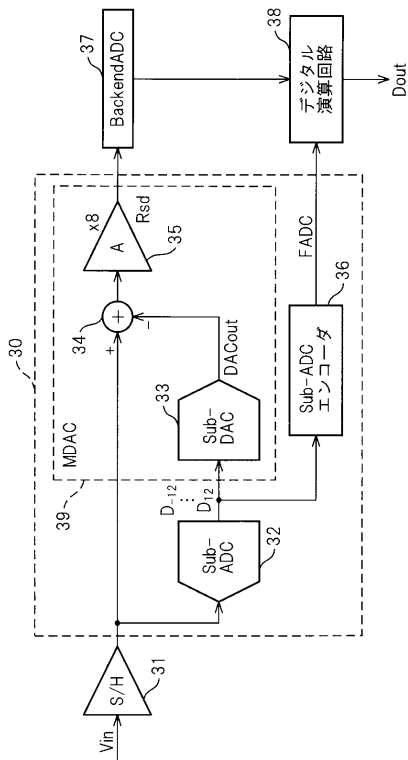
【 図 4 】

図 4



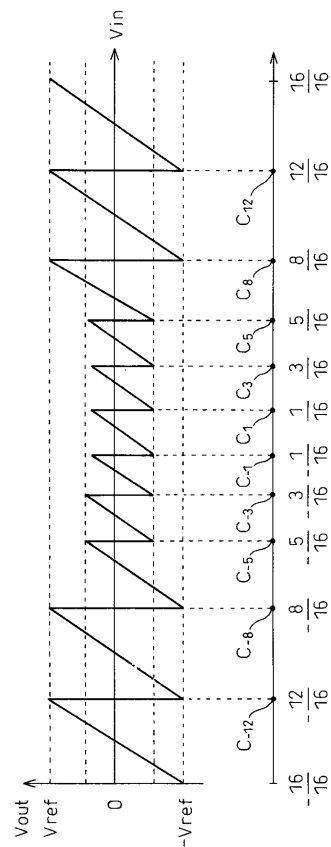
【 図 5 】

図 5



【 図 6 】

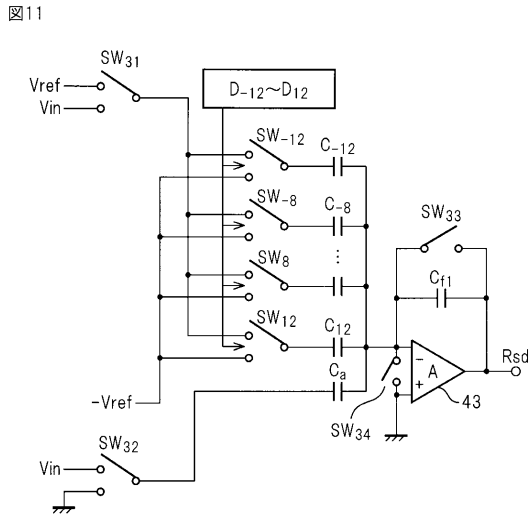
図 6



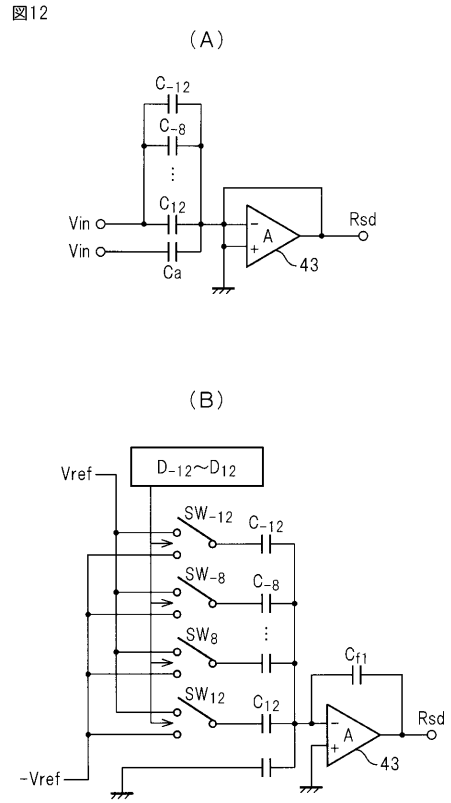




【 図 1 1 】



【 図 1 2 】



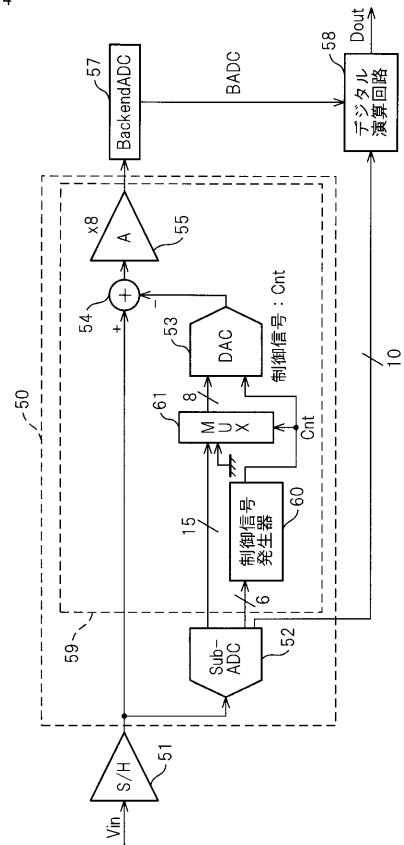
【 図 1 3 】

図13

アナログ入力 Vin	sub-ADC エンコーダ出力	sub-DAC 出力	残差信号 Rsd	残差信号 出力範囲	ADC出力 Dout
(12/16)~(-16/16)	14	14.0/16	Vin * 8 - 14.0	(-1.0)~(-1.0)	14 * 128 + BADC
(8/16)~(-12/16)	10	10.0/16	Vin * 8 - 10.0	(-1.0)~(-1.0)	10 * 128 + BADC
(5/16)~(-8/16)	6	6.0/16	Vin * 8 - 6.0	(-0.5)~(-1.0)	7 * 128 + BADC
(3/16)~(-5/16)	4	4.0/16	Vin * 8 - 4.0	(-0.5)~(-0.5)	4 * 128 + BADC
(1/16)~(-3/16)	2	2.0/16	Vin * 8 - 2.0	(-0.5)~(-0.5)	2 * 128 + BADC
(-1/16)~(-1/16)	0	0.0/16	Vin * 8	(-0.5)~(-0.5)	BADC
(-3/16)~(-1/16)	-2	-2.0/16	Vin * 8 + 2.0	(-0.5)~(-0.5)	-2 * 128 + BADC
(-5/16)~(-3/16)	-4	-4.0/16	Vin * 8 + 4.0	(-0.5)~(-0.5)	-4 * 128 + BADC
(-8/16)~(-5/16)	-6	-6.0/16	Vin * 8 + 6.0	(-1.0)~(-0.5)	-7 * 128 + BADC
(-12/16)~(-8/16)	-10	-10.0/16	Vin * 8 + 10.0	(-1.0)~(-1.0)	-10 * 128 + BADC
(-16/16)~(-12/16)	-14	-14.0/16	Vin * 8 + 14.0	(-1.0)~(-1.0)	-14 * 128 + BADC

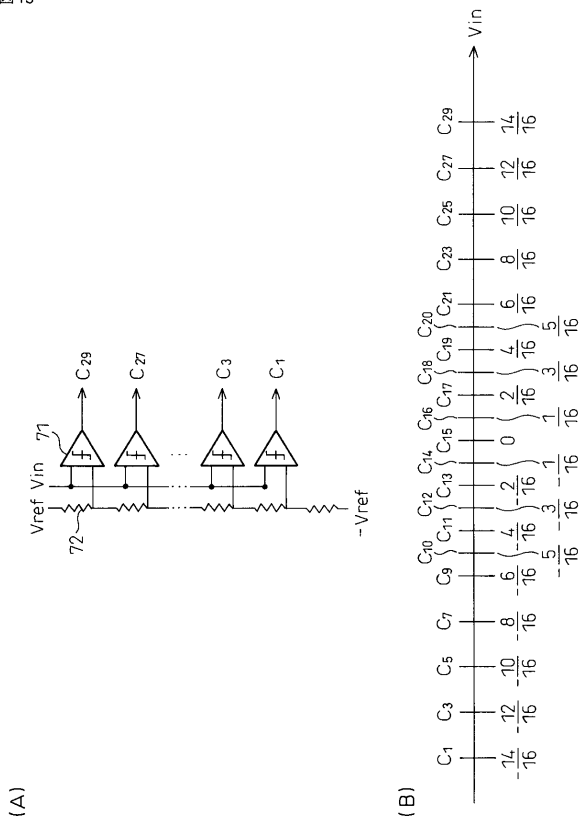
【 図 1 4 】

図14



【 図 1 5 】

図15



【 図 1 6 】

図16

(A)

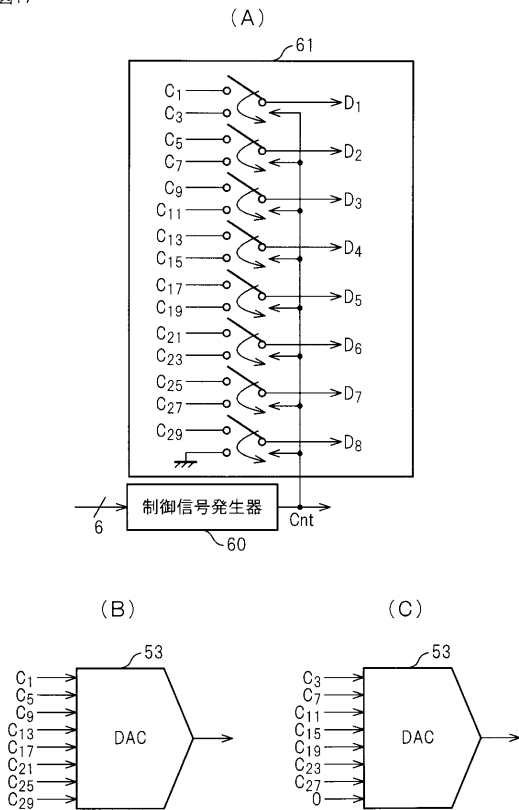
$$\text{制御信号Cnt} = \overline{C_{20}} \cdot C_{18} + \overline{C_{16}} \cdot C_{14} + \overline{C_{12}} \cdot C_{10}$$

(B)

$C_{20}$	$C_{18}$	$C_{16}$	$C_{14}$	$C_{12}$	$C_{10}$	制御信号Cnt
0	0	0	0	0	0	0
0	0	0	0	0	0	0
...	...	...	...	...	...	...
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	1	0
0	0	0	1	1	1	1
0	0	1	1	1	1	0
0	1	1	1	1	1	1
1	1	1	1	1	1	0
...	...	...	...	...	...	...
1	1	1	1	1	1	0

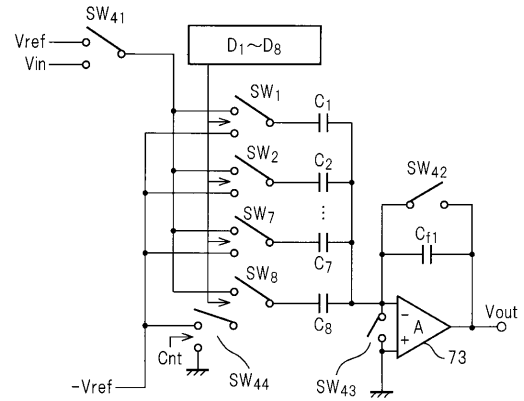
【 図 1 7 】

図17



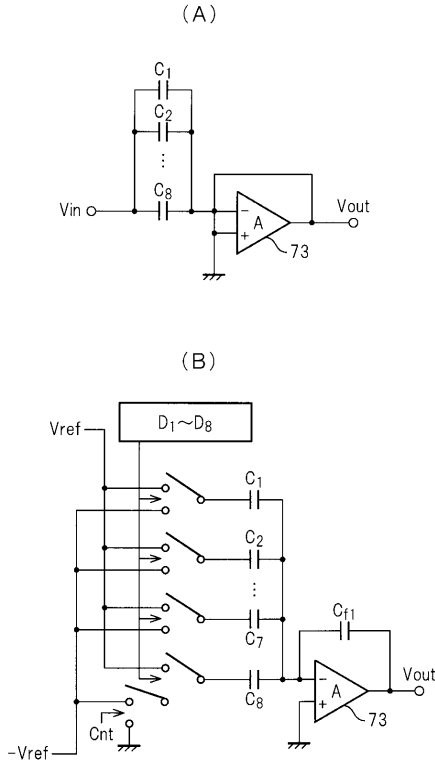
【 図 1 8 】

図18



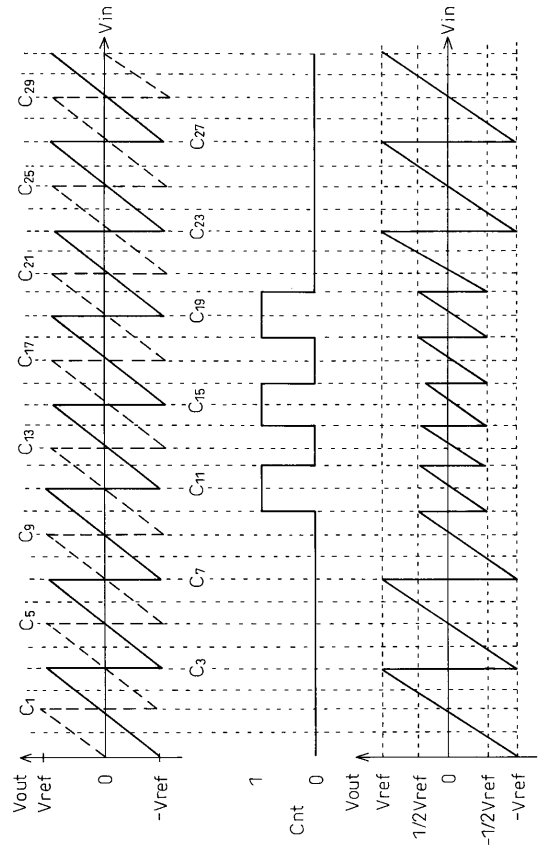
【 図 1 9 】

図19



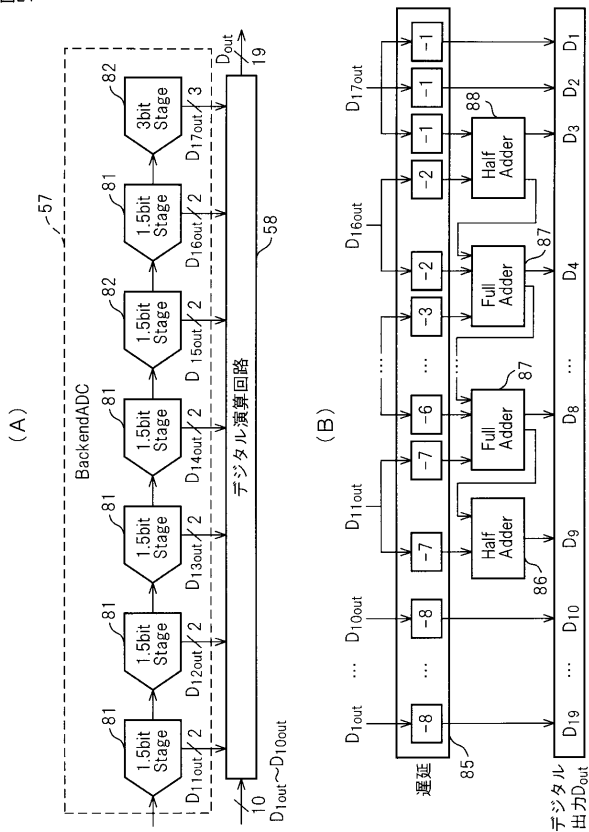
【 図 2 0 】

図20



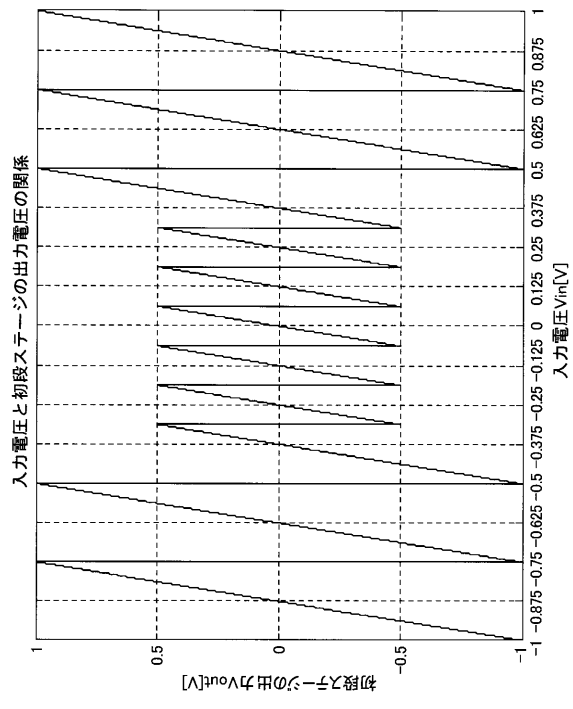
【 図 2 1 】

図21



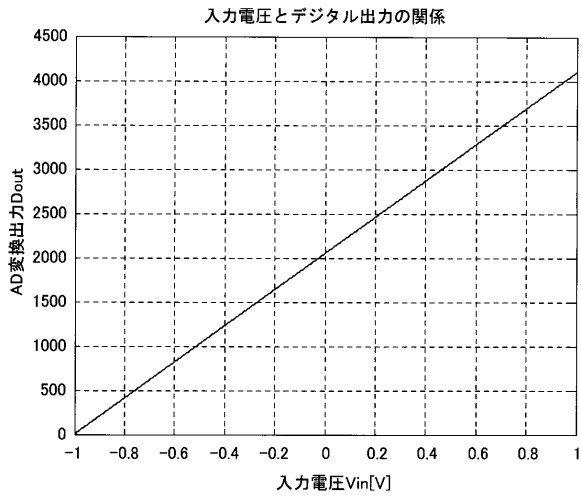
【 図 2 2 】

図22



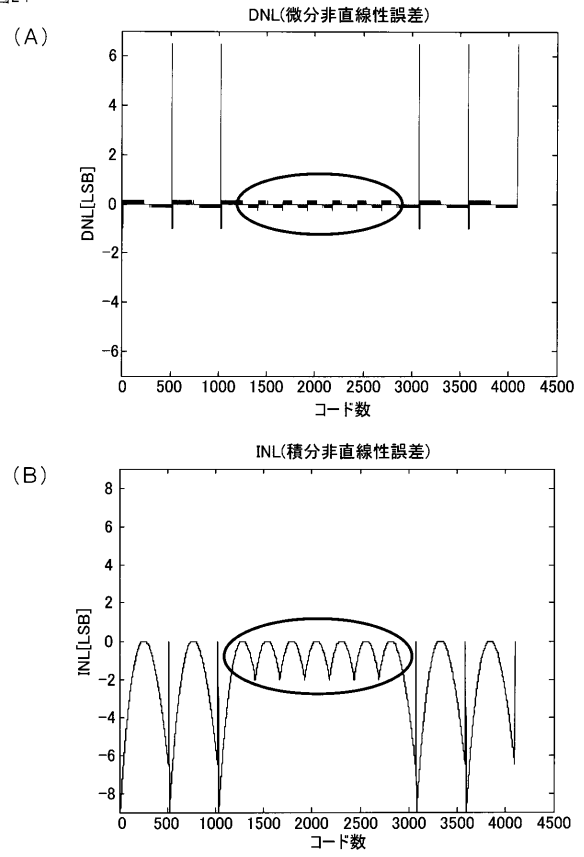
【 図 2 3 】

図23



【 図 2 4 】

図24



---

フロントページの続き

(72)発明者 丹 陽平

群馬県桐生市天神町 1 - 5 - 1

(72)発明者 小林 春夫

群馬県桐生市相生町 2 - 6 2 0 - 1 2 相生住宅 1 - 2 0 2

Fターム(参考) 5J022 AA15 BA01 CB02 CB06 CC02 CD03 CF01 CF02