

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-73169

(P2012-73169A)

(43) 公開日 平成24年4月12日(2012.4.12)

| (51) Int.Cl. | | F I | テーマコード (参考) | | | |
|--------------|--------|-----------|-------------|-------|---|-----------|
| GO 1 R | 29/02 | (2006.01) | GO 1 R | 29/02 | L | 2 G 1 3 2 |
| GO 1 R | 31/28 | (2006.01) | GO 1 R | 31/28 | V | 5 F 0 3 8 |
| HO 1 L | 27/04 | (2006.01) | HO 1 L | 27/04 | T | |
| HO 1 L | 21/822 | (2006.01) | | | | |

審査請求 有 請求項の数 11 O L (全 21 頁)

(21) 出願番号 特願2010-219286 (P2010-219286)
 (22) 出願日 平成22年9月29日 (2010.9.29)

(71) 出願人 396023993
 株式会社半導体理工学研究センター
 神奈川県横浜市港北区新横浜 3 丁目 1 7 番
 地 2 友泉新横浜ビル6階
 (74) 代理人 100099759
 弁理士 青木 篤
 (74) 代理人 100092624
 弁理士 鶴田 準一
 (74) 代理人 100122965
 弁理士 水谷 好男
 (74) 代理人 100141162
 弁理士 森 啓
 (74) 代理人 100160716
 弁理士 遠藤 力

最終頁に続く

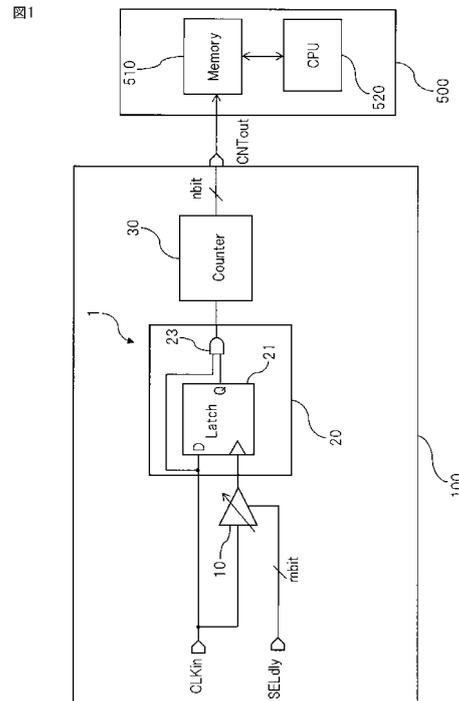
(54) 【発明の名称】 オンチップジッタデータ取得回路、ジッタ測定装置、及びその方法

(57) 【要約】

【課題】本発明は、高周波プローブを要せずにジッタ測定が可能なオンチップジッタデータ取得回路を提供することを目的とする。

【解決手段】本発明に係るオンチップジッタデータ取得回路 1 は、クロック信号を、遅延量選択信号で選択可能な複数の遅延量のいずれか 1 つの遅延量で遅延する可変遅延部 1 0 と、クロック信号の位相と、可変遅延部で遅延されたクロック信号の位相とを比較して、位相比較信号を生成する位相比較信号生成部 2 0 と、位相比較信号を所定の期間に亘り取得する位相比較信号取得部 3 0 と、を有することを特徴とする。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

クロック信号のジッタに関するデータを取得するオンチップジッタデータ取得回路であって、

前記クロック信号を、遅延量選択信号で選択可能な複数の遅延量のいずれか 1 つの遅延量で遅延する可変遅延部と、

前記クロック信号の位相と、前記可変遅延部で遅延されたクロック信号の位相とを比較して、位相比較信号を生成する位相比較信号生成部と、

前記位相比較信号を所定の期間に亘り取得する位相比較信号取得部と、

を有することを特徴とするオンチップジッタデータ取得回路。

10

【請求項 2】

前記位相比較信号は、前記比較の結果を示すパルス信号であり、前記位相比較信号取得部は、前記パルス信号の数をカウントするカウンタ回路である請求項 1 に記載のオンチップジッタデータ取得回路。

【請求項 3】

前記第位相比較信号生成部は、時間デジタル変換回路であり、前記位相比較信号取得部は、前記時間デジタル変換回路が出力する前記位相比較信号を記憶する記憶部である請求項 1 に記載のオンチップジッタデータ取得回路。

【請求項 4】

前記可変遅延部は、前記クロック信号を所与のオフセット遅延量で遅延させるオフセット遅延回路をさらに有する請求項 1 ~ 3 のいずれか一項に記載のオンチップジッタデータ取得回路。

20

【請求項 5】

前記オフセット遅延量は、前記クロック信号の周期の略整数倍の遅延量である請求項 4 に記載のオンチップジッタデータ取得回路。

【請求項 6】

ジッタデータを取得する通常モードでは、前記クロック信号を前記可変遅延部に入力し、前記可変遅延回路の遅延量を較正する較正モードでは、前記可変遅延部で遅延されたクロック信号の反転信号を前記可変遅延部に入力するモード選択マルチプレクサと、

前記通常モードでは、前記パルス信号を前記カウンタ回路に入力し、前記較正モードでは、前記可変遅延部、及び前記モード選択マルチプレクサで構成されるリング発振部の発振信号を前記カウンタ回路に入力する出力選択マルチプレクサと、

をさらに有する請求項 2 に記載のオンチップジッタデータ取得回路。

30

【請求項 7】

ジッタデータを取得する通常モードでは、前記クロック信号を前記可変遅延部に入力し、前記可変遅延回路の遅延量を較正する較正モードでは、前記可変遅延部で遅延されたクロック信号の反転信号を前記可変遅延部に入力するモード選択マルチプレクサと、

前記可変遅延部、及び前記モード選択マルチプレクサで構成されるリング発振部の発振信号をカウントする較正用カウンタ回路と、

をさらに有する請求項 3 に記載のオンチップジッタデータ取得回路。

40

【請求項 8】

前記位相比較信号取得部を 2 つ以上有する請求項 1 ~ 7 のいずれか一項に記載のオンチップジッタデータ取得回路。

【請求項 9】

クロック信号を生成するクロック信号生成回路と、

前記クロック信号生成部が生成したクロック信号のジッタに関するデータを取得する請求項 1 ~ 8 のいずれか一項に記載のオンチップジッタデータ取得回路と、

を備える半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置を試験する半導体試験装置であって、

50

前記比較信号取得部が取得したデータを前記半導体装置から読み出すプローブと、
前記プローブが読み出したデータを記憶する記憶部と、
前記記憶部が記憶したデータを統計的に処理して作成されるヒストグラムに基づいて、
前記半導体装置のジッタ量を判定する処理部と、
を有する半導体試験装置。

【請求項 11】

オンチップで生成されるクロック信号のジッタを測定する方法であって、
前記クロック信号を、所定の遅延量で遅延させて、遅延クロック信号を生成するステップと、

前記クロック信号と、前記遅延クロック信号とを比較して、前記比較結果に基づいて、
位相比較信号を生成するステップと、

前記位相比較信号を所定の期間に亘り取得するステップと、
前記取得された位相比較信号を処理して、ヒストグラムを作成するステップと、
を有することを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、オンチップジッタデータ取得回路、ジッタ測定装置、及びその方法に関する。
具体的には、PLL回路で生成されるクロック信号など、半導体装置内部で生成される
クロック信号のテストを容易にするオンチップジッタデータ取得回路、ジッタ測定装置、
及びその方法に関する。

【背景技術】

【0002】

近年、半導体装置に搭載されるLSI (Large Scale Integration、大規模集積回路)
)の製造コストに占めるテスト工程におけるコスト、すなわちテストコストの増大が懸念
されている。このため、テストコストを抑制するために、テスト容易化技術に関する研究
開発が活発に行われている。デジタル回路のテスト容易化技術については、スキャンパス
法、及びシグネチャアナリシス法などの様々な汎用テスト容易化手法が提案されている。
しかしながら、アナログ回路のテスト容易化技術については、未だ開発途上の段階である
。特にPLL (Phase Locked Loop) については、マイクロプロセッサ等のデジタルリ
ッチなLSIにおいても必須となるため、テスト容易化への需要が大きい。このため、半
導体装置に搭載されるPLLが生成するクロック信号のジッタを高精度、かつ容易に測定
する回路、及び方法の研究開発が多く行われている。また、他のアナログ回路においても
、半導体プロセスの微細化の進展、及び回路方式の改良などにより、例えばデジタル
アナログコンバータ (ADC、analog to digital converter) において、ジッタが、A D
Cの性能の良否を決定する最も重要な指標の1つになりつつある。このように、半導体装
置に搭載されるLSI回路の製造工程におけるテスト工程において、将来的にジッタ測定
が最も重要なテスト項目の1つとなる可能性がある。

【0003】

従来技術におけるジッタ測定回路は、基準クロック信号を採用している (非特許文献 1
、及び 2 を参照のこと)。基準クロック信号は、PLL回路など半導体装置の内部回路で
生成されるクロック信号のジッタを測定するときに、基準となる信号であり、ジッタを有
しないクロック信号を使用することが望ましいと考えられている。ところが、ジッタを有
しないクロック信号を半導体装置 200 の内部で生成することは、一般的に困難である。
このため、図 18 に示すように、基準クロック信号は、半導体装置 200 の外部からジッ
タ測定回路に与えられている。基準クロック信号を半導体装置 200 の外部から与える場
合、周波数が高い信号 (High-frequency input) を入力することができる高周波プローブ
210 により入力する必要がある。しかしながら、高周波プローブは、一般に高価である
ため、基準クロック信号をLSIに入力するために、高周波プローブを使用すると、テス
トコストの増大を招く。また、入力用パッドからクロックをジッタ測定回路に伝搬させる

10

20

30

40

50

過程でジッタが蓄積するおそれがある。このため、非特許文献3に示すように、基準クロック信号を使用しないジッタデータ測定回路を半導体装置300に搭載することが提案されている。しかしながら、非特許文献3で提案されるジッタデータ測定回路は、基準クロック信号を使用しないもの、図19に示すように周波数が高い出力信号(High-speed output)を測定する必要があるために、高周波プローブ310が必要になる。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】K. Jenkins, et al., "On-Chip Circuit for Measuring Period Jitter and Skew of Clock Distribution Network," IEEE 2007 Custom Integrated Circuits Conference (CICC)., pp. 157-160, Sept. 2007. 10

【非特許文献2】K. Jenkins, et al., "A Scalable, Digital BIST Circuit for Measurement and Compensation of Static Phase Offset," in Proc. IEEE VLSI Test Symp. (VTS), pp. 185-188, Jun. 2009.

【非特許文献3】M. Ishida, et al., "A Programmable On-Chip Picosecond Jitter-Measurement Circuit without a Reference-Clock Input," in Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC) pp. 512-513, Feb. 2005.

【発明の概要】

【発明が解決しようとする課題】

【0005】 20

このように、従来のジッタ測定回路では、ジッタを測定するために高周波プローブを要するため、製造工程におけるテストコストが増加するという不具合があった。

【0006】

そこで、本発明は、上述した不具合を解決することが可能なオンチップジッタデータ取得回路を提供することを目的とする。

【0007】

また、本発明は、高周波プローブを要せずにジッタ測定が可能なオンチップジッタデータ取得回路を提供することを目的とする。

【課題を解決するための手段】

【0008】 30

上記目的を実現するため、本発明に係るオンチップジッタデータ取得回路は、クロック信号のジッタに関するデータを取得するオンチップジッタデータ取得回路であって、クロック信号を、遅延量選択信号で選択可能な複数の遅延量のいずれか1つの遅延量で遅延する可変遅延部と、クロック信号の位相と、可変遅延部で遅延されたクロック信号の位相とを比較して、位相比較信号を生成する位相比較信号生成部と、位相比較信号を所定の期間に亘り取得する位相比較信号取得部と、を有することを特徴とする。

【0009】

さらに、本発明に係るオンチップジッタデータ取得回路において、位相比較信号は、比較結果を示すパルス信号であり、位相比較信号取得部は、パルス信号の数をカウントするカウンタ回路であることが好ましい。このような構成を採用することで、本発明に係るオンチップジッタデータ取得回路は、比較的小さな回路規模で実現することができる。 40

【0010】

さらに、本発明に係るオンチップジッタデータ取得回路において、可変遅延部は、クロック信号を所与のオフセット遅延量で遅延させるオフセット遅延回路をさらに有することが好ましい。このような構成を採用することで、本発明に係るオンチップジッタデータ取得回路は、クロック信号と、遅延させたクロック信号との相関を低くして、双方の信号を互いに独立な信号にできる。

【0011】

さらに、本発明に係るオンチップジッタデータ取得回路は、ジッタデータを取得する通常モードでは、クロック信号を可変遅延部に入力し、可変遅延回路の遅延量を較正する較 50

正モードでは、可変遅延部で遅延されたクロック信号の反転信号を可変遅延部に入力するモード選択マルチプレクサと、通常モードでは、位相比較信号を位相比較信号取得部に入力し、較正モードでは、可変遅延部、及びモード選択マルチプレクサで構成されるリング発振部の発振信号を位相比較信号取得部に入力する出力選択マルチプレクサと、をさらに有することが好ましい。このような構成を採用することで、本発明に係るオンチップジッタデータ取得回路は、可変遅延部における遅延量を正確に知ることができ、より精度が高いジッタ測定を実現できる。

【0012】

さらに、本発明に係るオンチップジッタデータ取得回路は、位相比較信号取得部を2つ以上有することが好ましい。このような構成を採用することで、本発明に係るオンチップジッタデータ取得回路は、ジッタ測定に加えてスキュー測定も可能になる。

10

【0013】

さらに、本発明に係るジッタ測定方法は、オンチップで生成されるクロック信号のジッタを測定する方法であって、クロック信号を、所定の遅延量で遅延させて、遅延クロック信号を生成するステップと、クロック信号と、遅延クロック信号とを比較して、比較結果に基づいて、位相比較信号を生成するステップと、位相比較信号を所定の期間に亘り取得するステップと、取得された位相比較信号を処理して、ヒストグラムを作成するステップと、有することを特徴とする。

【発明の効果】

【0014】

本発明に係るオンチップジッタデータ取得回路では、上記構成を採用することにより、高周波プローブを要せずにジッタ測定をすることが可能になった。

20

【図面の簡単な説明】

【0015】

【図1】本発明に係るオンチップジッタデータ取得回路の一例を示す図である。

【図2】図1に示すオンチップジッタデータ取得回路の可変遅延部の回路の一例を示す図である。

【図3】本発明に係るオンチップジッタデータ取得回路のタイミングチャートの一例を示す図である。

【図4】本発明に係るオンチップジッタデータ取得回路から生成できるヒストグラムの例を示す図である。

30

【図5】本発明に係るジッタ測定方法のフローの一例を示す図である。

【図6】従来のジッタ測定と、本発明に係るジッタ測定との比較を示す図である。

【図7】本発明に係るオンチップジッタデータ取得回路のシミュレーション結果の一例を示す図である。

【図8】本発明に係るオンチップジッタデータ取得回路のシミュレーション結果の他の例を示す図である。

【図9】本発明に係るオンチップジッタデータ取得回路のシミュレーション結果の他の例を示す図である。

【図10】本発明に係るオンチップジッタデータ取得回路の他の例を示す図である。

40

【図11】従来のジッタデータと、本発明に係るジッタデータとの比較を示す図である。

【図12】本発明に係るオンチップジッタデータ取得回路の他の例を示す図である。

【図13】本発明に係るオンチップジッタデータ取得回路の他の例を示す図である。

【図14】本発明に採用されるTDCの一例を示す図である。

【図15】本発明に係るジッタ測定方法のフローの他の例を示す図である。

【図16】本発明に係るオンチップジッタデータ取得回路の他の例を示す図である。

【図17】本発明に係るオンチップジッタデータ取得回路の他の例を示す図である。

【図18】ジッタ測定回路の先行技術の一例を示す図である。

【図19】ジッタ測定回路の先行技術の他の例を示す図である。

【発明を実施するための形態】

50

【0016】

以下、添付図面を参照して、本発明に係るオンチップジッタデータ取得回路、ジッタ測定装置、及びその方法について詳細に説明する。それぞれの図面において、同一、又は類似する機能を有する構成素子には、同一、又は類似する符号が付される。したがって、先に説明した構成要素と同一、又は類似する機能を有する構成素子に関しては、改めて説明をしないことがある。

【0017】

図1～9を参照して、本発明に係るオンチップジッタデータ取得回路の一例、及びその方法の一例について説明する。図1において、本発明に係るオンチップジッタデータ取得回路の一例を示す。図1に示すように、半導体装置100上に形成されるオンチップジッタデータ取得回路1は、CLKin端子、及びSELDly端子の2つの入力端子と、出力端子CNToutと、可変遅延部10と、位相比較信号生成部20と、本実施形態ではカウンタ回路である位相比較信号取得部30とを有する。さらに、位相比較信号生成部20は、ラッチ回路21と、2入力AND素子23とを有する。オンチップジッタデータ取得回路1では、CLKin端子に入力されるクロック信号と、このクロック信号を所定の遅延量で遅延した信号とを位相比較信号生成部20が比較して、比較結果を示すパルス信号を生成する。位相比較信号取得部30は、位相比較信号生成部20が生成したパルス信号を取得して、パルス信号の数をカウントする。このような構成を有することにより、オンチップジッタデータ取得回路1は、CLKin端子に入力されるクロック信号のジッタを、高周波プローブを使用せずに、任意の周波数で測定することが可能になる。

10

20

【0018】

CLKin端子には、半導体装置100の内部に形成されるPLL回路などの回路で生成されるクロック信号などが入力される。このクロック信号は、理想的には一定のパルス幅を有し、かつ一定の周期ごとに入力される複数のパルス信号となる。しかしながら、半導体装置100内部に形成される回路で生成されるクロック信号は、製造条件、温度条件、半導体装置100内部に形成される他の回路の動作状態などの様々な動作条件により、ジッタ(Jitter)を有するおそれがある。このため、CLKin端子には、ジッタに起因して、それぞれのパルス信号に時間的なズレ、ゆらぎが生じることにより、実際には、周期、及びパルス幅が様々に相違する複数のパルス信号が入力されることになる。

30

【0019】

SELDly端子には、可変遅延部10の遅延量を決定する信号が、半導体装置100の内部、又は外部から入力される。CLKin端子に入力されるクロック信号は、可変遅延部10に入力されて、SELDly端子に入力される信号に基づいて決定される遅延量で遅延されて、出力される。ラッチ回路21のD入力には、CLKin端子に入力されるクロック信号が入力される。一方、CK端子には、CLKin端子に入力されるクロック信号が、可変遅延部10において所定の遅延量で遅延されて入力される。このため、ラッチ回路21のCK端子には、D端子に入力されるクロック信号よりも、所定の遅延量だけ遅延した信号が入力される。可変遅延部10で与えられる遅延量は、任意の値に規定できる。例えば、クロック信号の周期Tの0.5倍から1.5倍までの遅延量を与えてもよい。

40

【0020】

ラッチ回路21は、CK端子に入力される信号の立ち上がりエッジにおいて、D端子に入力される信号を保持してQ端子に出力する機能を有する。例えば、CK端子に入力される信号の立ち上がりエッジにおけるD端子の入力信号がLowレベルであれば、ラッチ回路21のQ端子にはLowレベルが出力される。また、CK端子に入力される信号の立ち上がりエッジにおけるD端子の入力信号がHighレベルであれば、ラッチ回路21のQ端子にはHighレベルが出力される。ラッチ回路21は、一般にDフリップフロップ回路とも称される。

【0021】

2入力AND素子23は、一方の入力端子に入力されるラッチ回路21のQ端子からの

50

出力信号と、他方の入力端子に入力されるクロック信号との論理積を出力する。このため、ラッチ回路21のQ端子からの出力信号がLowレベルである場合には、2入力AND素子23の出力端子から出力される信号は、常にLowレベルとなる。一方、ラッチ回路21のQ端子からの出力信号がHighレベルである場合には、2入力AND素子23の出力端子から出力される信号は、クロック信号の入力状態に従って変化する。すなわち、クロック信号がHighレベルである場合は、2入力AND素子23の出力端子から出力される信号は、Highレベルであり、クロック信号がLowレベルである場合は、2入力AND素子23の出力端子から出力される信号は、Lowレベルになる。この結果、ラッチ回路21のQ端子からの出力信号がHighレベルである場合には、ラッチ回路21のQ端子から出力される信号の立ち上がり、クロック信号の立ち下がりにより規定されるパルス幅を有するパルス信号が、2入力AND素子23の出力端子から出力されることになる。なお、この回路では、2入力AND素子23の一方の入力にCLKin端子からの信号が入力されるが、この信号の代わりに可変遅延部10から出力される信号を入力することができる。

10

【0022】

2入力AND素子23の出力端子から出力されたパルス信号は、カウンタ回路30の入力端子に入力される。カウンタ回路30は、入力端子に入力されたパルス信号をカウントして、nビットのデジタル信号として、CNTout端子を介して、半導体装置10の外部に出力する。ここでnは、1以上の整数である。

20

【0023】

図2において、可変遅延部10の回路構成の一例を示す。図2に示すように、可変遅延部10は、粗調整遅延部11と、微調整遅延部14とを有することができる。粗調整遅延部11は、複数の遅延素子12a~12nと、それぞれの遅延素子の出力端を選択的に出力するマルチプレクサ13とを有する。微調整遅延部14は、複数の遅延素子15a~15cと、それぞれの遅延素子の出力端に一方の端子が接続されるキャパシタ16a、及び16bと、キャパシタ16a、及び16bの他方の端子に接続させるスイッチング素子17a、及び17bとを有する。キャパシタ16a、及び16bは、2つの電極板を金属配線層で形成して、双方の金属配線層間に形成される絶縁層を誘電体とすることで構成できる。スイッチング素子17a、及び17bは、nMOSトランジスタで形成できるが、pMOSトランジスタ、又はパラクタなどの他のスイッチング素子で形成してもよい。遅延素子12、及び15の個数は、それぞれの遅延素子の遅延量、及び測定対象のクロック信号の周期などに基づいて、適当な個数にできる。例えばクロック信号の周期Tの0倍から1倍までの遅延量を与えることができる。また、クロック信号の周期Tの0.5倍から1.5倍までの遅延量を与えてもよい。

30

【0024】

以下、図3~5を参照して、オンチップジッタデータ取得回路1を使用して、クロック信号のジッタを測定する方法の一例を説明する。図3において、オンチップジッタデータ取得回路1のタイミングチャートの一例を示す。「CLK」で示されるパルス信号列は、PLL回路などで生成されて、オンチップジッタデータ取得回路1のCLKin端子に入力される測定対象のクロック信号であり、パルス信号CK1からCK8までの8個のパルス信号が示される。CLK信号の立ち上がりエッジ、及び立ち下がりエッジは実際には、負荷容量などのため、時間軸に対する傾き(slope)を有するが、ここでは説明を簡単にするため、エッジは時間軸に対して垂直で示される。破線で示される立ち上がりエッジ、及び立ち下がりエッジは、ジッタがない場合のエッジを表す。一方、実線で示される立ち上がりエッジ、及び立ち下がりエッジは、ジッタにより遷移したエッジを示す。図3においては、CK1、CK4、及びCK6が、ジッタによりパルス信号が早く立ち上がる方向に遷移し、CK2、CK3、CK5、及びCK8が、ジッタによりパルス信号が遅く立ち上がる方向に遷移する。「CLK with 0.95T delay」で示されるパルス信号列は、「CLK」で示されるパルス信号列を、可変遅延部10において、クロック信号の周期Tの0.95倍の遅延量で遅延させた信号列である。同様に、「CLK with 1.00T delay」、及び「CL

40

50

K with 1.05T delay」で示されるパルス信号列はそれぞれ、可変遅延部 10 において、クロック信号の周期 T の 1.00 倍、及び 1.05 倍の遅延量で遅延させた信号列である。

【0025】

「Output from 2-AND with 0.95T delay」で示される信号列は、「CLK」で示される信号列をラッチ回路 21 の D 端子に入力し、「CLK with 0.95T delay」で示される信号列をラッチ回路 21 の CK 端子に入力した場合に、2 入力 AND 素子 23 の出力端子に出力される信号列を示す。ここでジッタがないと仮定した場合、「Output from 2-AND with 0.95T delay」で示される信号列は、1 つのパルス信号も生じない。ジッタがない場合には、ラッチ回路 21 の CK 端子に入力される「Output from 2-AND with 0.95T delay」の全ての立ち上がりエッジが、ラッチ回路 21 の D 端子に入力される「CLK」パルス信号の Low レベルで生じるためである。しかしながら、図 3 に示す例では、パルス信号 C3、及び C4 の遷移量の加算値、並びにパルス信号 C5、及び C6 の遷移量の加算値がそれぞれ、双方のパルスの遅延差である 0.05T よりも大きいため、「Output from 2-AND with 0.95T delay」に 2 つのパルス信号が生じる。

10

【0026】

「Output from 2-AND with 1.00T delay」で示される信号列は、「CLK」で示される信号列をラッチ回路 21 の D 端子に入力し、「CLK with 1.00T delay」で示される信号列をラッチ回路 21 の CK 端子に入力した場合に、2 入力 AND 素子 23 の出力端子に出力される信号列を示す。ここでは、パルス信号 C2 の遷移量が、パルス信号 C3 の遷移量よりも若干大きい影響で、「Output from 2-AND with 0.95T delay」にさらに 1 つのパルス信号が加わり、3 つのパルス信号が生じる。

20

【0027】

「Output from 2-AND with 1.05T delay」で示される信号列は、「CLK」で示される信号列をラッチ回路 21 の D 端子に入力し、「CLK with 1.05T delay」で示される信号列をラッチ回路 21 の CK 端子に入力した場合に、2 入力 AND 素子 23 の出力端子に出力される信号列を示す。ここでジッタがないと仮定した場合、「Output from 2-AND with 1.05T delay」で示される信号列は、「CLK」で示される全てのパルス信号に対応した 8 つのパルス信号が生成される。ジッタがない場合は、ラッチ回路 21 の CK 端子に入力される「Output from 2-AND with 1.05T delay」の全ての立ち上がりエッジが、ラッチ回路 21 の D 端子に入力される「CLK」パルス信号の High レベルで生じるためである。しかしながら、この例では、パルス信号 C1、及び C2 遷移量の加算量が、双方のパルスの遅延差 0.05T よりも大きいため、「Output from 2-AND with 1.05T delay」にパルス信号が生じていないクロック信号が 1 つ存在する。

30

【0028】

このように、オンチップジッタデータ取得回路 1 は、PLL 回路などのクロック信号、及びそのクロック信号を適当な遅延量で遅延させた遅延クロック信号の立ち上がりエッジを、ラッチ回路 21、及び 2 入力 AND 素子 23 で構成される位相比較信号生成部 20 で比較して、クロック信号の立ち上がりエッジの方が、位相が進んでいる場合にパルス信号をカウンタ回路 30 に出力する。ここで、クロック信号を遅延させる遅延量は、可変遅延部 10 によって、適当な遅延間隔で複数設定される。オンチップジッタデータ取得回路 1 は、設定された遅延量ごとに、生成されるパルス信号の数を所定の期間に亘りカウンタ回路 30 でカウントする。例えば、オンチップジッタデータ取得回路 1 は、クロック信号の周期 T を 100 分割した遅延量ごとに、パルス信号の数をカウントする。半導体装置 100 が、半導体試験装置 500 で試験されるときは、それぞれの遅延量ごとに所定の期間に亘りカウントされたパルス信号数は、CNTout 端子に位置合わせされたプローブを介して読み出されて、半導体試験装置 500 が備える記憶装置 510 にそれぞれ記憶される。記憶装置 510 に記憶されたパルス信号数に基づいて、半導体試験装置 500 が備える中央演算装置 (CPU, Central Processing Unit) 520 は、クロック信号が有するジッタ量を統計的に表すヒストグラムを生成する。

40

【0029】

50

図4において、このように作成された2つのヒストグラムを、例示する。これらのヒストグラムは双方ともに、縦軸に、カウンタ回路30がカウントしたパルス信号数を示し、横軸に、可変遅延部10により遅延された遅延量を示す。図4(a)に示すヒストグラムは、ジッタが比較的小さい例であり、図4(b)に示すヒストグラムは、ジッタが比較的大きい例である。図4(a)、及び(b)のヒストグラムを比較すると、図4(a)に示すヒストグラムは、図4(b)に示すヒストグラムよりも、遅延量の増加に対して、パルス信号数の増加が急峻であることが分かる。ジッタが小さい場合、図3に示すようなジッタに起因するパルス信号の発生、又は不発生が生じる確率が低くなるため、遅延量の増加にするパルス信号数の増加が急峻になる。一方、ジッタが大きい場合、ジッタに起因するパルス信号の発生、又は不発生が生じる確率が高くなり、遅延量の増加にするパルス信号数の増加が緩やかになる。本発明では、図4に示すヒストグラムを利用して、出荷時の良品/不良品判定を行うことができる。例えば、ヒストグラムの立ち上がりが、所定の傾きよりも緩やかな場合には、不良品と判定でき、ヒストグラムの立ち上がりが、所定の傾きよりも急峻な場合には、良品と判定できる。

10

20

30

40

50

【0030】

図5において、オンチップジッタデータ取得回路1を使用して、クロック信号のジッタを測定する方法のフローチャートを示す。ステップ101において、CPU520は、PLL回路などのクロック信号をオンチップジッタデータ取得回路1のCLKin端子に inputs。ステップ102において、CPU520は、クロック信号を遅延させる遅延量を決定する。ステップ103において、位相比較信号生成部20は、クロック信号、及びクロック信号を遅延させた信号の位相を比較して、その比較結果に基づいてパルス信号を出力する。ステップ104において、カウンタ回路30は、出力されたパルス信号数を所定の期間に亘りカウントして、CPU520は、カウント数を記憶装置510に記憶する。ステップ105において、CPU520は、所定の全ての遅延量で、ステップ101~104の処理を実行か否かを判定する。処理が終了していない場合は、再度ステップ101~104の処理を実行する。処理が終了している場合は、ステップ106において、CPU520は、記憶されたカウント数を適当に配列して、ヒストグラムを生成する。

【0031】

このように、オンチップジッタデータ取得回路1は、半導体装置100の内部に形成されるPLL回路などのクロック信号のジッタを、半導体装置100の外部から基準クロックを入力することなしに測定することができる。併せてオンチップジッタデータ取得回路1は、位相比較信号生成部20が生成したパルス信号の数を所定の期間に亘りカウンタ回路30がカウントした結果を、CPU520が統計的に処理するという方法を採用する。この方法では、統計的な手法を採用することによって、オンチップジッタデータ取得回路1は、数[ps]から数十[ps]程度の大きさであるジッタを直接測定することなく、ジッタを統計的に測定することが可能である。このため、オンチップジッタデータ取得回路1は、ジッタを直接測定する必要がなく、PLL回路などの高速なクロック信号の周期で出力される信号を検出することを要しない。したがって、オンチップジッタデータ取得回路1を採用して、ジッタを測定する場合には、半導体装置100に高速の入力信号を入力する必要がなく、また半導体装置100から高速の出力信号を検出する必要もない。このため、ジッタ測定において、高周波プローブを使用する必要はなく、テストコストの増加を抑制できる。

【0032】

さらに図1に示すように、オンチップジッタデータ取得回路1は、可変遅延部10、位相比較信号生成部20、及びカウンタ回路30によって構成される。図2に示すように、可変遅延部は、遅延素子12a~n、マルチプレクサ13などにより構成され、位相比較信号取得部は、ラッチ回路21と、2入力AND素子23などにより構成される。また、カウンタ回路30は、当業者には明らかなように、複数のラッチ回路、及び排他的論理和素子などにより構成できる。このため、オンチップジッタデータ取得回路1は、比較的小さな回路規模で実現可能であるという利点を有する。

【 0 0 3 3 】

さらにまた、オンチップジッタデータ取得回路 1 を使用して、クロック信号のジッタを測定する方法では、基準クロック信号と比較することによりクロック信号のジッタを測定する従来の方法よりも必要とされる可変遅延素子の時間分解能が緩和されるという有利な効果を有する。この効果について、図 6、及び 7 を参照して、以下に詳細に説明する。図 6 において、基準クロック信号を使用する従来の方法と、オンチップジッタデータ取得回路 1 を使用する方法と差異を示す。図 6 の左側に従来の方法を示し、図 6 の右側にオンチップジッタデータ取得回路 1 を使用する方法を示す。図 6 (a) において、双方の方法におけるトリガエッジを概念的に示す。左側に記載される従来の方法において、実線で示される 1 つのクロック信号について、遅延量を変化させた複数の基準クロック信号が破線矢印で示される。このように、従来の方法では、測定対象のクロック信号のエッジは、ある程度の (分散) を有しているが、基準クロック信号のトリガエッジは、 (分散) を有さず時間軸に対して垂直となる。このため、基準クロックの遅延量を変化させてヒストグラムを生成するとき累積分布関数 (C D F、cumulative distribution function) の分散は、測定対象のクロック信号のみに依存する。この場合の標準偏差を σ とし、図 6 (b) に示すように分布とする仮定する。また、この場合の確率密度関数 (P D F、probability density function) は、図 6 (c) に示す分布となると仮定する。

10

【 0 0 3 4 】

次に、オンチップジッタデータ取得回路 1 を使用する方法について検討する。図 6 (a) の右側に示されるように、オンチップジッタデータ取得回路 1 を使用する方法では、破線で示される遅延クロック信号も、測定対象のクロック信号と同様に、エッジが、ある程度の (分散) を有している。また上述のように、測定対象のクロック信号と比較される遅延クロック信号は、測定対象のクロック信号よりも 1 周期進んだパルス信号である。ここで、クロック信号を形成する 1 つのパルス信号においてジッタが発生する確率と、そのパルス信号においてジッタが発生する確率が完全に独立であると仮定する。この仮定が成り立つ場合には、累積分布関数の分散は、測定対象のクロック信号、及びそのクロック信号と独立である遅延クロック信号に依存するため、標準偏差は、従来の方法の

20

【 数 1 】

$$\sqrt{2}$$

30

倍になる。すなわち、オンチップジッタデータ取得回路 1 を使用する方法では、標準偏差は、

【 数 2 】

$$\sqrt{2} \sigma$$

40

になる。この結果、図 6 (b) の左側に示すように、オンチップジッタデータ取得回路 1 を使用する方法の C D F は、破線で示す従来の方法の C D F よりも分散が大きくなる。図 6 (c) において、双方の方法の P D F を示す。ここでも破線は、従来の方法の P D F を示し、実線は、オンチップジッタデータ取得回路 1 を使用する方法の P D F を示す。

【 0 0 3 5 】

このように本発明に係る方法では、基準クロック信号を使用せずに、エッジが (分散) を有するクロック信号を遅延させた信号を使用することによって、累積分布関数の標準偏差を大きくすることができ、時間分解能への要求を緩和させることが可能である。図 7 に

50

において、従来の方で行った場合と、オンチップジッタデータ取得回路 1 を使用した場合におけるジッタ測定の S P I C E (Simulation Program with Integrated Circuit Emphasis) シミュレーション結果を示す。双方のシミュレーションにおいて、測定対象のクロック信号、及び基準クロック信号の周期は 500 [ps] の周期である。また、ジッタは、基準クロック信号に法性ホワイトガウスノイズ (AWGN, additive white Gaussian noise) を付加することにより生成される。図 7 (a) は、従来の方によるシミュレーション結果を示す。ここでは、ラッチ回路 21 の D 端子にジッタを有するクロック信号を入力し、可変遅延部 10 にジッタを有しないクロック信号を入力する。図 7 (b) は、オンチップジッタデータ取得回路 1 を使用した方法によるシミュレーション結果を示す。ここでは、ラッチ回路 21 の D 端子、及び可変遅延部 10 の双方にジッタを有するクロック信号を入力する。このシミュレーションの結果が示すように、図 7 (b) に示されるオンチップジッタデータ取得回路 1 を使用した方法のシミュレーション結果は、図 7 (a) に示される従来の方によるシミュレーション結果よりも分散が大きくなっている。これらの結果から、オンチップジッタデータ取得回路 1 を使用した方法は、ジッタ測定における時間分解能への要求が緩和できることが明らかである。一般に、CMOS 技術の微細化技術が進展するにともなって、デバイスばらつきに起因して、時間分解能の向上が困難となる傾向がある。このため、オンチップジッタデータ取得回路 1 は、ジッタ測定における時間分解能への要求が緩和できるので、微細化が進む CMOS 技術との親和性が高く、微細化が進むほど有効性が増してゆく回路であるといえる。

10

20

30

40

50

【0036】

図 8 において、図 7 と同様に従来の方で行った場合と、オンチップジッタデータ取得回路 1 を使用した場合におけるジッタ測定の S P I C E シミュレーション結果を示す。ここでは、ジッタの大きさを変化させた場合の分散を概念的に示す。図 8 から明らかのように、オンチップジッタデータ取得回路 1 を使用した方法のシミュレーション結果では、ジッタの大きさの変化に伴う分散の増加が、従来の方のシミュレーション結果より大きい。これから、オンチップジッタデータ取得回路 1 を使用した方法は、ジッタが大きくなるほどジッタ測定における時間分解能への要求が緩和できることが明らかになる。また、その割合は、従来の方よりも大きいことが理解されるであろう。

【0037】

図 9 において、オンチップジッタデータ取得回路 1 の S P I C E シミュレーション結果の一例を示す。ここで、プロセスは、180 [nm] CMOS プロセスを用い、VDD は、1.8 [V] であり、AWGN の振幅は、0.8 [V] であり、クロック信号の周波数は、2 [GHz] である。またグラフの掃引時間は、100 [ns] であるので、最大カウント数は、200 回になる。

【0038】

図 10、及び 11 を参照して、本発明に係るオンチップジッタデータ取得回路の他の例について説明する。図 10 において、本発明に係るオンチップジッタデータ取得回路の他の例を示す。図 10 に示すように、半導体装置 100 上に形成されるオンチップジッタデータ取得回路 2 は、CLKin 端子、及び SELdly 端子の 2 つの入力端子と、出力端子 CNTout と、可変遅延部 10 と、位相比較信号生成部 20 と、位相比較信号取得部 30 とに加えて、オフセット遅延回路 17 を有する。オフセット遅延回路 17 は、CLKin 端子に入力されるクロック信号の周期の数倍 ~ 10 倍程度の遅延量を有することができる。また、好適にはオフセット遅延回路 17 の遅延量は、CLKin 端子に入力されるクロック信号の周期の略整数倍の周期を有することができる。オンチップジッタデータ取得回路 2 は、クロック信号の周期の数倍 ~ 10 倍程度の遅延量を有するオフセット遅延回路 17 を備えることにより、ラッチ回路 21 の D 端子に入力されるクロック信号と、CK 端子に入力される遅延クロック信号との間の相関を低くして、独立な関係にすることが可能になる。

【0039】

図 11 を参照して、オフセット遅延回路 17 を備えることにより、クロック信号との間

の相関を低くなる概念を説明する。図 11 (a) において、典型的なクロック信号の自己相関関数を示す。1 点鎖線で示す位置は、1 周期離れた信号との相関を示し、破線で示す位置は、4 周期離れた信号との相関を示す。これから、オフセット遅延回路 17 を備えて、遅延クロック信号の遅延量を大きくすることによる効果が統計的に明らかになる。すなわち、オフセット遅延回路により遅延クロック信号の遅延量を大きくすることにより、測定対象のクロック信号と、遅延クロック信号との間の相関が小さくなることが理解されるであろう。図 11 (b) において、従来の方法、オフセット遅延回路 17 を有さないオンチップジッタデータ取得回路 1 を使用する方法、及びオフセット遅延回路 17 を備えるジッタ回路 2 を使用する方法のシミュレーション結果の一例を示す。ここで、実線は、従来
10
の方法であり、図 7 (a) に示す回路を使用する。1 点鎖線は、オフセット遅延回路 17 を有さないオンチップジッタデータ取得回路 1 による方法であり、破線は、オフセット遅延回路 17 を備えるジッタ回路 2 を使用する方法である。この例では、オフセット遅延回路 17 を有さないオンチップジッタデータ取得回路 1 による方法によるシミュレーションが、自己相関に起因する測定誤差のために分散が大きくなった結果が示される。一般的には、このような現象は起こる可能性は、非常に低いものであるが、隣接するパルス信号を使用してジッタ測定をする場合に、自己相関に起因する測定誤差が生じる可能性があることが示される。したがって、オフセット遅延回路 17 を備えるジッタ回路 2 は、オフセット遅延回路 17 を有さないオンチップジッタデータ取得回路 1 よりも測定誤差を小さくすることが可能である。

【0040】

図 12 を参照して、本発明に係るオンチップジッタデータ取得回路のさらに他の例について説明する。図 12 において、本発明に係るオンチップジッタデータ取得回路の他の例を示す。図 12 に示すように、半導体装置 100 上に形成されるオンチップジッタデータ取得回路 3 は、CLKin 端子、及び SELdly 端子の 2 つの入力端子と、出力端子 CNTout と、可変遅延部 10 と、位相比較信号生成部 20 と、位相比較信号取得部 30 とに加えて、モード選択マルチプレクサ 41 と、出力選択マルチプレクサ 43 と、反転素子 45 とを有する。反転素子 45 は、可変遅延部 10 の出力信号を反転させた信号を、モード選択マルチプレクサ 41 の一方の信号入力端子に入力する。モード選択マルチプレクサ 41 は、他方の入力端子に CLKin 信号に入力されたクロック信号が入力される。モード選択マルチプレクサ 41 は、モード選択信号である SELmode 端子に入力される
30
選択信号に基づき、入力される 2 つの信号のいずれか一方を可変遅延部 10 に出力する。以下、モード選択マルチプレクサ 41 が、CLKin 信号に入力されたクロック信号を出力するモードを、通常モードと称する。通常モードでは、オンチップジッタデータ取得回路 3 は、CLKin に入力パルス信号のジッタを測定する。また、可変遅延部 10 の出力信号の反転信号を出力するモードを、較正モードと称する。較正モードでは、オンチップジッタデータ取得回路 3 は、可変遅延部 10 を構成する遅延素子 12、及び 15 のそれぞれの遅延量を測定することが可能である。

【0041】

オンチップジッタデータ取得回路 3 における、可変遅延部 10 を構成する遅延素子 12、及び 15 の遅延量の測定原理について、以下に詳細に説明する。較正モードでは、オン
40
チップジッタデータ取得回路 3 は、可変遅延部 10、反転素子 45、及びマルチプレクサ 43 により、リング発振回路を形成する。リング発振回路の出力は、出力選択マルチプレクサ 43 を介してカウンタ回路 30 に入力される。較正モードでは、SELdly 端子に入力される選択信号を適当に設定したのちに、カウンタ回路 30 が出力するパルス数を、適当な周期でカウントすることにより、可変遅延部 10 を構成する遅延素子 12、及び 15 のそれぞれの遅延量を測定することができる。このように、可変遅延部 10 を構成する遅延素子 12、及び 15 の実際の遅延量を測定することにより、オンチップジッタデータ取得回路 3 を使用するジッタ測定の測定精度を向上させることが可能である。

【0042】

図 13 を参照して、本発明に係るオンチップジッタデータ取得回路のさらに他の例につ

10

20

30

40

50

いて説明する。図 13 において、本発明に係るオンチップジッタデータ取得回路の他の例を示す。図 13 に示すように、半導体装置 100 上に形成されるオンチップジッタデータ取得回路 4 は、CLK_{in} 端子、及び SEL_{dly} 端子の 2 つの入力端子と、出力端子 CNT_{out} と、可変遅延部 10 と、本実施形態では時間デジタル変換回路 (Time-to-Digital Converter: TDC) である位相比較信号生成部 25 と、本実施形態では記憶回路である位相比較信号取得部 32 とを有する。オンチップジッタデータ取得回路 4 は、位相比較信号生成部として、TDC 25 を採用し、取得信号取得部として、記憶回路 32 を採用する点において、図 12 に示すオンチップジッタデータ取得回路 3 と相違する。また、可変遅延部 10、反転素子 45、及びマルチプレクサ 43 により形成されるリング発振回路の発振信号を取得する較正用カウンタ 51 を有する点においてもオンチップジッタデータ取得回路 3 と相違する。TDC 25 は、CLK_{in} に入力されるクロック信号、及び可変遅延部 10 により所定の遅延量で遅延されたクロック信号の位相を比較して、比較結果をエンコード信号などのデジタル信号で出力する。TDC 25 から出力されたデジタル信号は、記憶回路 32 に記憶される。CPU 520 は、記憶回路 32 に記憶されたデジタル信号を任意の周期で読み出して、ジッタを統計的に測定するためにヒストグラムを生成する。なお、可変遅延部 10 については、可変にしなくてもジッタ測定が可能である。

10

【0043】

図 14 は、オンチップジッタデータ取得回路 4 において採用される TDC 25 の回路構成の一例を示す図である。図 14 に示すように、TDC 25 は、原クロック CK を所定の遅延量 1 ずつ順次遅延する複数の遅延素子 (ノンインバータバッファ) 65 を直列に接続した遅延回路列 (ディレイライン) と、このディレイラインで順次遅延された各遅延クロック CK₁、CK₂、CK₃、... をデータ入力とし、被測定信号 SC をクロック入力とする複数の D フリップフロップ 67 と、複数の D フリップフロップ 67 の出力 Q₁、Q₂、Q₃、... から原クロック CK に対する被測定信号のジッタを算出するエンコーダ回路 69 と、を有する。ノンインバータバッファ 65 は、例えばインバータを 2 段接続して実現する。接続するノンインバータバッファ 65 の個数は、予想される被測定信号 SC のジッタの大きさをノンインバータバッファ 65 の遅延量で除した個数に所定の余裕を加えた個数以上必要である。

20

【0044】

図 15 において、オンチップジッタデータ取得回路 4 を使用して、クロック信号のジッタを測定する方法のフローチャートを示す。ステップ 201 において、CPU 520 は、PLL 回路などのクロック信号をオンチップジッタデータ取得回路 4 の CLK_{in} 端子に入力する。ステップ 202 において、CPU 520 は、クロック信号を遅延させる遅延量を決定する。ステップ 203 において、TDC である位相比較信号生成部 25 は、クロック信号、及びクロック信号を遅延させた信号の位相を比較して、その比較結果に基づいてエンコード信号を所定の期間に亘り出力し、ステップ 204 において、記憶回路 32 は、出力されたエンコード信号を記憶する。ステップ 205 において、CPU 520 は、所定の全ての遅延量で、ステップ 201 ~ 204 の処理を実行か否かを判定する。処理が終了していない場合は、再度ステップ 201 ~ 204 の処理を実行する。処理が終了している場合は、ステップ 206 において、CPU 520 は、記憶回路 32 に記憶されたエンコード信号を、通常のプロープで読み出し可能な周期で読み出して、適当に配列することによって、ヒストグラムを生成する。

30

40

【0045】

図 16 を参照して、本発明に係るオンチップジッタデータ取得回路のさらに他の例について説明する。図 16 において、本発明に係るオンチップジッタデータ取得回路の他の例を示す。図 16 に示すように、半導体装置 100 上に形成されるオンチップジッタデータ取得回路 5 は、これまで説明したジッタ回路と同様に、PLL 回路のクロック信号のジッタを測定するとともに、図 16 において 3 つで示される複数の経路間のスキュー (skew) を測定することができる。DUT (被測定回路、Device Under Test) 1 ~ 3 はそれぞれ、PLL 回路のクロック出力端子と、ラッチ回路 21 の D 端子との間の経路に存在する論

50

理回路である。PLL回路のクロック出力端子と、ラッチ回路21のD端子との間の経路には、DUTの回路遅延量、配線層の容量性カップリング、及び配線層の抵抗により生じる配線遅延量、クロック出力端子に対する各素子のゲート容量などの様々な要因により、様々な遅延量を有する可能性がある。オンチップジッタデータ取得回路5は、それぞれの経路を通過したクロック信号と、可変遅延部10で所定の遅延量で遅延されたクロック信号とを比較することにより、それぞれの経路を通過したジッタを測定するとともに、経路間のスキューを測定することができる。なお、図16に示すオンチップジッタデータ取得回路5では、ラッチ回路20、カウンタ回路30、及びCNTout端子をそれぞれ3つずつ有しているが、これらは、2つ、又は4つ以上であってもよい。

【0046】

また図17に示すオンチップジッタデータ取得回路6のように、カウンタ回路30、及びCNTout端子を複数配置する代わりに、複数の2入力AND素子の出力を、SELin端子に入力させる信号に基づいて選択的に出力するマルチプレクサ61と、1つのカウンタ回路30、及びCNTout端子を配置することもできる。このような構成を採用することにより、カウンタ回路30の数を1つにできるため、オンチップジッタデータ取得回路6は、回路規模を比較的小さくすることができる。

【0047】

以上、添付図面を参照しながら本発明に係るいくつかの実施形態を説明してきたが、本発明の精神、及び範囲を逸脱せずに、各種の変形例があり得るのはいうまでもない。本明細書において、位相比較信号生成部として、ラッチ回路、及び2入力AND素子を有する回路と、TDCを有する回路が例示されるが、クロック信号、及びクロック信号を遅延させた信号の位相を比較できる他の回路構成を使用することができる。また、位相比較信号取得部として、位相比較信号に関する情報を取得できる他の回路を使用してもよい。

【0048】

また例えば、位相比較信号生成部20を構成するラッチ回路21は、Q端子の信号をリセットするReset端子を有してもよい。また、ラッチ回路21は、CK端子に入力される信号の立ち上がりエッジではなく、CK端子に入力される信号の立ち下がりエッジにおいて、D端子に入力される信号を保持してQ端子に出力してもよい。さらに、ラッチ回路21は、D端子に入力される信号の反転信号を保持してQN端子に出力してもよい。

【0049】

また本明細書では、TDCにより位相比較信号生成部25を構成するオンチップジッタデータ取得回路4において、図15に示すTDCを採用しているが、副尺(バーニア:Vernier)ディレイラインTDCを採用してもよい。さらに、TDCとして、自己較正機能を有するTDCを採用してもよい。

【符号の説明】

【0050】

- | | |
|-------------|-----------------|
| 1、2、3、4、5、6 | オンチップジッタデータ取得回路 |
| 10 | 可変遅延部 |
| 12、14 | 遅延素子 |
| 17 | オフセット遅延部 |
| 20、25 | 位相比較信号生成部 |
| 21 | ラッチ回路 |
| 23 | 2入力AND素子 |
| 30、32 | 位相比較信号取得部 |
| 100 | 半導体装置 |
| 500 | 半導体試験装置 |
| 510 | 記憶装置 |
| 520 | CPU |

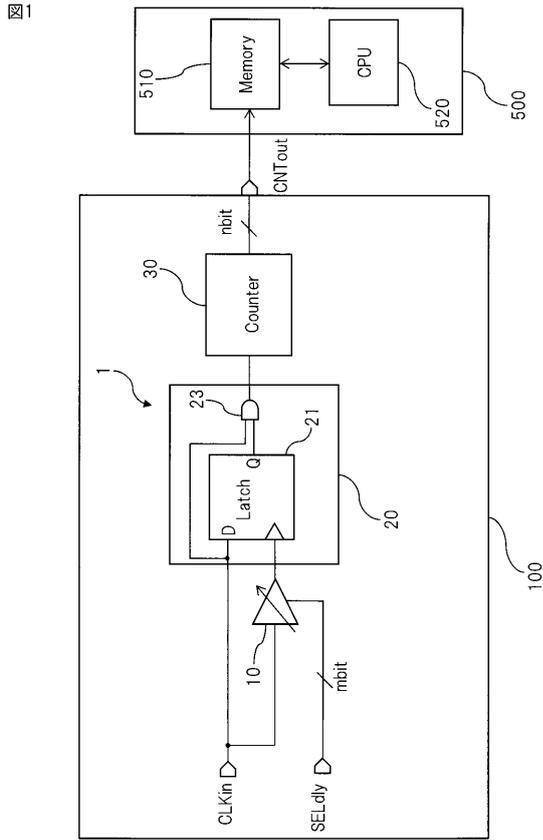
10

20

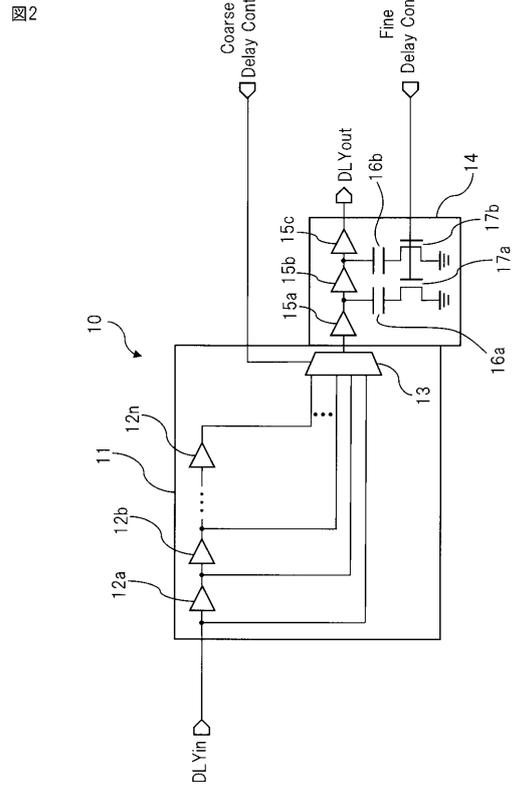
30

40

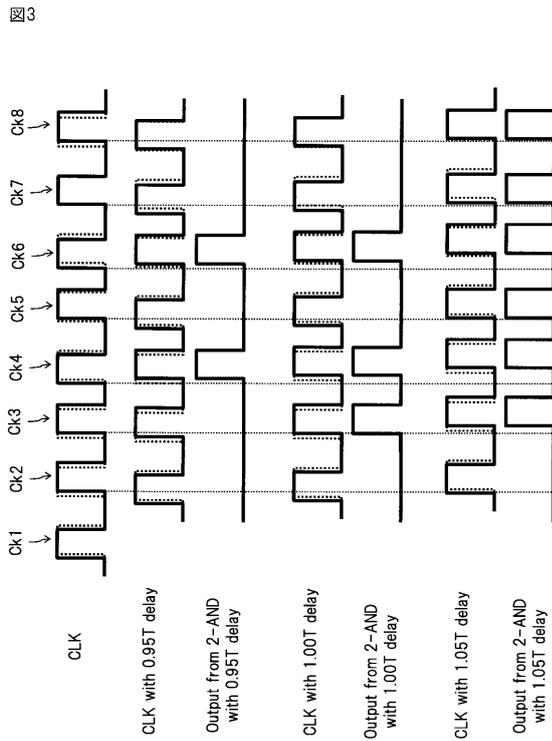
【 図 1 】



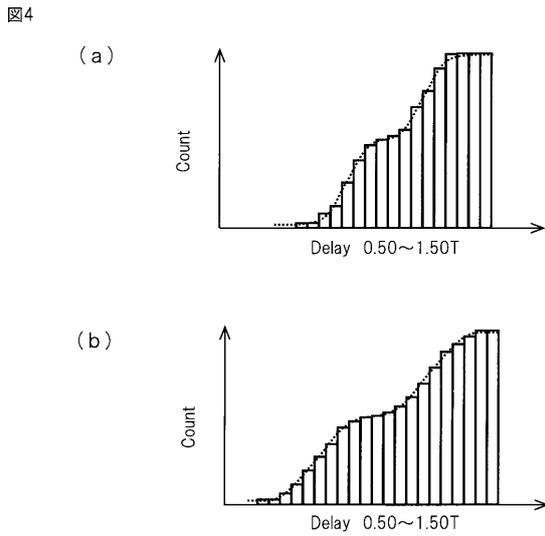
【 図 2 】



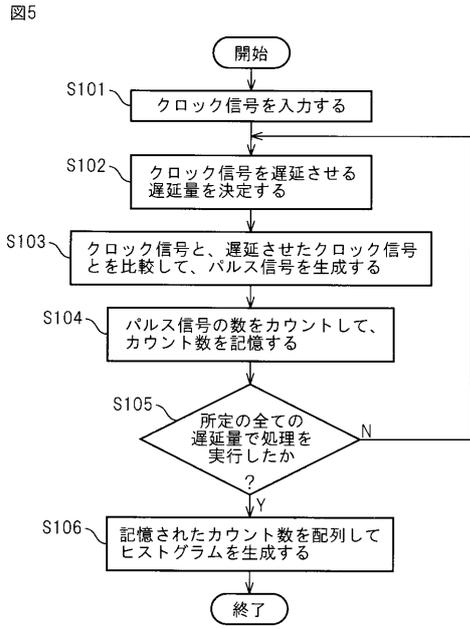
【 図 3 】



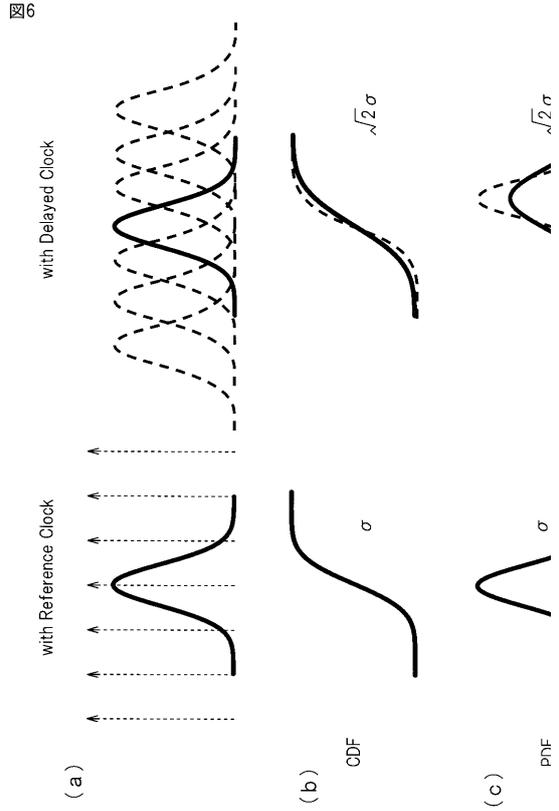
【 図 4 】



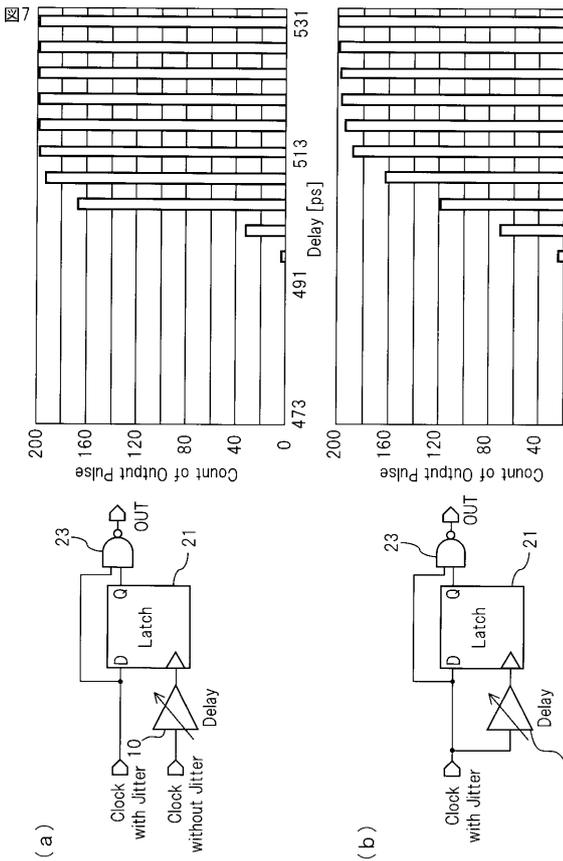
【 図 5 】



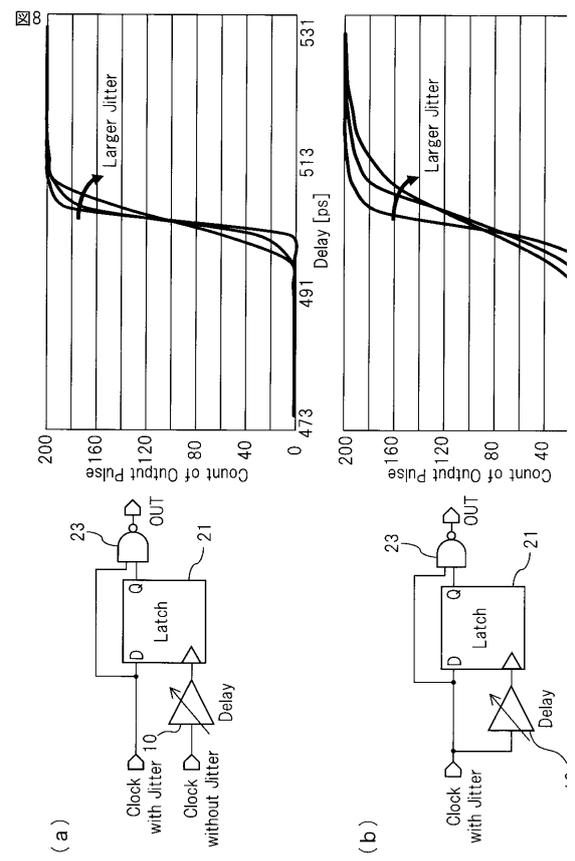
【 図 6 】



【 図 7 】

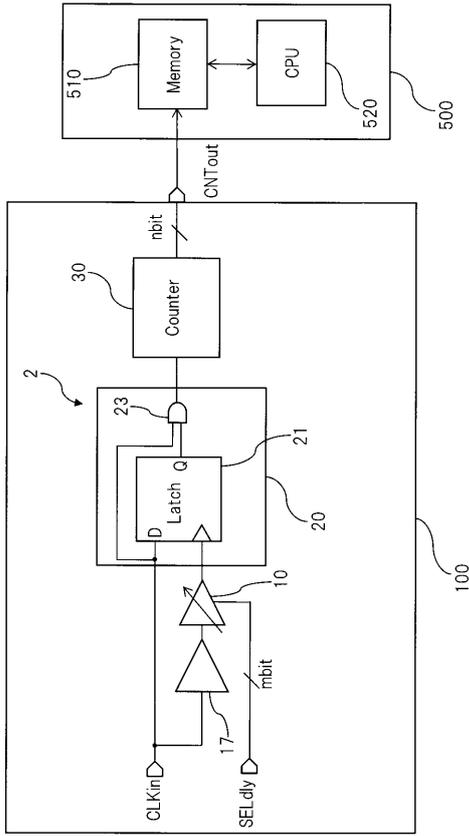


【 図 8 】



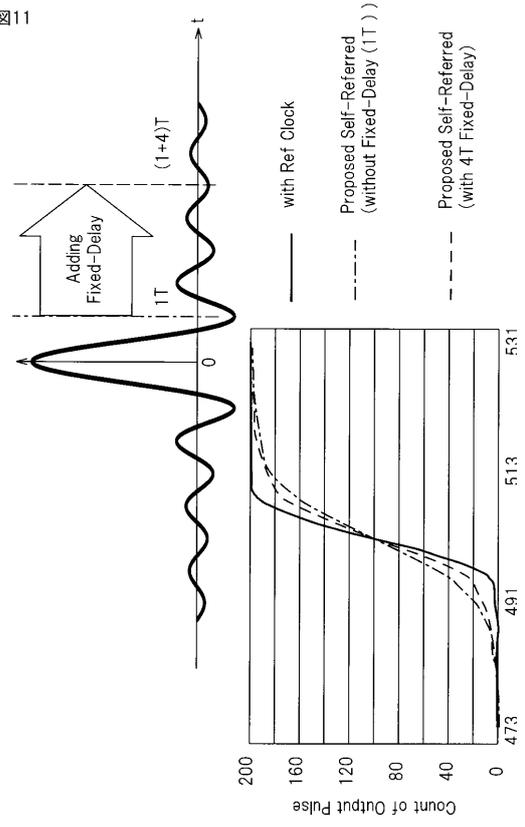
【 図 1 0 】

図10



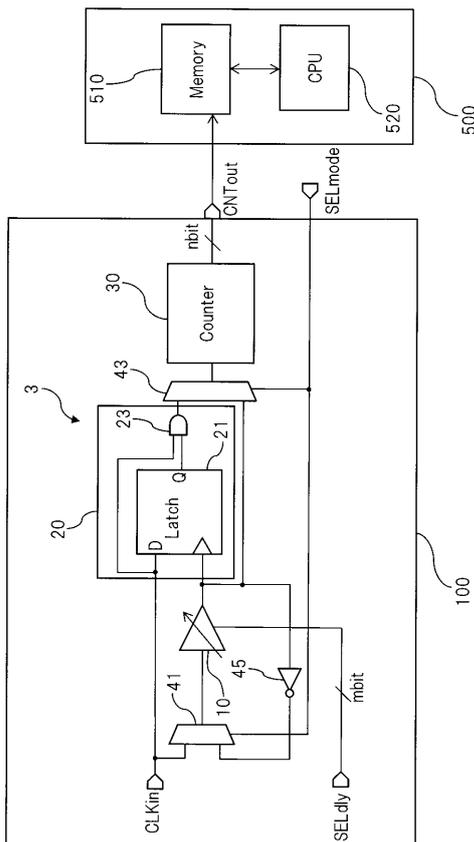
【 図 1 1 】

図11



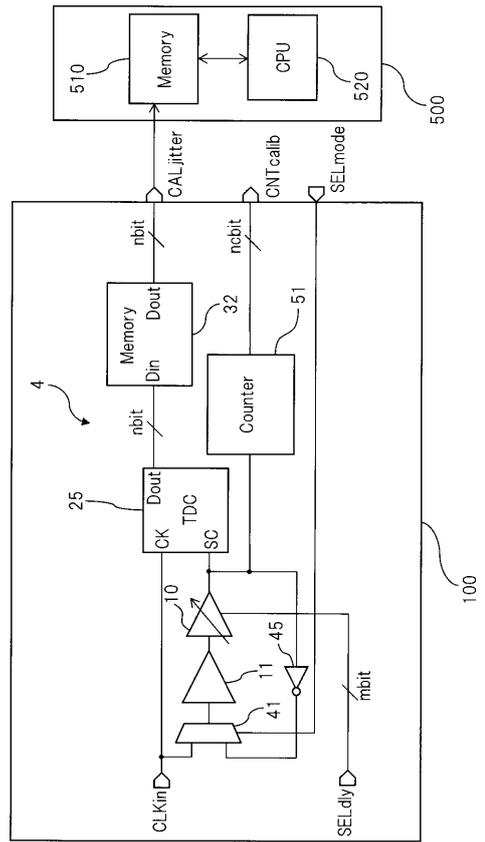
【 図 1 2 】

図12



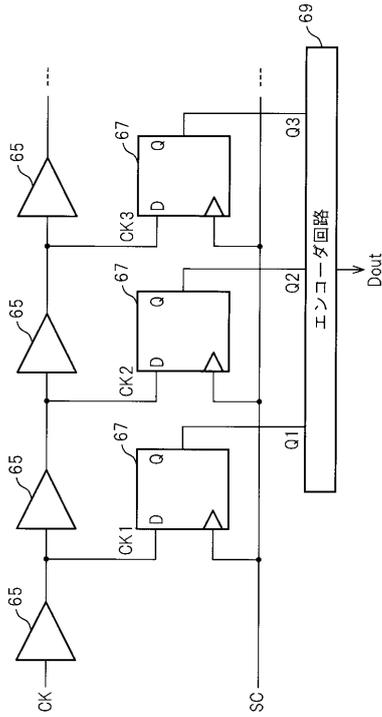
【 図 1 3 】

図13



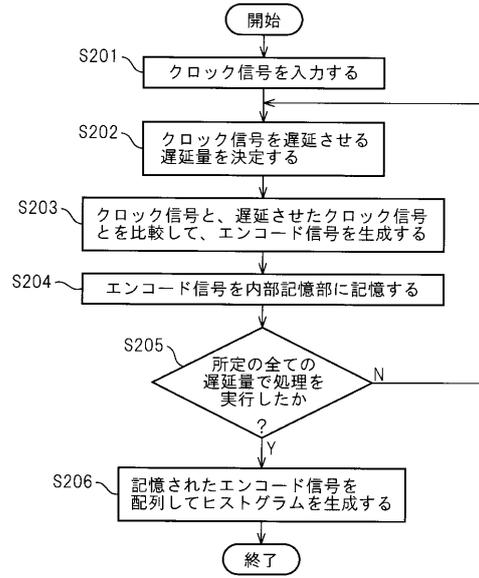
【 図 1 4 】

図14



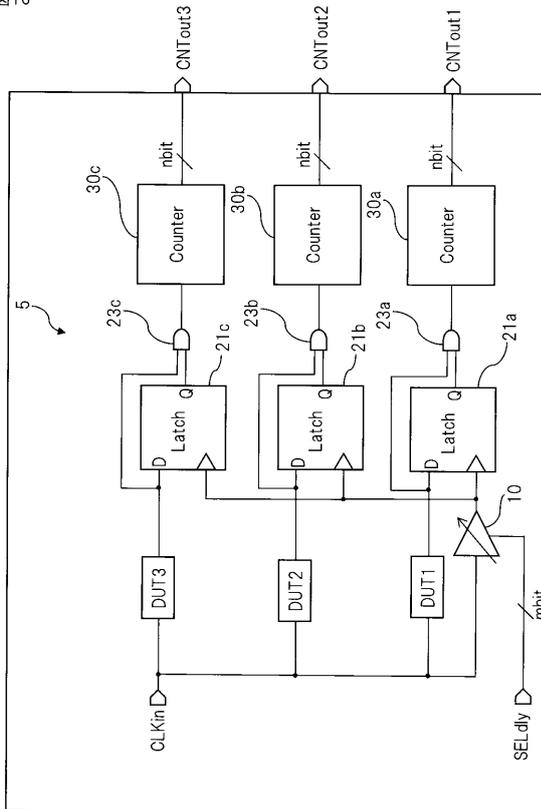
【 図 1 5 】

図15



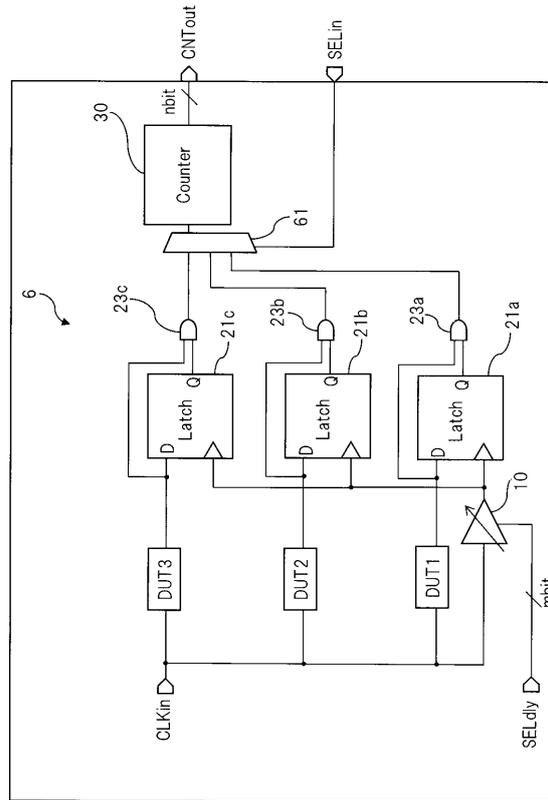
【 図 1 6 】

図16



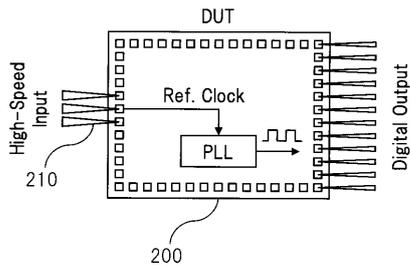
【 図 1 7 】

図17



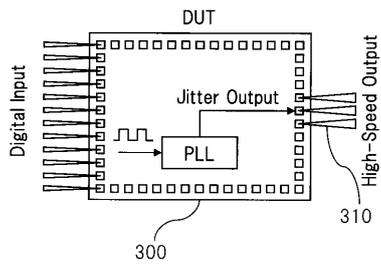
【 図 1 8 】

図18



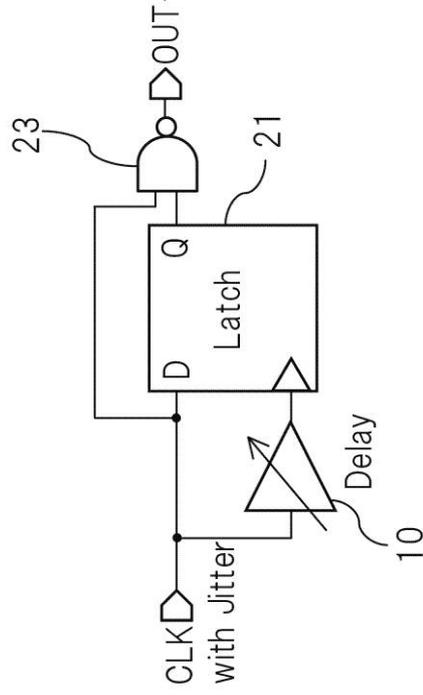
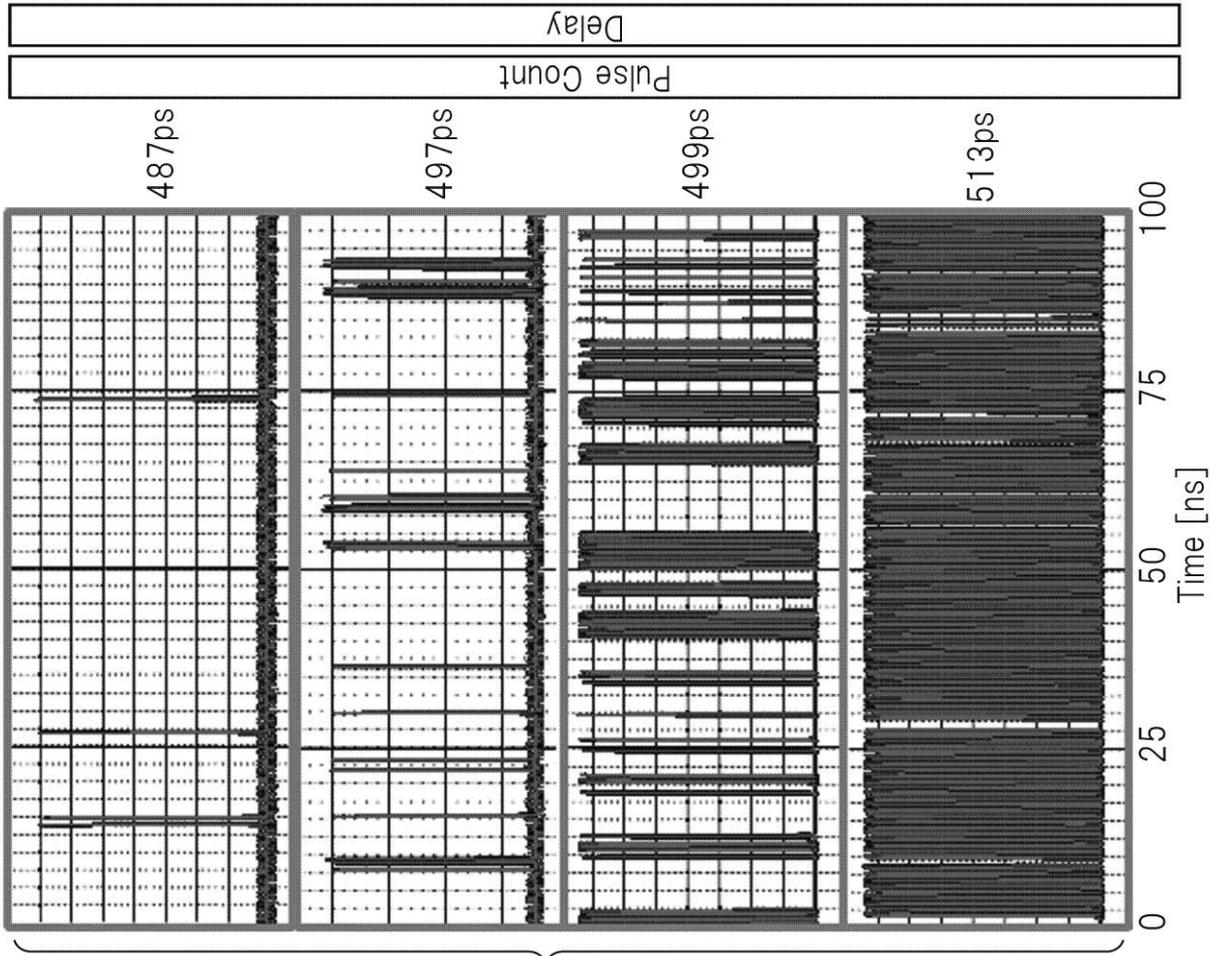
【 図 1 9 】

図19



【 9 】

6



2GHz Clock,
 100ns Simulation
 → Max. Count = 200
 @180nm CMOS

フロントページの続き

(72)発明者 新津 葵一

群馬県桐生市天神町一丁目1番5号 国立大学法人群馬大学内

(72)発明者 小林 春夫

群馬県桐生市天神町一丁目1番5号 国立大学法人群馬大学内

Fターム(参考) 2G132 AA00 AB08 AC06 AD07 AE18 AE22 AH00 AK07 AK13 AK18
AL11
5F038 CD06 CD09 DF01 DF05 DT02 DT08 DT10 DT19 EZ20