

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-70172

(P2013-70172A)

(43) 公開日 平成25年4月18日(2013.4.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 5/26 (2006.01)</b>	H03K 5/26	2F085
<b>G04F 10/04 (2006.01)</b>	G04F 10/04	5J039

審査請求 有 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2011-206258 (P2011-206258)	(71) 出願人	396023993
(22) 出願日	平成23年9月21日 (2011.9.21)		株式会社半導体理工学研究センター 神奈川県横浜市港北区新横浜 3丁目17番地2 友泉新横浜ビル6階
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100159651 弁理士 高倉 成男
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 時間差増幅回路

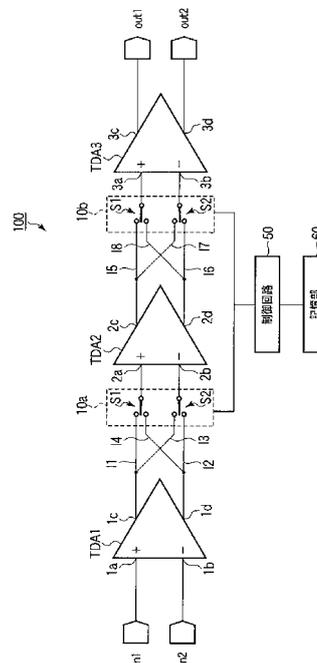
(57) 【要約】 (修正有)

【課題】 時間差増幅回路の時間差オフセットを低減する。

【解決手段】 複数の時間差増幅器が多段接続された時間差増幅回路100であって、複数の時間差増幅器は、第1の正入力端子1a、第1の負入力端子1b、第1の正出力端子1c及び第1の負出力端子1dを有する第1の時間差増幅器TDA1と、第2の正入力端子2a、第2の負入力端子2b、第2の正出力端子2c及び第2の負出力端子2dを有し、第1の時間差増幅器の出力信号が入力される第2の時間差増幅器TDA2と、第2の正入力端子2aに第1又は第4の配線I1、I2を接続させる第1の選択素子S1と、第2の負入力端子2bに第2又は第3の配線I2、I3を接続させる第2の選択素子S2を有する選択回路10aと、選択回路10aを制御する制御回路50を具備する。

【選択図】 図1

図1



## 【特許請求の範囲】

## 【請求項 1】

複数の時間差増幅器が多段接続された時間差増幅回路であって、  
 前記複数の時間差増幅器のそれぞれは、2つの入力信号の立ち上がりエッジ時間差を増幅し、2つの出力信号の立ち上がりエッジ時間差として出力し、  
 前記複数の時間差増幅器は、第1及び第2の時間差増幅器を含み、  
 第1の正入力端子、第1の負入力端子、第1の正出力端子及び第1の負出力端子を有する前記第1の時間差増幅器と、  
 第2の正入力端子、第2の負入力端子、第2の正出力端子及び第2の負出力端子を有し、前記第1の時間差増幅器の出力信号が入力される前記第2の時間差増幅器と、  
 前記第1の正出力端子と前記第2の正入力端子とを接続する第1の配線と、  
 前記第1の負出力端子と前記第2の負入力端子とを接続する第2の配線と、  
 前記第1の正出力端子と前記第2の負入力端子とを接続する第3の配線と、  
 前記第1の負出力端子と前記第2の正入力端子とを接続する第4の配線と、  
 第1の選択素子と第2の選択素子とを有し、前記第1の選択素子は前記第2の正入力端子に前記第1の配線又は前記第4の配線を接続させ、前記第2の選択素子は前記第2の負入力端子に前記第2の配線又は前記第3の配線を接続させる選択回路と、  
 前記第1の時間差増幅器と前記第2の時間差増幅器とが前記第1の配線及び前記第2の配線で接続される構成又は前記第3の配線及び前記第4の配線で接続される構成となるように、前記選択回路を制御する制御回路と、  
 を具備することを特徴とする時間差増幅回路。

10

20

## 【請求項 2】

前記第1及び第2の選択素子は、セレクタでそれぞれ構成される、ことを特徴とする請求項1に記載の時間差増幅回路。

## 【請求項 3】

前記選択回路を含む複数の選択回路をさらに具備し、  
 前記複数の選択回路は、前記複数の時間差増幅器間にそれぞれ設けられる、ことを特徴とする請求項1に記載の時間差増幅回路。

## 【請求項 4】

前記選択回路を含む複数の選択回路をさらに具備し、  
 前記複数の時間差増幅器間には、前記複数の選択回路のうちの1つの選択回路が設けられる第1の構成と前記複数の選択回路のうちの1つの選択回路が設けられない第2の構成とがある、ことを特徴とする請求項1に記載の時間差増幅回路。

30

## 【請求項 5】

前記第1及び第2の構成は、前記複数の時間差増幅器間に交互に存在する、ことを特徴とする請求項4に記載の時間差増幅回路。

## 【請求項 6】

前記複数の時間差増幅器の時間差オフセットの各テスト結果に関する情報を記憶し、前記情報に基づいた信号を前記制御回路に供給する記憶回路と、  
 をさらに具備することを特徴とする請求項1に記載の時間差増幅回路。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、多段接続型時間差増幅回路に関する。

## 【背景技術】

## 【0002】

時間差増幅器 (Time Difference Amplifier : TDA) については、2003年に原理が発表されている (非特許文献1参照)。その後、多数の研究機関において、研究開発が活発に行われ、2008年にA. A. Abidi博士のグループにより、回路実現・実シリコンでの動作が確認され、高分解能時間ディジタル回路 (Time-to-Digital Converter : T

50

DC)への適用が報告されている(非特許文献2参照)。多段接続型時間差増幅回路は、ADPLL(全デジタル位相クロックループ)内のTDC用として、非特許文献3において発表されている。

【0003】

従来技術においては、時間差増幅器を多段接続する際に配線長が短くなるように配線しており、時間差オフセットについて考慮した配線構成は検討されていなかった。そのため、時間差オフセットが大きくなってしまいう問題があった。特に、各段の時間差増幅器における時間差オフセットを大きくしてしまう配線構成(配線構成は、 $2^{(n-1)}$ だけ組合せがある。nは段数。)では、大きなオフセットが生じてしまう。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】A. M. Abas, et al., "Time difference amplifier", Electronics Letters, vol. 38, no. 23, pp. 1437-1438, Dec. 2002.

【非特許文献2】M. Lee, et al., "A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifies a time residue", IEEE JSSC, vol. 43, no. 4, pp. 769-777, Apr. 2008.

【非特許文献3】S. K. Lee, et al., "A 1 GHz ADPLL with a 1.25 ps minimum-resolution sub-exponent TDC in 0.18  $\mu$ m CMOS", IEEE JSSC, vol. 44, no. 12, pp. 2874-2881, Dec. 2010.

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、時間差オフセットを低減することが可能な多段接続型時間差増幅回路を提供する。

【課題を解決するための手段】

【0006】

本発明の一実施形態による時間差増幅回路は、複数の時間差増幅器が多段接続された時間差増幅回路であって、前記複数の時間差増幅器のそれぞれは、2つの入力信号の立ち上がりエッジ時間差を増幅し、2つの出力信号の立ち上がりエッジ時間差として出力し、前記複数の時間差増幅器は、第1及び第2の時間差増幅器を含み、第1の正入力端子、第1の負入力端子、第1の正出力端子及び第1の負出力端子を有する前記第1の時間差増幅器と、第2の正入力端子、第2の負入力端子、第2の正出力端子及び第2の負出力端子を有し、前記第1の時間差増幅器の出力信号が入力される前記第2の時間差増幅器と、前記第1の正出力端子と前記第2の正入力端子とを接続する第1の配線と、前記第1の負出力端子と前記第2の負入力端子とを接続する第2の配線と、前記第1の正出力端子と前記第2の負入力端子とを接続する第3の配線と、前記第1の負出力端子と前記第2の正入力端子とを接続する第4の配線と、第1の選択素子と第2の選択素子とを有し、前記第1の選択素子は前記第2の正入力端子に前記第1の配線又は前記第4の配線を接続させ、前記第2の選択素子は前記第2の負入力端子に前記第2の配線又は前記第3の配線を接続させる選択回路と、前記第1の時間差増幅器と前記第2の時間差増幅器とが前記第1の配線及び前記第2の配線で接続される構成又は前記第3の配線及び前記第4の配線で接続される構成となるように、前記選択回路を制御する制御回路と、を具備する。

【発明の効果】

【0007】

本発明によれば、時間差オフセットを低減することが可能な多段接続型時間差増幅回路を提供できる。

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態に係る時間差増幅回路を示す概略図。

【図 2】本発明の一実施形態に係る選択回路を示す概略図。  
 【図 3】本発明の一実施形態に係る選択素子を示す回路図。  
 【図 4】本発明の一実施形態に係る時間差増幅器を示す回路図。  
 【図 5】本発明の一実施形態に係る他の時間差増幅器を示す回路図。  
 【図 6】本発明に係る時間差増幅回路の概要を示す図。  
 【図 7】本発明に係る時間差増幅回路における時間差オフセット削減の効果を示す図。  
 【図 8】時間差増幅回路のゲイン及び時間差オフセットをモデル化した図。  
 【図 9】本発明及び従来の時間差増幅回路のトータルの時間差オフセットを示す図。  
 【図 10】本発明及び従来の時間差増幅回路の段数に対するトータルの時間差オフセットを示す図。

10

【図 11】本発明の時間差増幅回路の段数及びゲインに対するトータルの時間差オフセットの減少率を示す図。  
 【図 12】本発明及び従来の時間差増幅回路のプロセス条件毎の時間差オフセットのシミュレーション結果を示す図。

【発明を実施するための形態】

【0009】

以下、実施の形態について、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0010】

[1] 概要

20

本発明の一実施形態は、高い増幅率を得るために時間差増幅器を多段接続する際に、時間差増幅器間を直列接続（非ねじれ接続）又はねじれ接続のいずれかを選択できるようにすることで、出力の時間差オフセットを低減するものである。

【0011】

尚、ここで、直列接続（非ねじれ接続）とは、前段の時間差増幅器の正出力端子と後段の時間差増幅器の正入力端子とが接続され、かつ、前段の時間差増幅器の負出力端子と後段の時間差増幅器の負入力端子とが接続される場合を意味する。ねじれ接続とは、前段の時間差増幅器の正出力端子と後段の時間差増幅器の負入力端子とが接続され、かつ、前段の時間差増幅器の負出力端子と後段の時間差増幅器の正入力端子とが接続される場合を意味する。

30

【0012】

[2] 時間差増幅回路の構成

図 1 を用いて、本発明の一実施形態に係る時間差増幅回路について説明する。尚、本実施形態による時間差増幅回路は、例えば、汎用マイコン、通信用集積回路等、集積回路全般で使用することが可能である。

【0013】

図 1 に示すように、時間差増幅回路 100 は、多段接続された時間差増幅器 TDA1、TDA2 及び TDA3、選択回路 10a 及び 10b、制御回路 50 及び記憶部 60 を有している。

【0014】

40

時間差増幅器 TDA1、TDA2 及び TDA3 は、多段接続されている。つまり、初段の時間差増幅器 TDA1 の出力信号は、次段の時間差増幅器 TDA2 に入力され、時間差増幅器 TDA2 の出力信号は、最終段の時間差増幅器 TDA3 に入力される。各時間差増幅器 TDA1、TDA2 及び TDA3 は、2 つの入力信号の立ち上がりエッジ時間差を増幅し、2 つの出力信号の立ち上がりエッジ時間差として出力する。

【0015】

時間差増幅器 TDA1 は、正出力端子 1a 及び負入力端子 1b にそれぞれ入力された入力信号  $i_{n1}$  及び  $i_{n2}$  の立ち上がりエッジ時間差を増幅し、正出力端子 1c 及び負出力端子 1d からそれぞれ出力する。時間差増幅器 TDA2 は、正出力端子 2a 及び負入力端子 2b にそれぞれ入力された入力信号の立ち上がりエッジ時間差を増幅し、正出力端子 2

50

c 及び負出力端子 2 d からそれぞれ出力する。時間差増幅器 T D A 3 は、正出力端子 3 a 及び負入力端子 3 b にそれぞれ入力された入力信号の立ち上がりエッジ時間差を増幅し、正出力端子 3 c 及び負出力端子 3 d から出力信号 o u t 1 及び o u t 2 をそれぞれ出力する。

【 0 0 1 6 】

時間差増幅器 T D A 1 及び T D A 2 間は、配線 I 1、I 2、I 3 及び I 4 を用いて接続される。配線 I 1 は、時間差増幅器 T D A 1 の正出力端子 1 c と時間差増幅器 T D A 2 の正入力端子 2 a とを接続する。配線 I 2 は、時間差増幅器 T D A 1 の負出力端子 1 d と時間差増幅器 T D A 2 の負入力端子 2 b とを接続する。配線 I 3 は、時間差増幅器 T D A 1 の正出力端子 1 c と時間差増幅器 T D A 2 の負入力端子 2 b とを接続する。配線 I 4 は、時間差増幅器 T D A 1 の負出力端子 1 d と時間差増幅器 T D A 2 の正入力端子 2 a とを接続する。

10

【 0 0 1 7 】

同様に、時間差増幅器 T D A 2 及び T D A 3 間は、配線 I 5、I 6、I 7 及び I 8 を用いて接続されている。配線 I 5 は、時間差増幅器 T D A 2 の正出力端子 2 c と時間差増幅器 T D A 3 の正入力端子 3 a とを接続する。配線 I 6 は、時間差増幅器 T D A 2 の負出力端子 2 d と時間差増幅器 T D A 3 の負入力端子 3 b とを接続する。配線 I 7 は、時間差増幅器 T D A 2 の正出力端子 2 c と時間差増幅器 T D A 3 の負入力端子 3 b とを接続する。配線 I 8 は、時間差増幅器 T D A 2 の負出力端子 2 d と時間差増幅器 T D A 3 の正入力端子 3 a とを接続する。

20

【 0 0 1 8 】

選択回路 1 0 a 及び 1 0 b は、時間差増幅器 T D A 1 及び T D A 2 間、時間差増幅器 T D A 2 及び T D A 3 間にそれぞれ設けられている。選択回路 1 0 a は、選択素子 S 1 及び S 2 を有している。選択回路 1 0 a の選択素子 S 1 は、時間差増幅器 T D A 2 の正入力端子 2 a に、配線 I 1 及び I 4 の一方を接続させる。選択回路 1 0 a の選択素子 S 2 は、時間差増幅器 T D A 2 の負入力端子 2 b に、配線 I 2 及び I 3 の一方を接続させる。同様に、選択回路 1 0 b も、選択素子 S 1 及び S 2 を有している。選択回路 1 0 b の選択素子 S 1 は、時間差増幅器 T D A 3 の正入力端子 3 a に、配線 I 5 及び I 8 の一方を接続させる。選択回路 1 0 b の選択素子 S 2 は、時間差増幅器 T D A 3 の負入力端子 3 b に、配線 I 6 及び I 7 の一方を接続させる。

30

【 0 0 1 9 】

制御回路 5 0 は、選択回路 1 0 a 及び 1 0 b の選択素子 S 1 及び S 2 のスイッチングの制御を行う。具体的には、時間差増幅器 T D A 1 及び T D A 2 を直列接続する場合は、選択素子 S 1 により配線 I 1 を用いて端子 1 c 及び 2 a を接続し、かつ、選択素子 S 2 により配線 I 2 を用いて端子 1 d 及び 2 b を接続する。一方、時間差増幅器 T D A 1 及び T D A 2 をねじれ接続する場合は、選択素子 S 1 により配線 I 4 を用いて端子 1 d 及び 2 a を接続し、かつ、選択素子 S 2 により配線 I 3 を用いて端子 1 c 及び 2 b を接続する。同様に、選択回路 1 0 b を用いて、時間差増幅器 T D A 2 及び T D A 3 を直列接続する場合（配線 I 5 及び I 6 を用いて接続する場合）とねじれ接続する場合（配線 I 7 及び I 8 を用いて接続する場合）のいずれかが選択される。

40

【 0 0 2 0 】

記憶部 6 0 には、各段の時間差増幅器 T D A 1、T D A 2 及び T D A 3 の時間差オフセットのテスト結果に関する情報が記憶されている。記憶部 6 0 は、この情報に基づいて、時間差増幅回路 1 0 0 全体での時間差オフセットが最小になるように、各段の接続構成を直列接続にするか、ねじれ接続にするかについて判断する。そして、記憶部 6 0 は、この判断結果に応じた信号を制御回路 5 0 へ供給する。

【 0 0 2 1 】

尚、本実施形態の時間差増幅回路 1 0 0 は、上述した構成に限定されず、例えば次のように種々変更することが可能である。尚、以下に述べる変形例の時間差増幅器間の配線構成については、図 1 の時間差増幅器 T D A 1 及び T D A 2 間を例に挙げると、選択回路を

50

設ける箇所の配線構成は、配線 I 1、I 2、I 3 及び I 4 の 4 本を用いてねじれ接続及び直列接続のいずれも可能な構成になっており、選択回路を設けない箇所の配線構成は、配線 I 1 及び I 2 の 2 本を用いて直列接続のみが可能な構成になっている。

【 0 0 2 2 】

( 1 ) 多段接続する時間差増幅器 T D A 1、T D A 2 及び T D A 3 の数は、3 つに限定されず、2 つ又は 4 つ以上でもよい。

【 0 0 2 3 】

( 2 ) 図 1 の例では、選択回路 1 0 a 及び 1 0 b は、時間差増幅器 T D A 1 及び T D A 2 間、時間差増幅器 T D A 2 及び T D A 3 間にそれぞれ設けられている。つまり、時間差増幅器が n 段の場合、選択回路の数は n - 1 となり、選択回路の数 : 時間差増幅器間の数 = 1 : 1 の関係になっている。しかし、本実施形態では、多段接続された時間差増幅器間の全てに、選択回路をそれぞれ設ける構成に限定されない。

10

【 0 0 2 4 】

例えば、図 1 の選択回路 1 0 a を無くし、2 つの時間差増幅器 T D A 1 及び T D A 2 に対して 1 つの選択回路 1 0 b が用いられるように変更してもよい。つまり、選択回路の数 : 時間差増幅器間の数 = 1 : 2 の関係にし、時間差増幅器間は選択回路がある構成と選択回路がない構成とが交互になるようにしてもよい。但し、時間差増幅器間において、選択回路がある構成と選択回路がない構成とが必ずしも交互になる必要はない。

【 0 0 2 5 】

また、選択回路の数と時間差増幅器間の数とは、1 対 3 以上であってもよい。この場合、時間差増幅器間において、選択回路がある構成と選択回路がない構成とは、規則的な順で設けられてもよいし、不規則的な順で設けられてもよい。後者の場合、初段に近い時間差増幅器間よりも最終段に近い時間差増幅器間の方に、より多く選択回路を配置してもよい。この場合、時間差増幅回路全体の時間差オフセットを最小にするための調整がし易いからである。

20

【 0 0 2 6 】

また、選択回路は、多段接続された時間差増幅器の全てに対して 1 つ設けられてもよい。この場合、1 つの選択回路は、例えば、最終段の時間差増幅器と最終段の 1 つ前の時間差増幅器との間や、最終段の時間差増幅器の出力側に設けてもよい。

【 0 0 2 7 】

さらに、図 1 では、選択回路 1 0 a 及び 1 0 b は、時間差増幅器 T D A 1 及び T D A 2 間、時間差増幅器 T D A 2 及び T D A 3 間にそれぞれ配置されるように図示されているが、選択回路は、時間差増幅器間に物理的に配置されることに限定されない。つまり、選択回路は、時間差増幅器間から配線を引き回すことで、例えば制御回路 5 0 の近辺等に物理的に配置することも可能である。この場合、1 つの選択回路を、多段接続された複数の時間差増幅器で共有して使用できる構成にすることも可能である。

30

【 0 0 2 8 】

( 3 ) 各段の時間差増幅器 T D A 1、T D A 2 及び T D A 3 の接続構成の判断は、記憶部 6 0 で行われることに限定されない。例えば、時間差増幅回路 1 0 0 の外部回路で判断され、その結果が記憶部 6 0 又は制御回路 5 0 内に格納されるようにしてもよい。また、このような判断は、制御回路 5 0 で行われてもよい。さらに、記憶部 6 0 は、時間差増幅回路 1 0 0 内に設けなくてもよい。

40

【 0 0 2 9 】

[ 3 ] 選択回路

図 2 及び図 3 を用いて、本発明の一実施形態に係る選択回路について説明する。尚、損実施形態の選択回路は、図 2 及び図 3 の構成に限定されず、種々変更可能である。

【 0 0 3 0 】

図 2 に示すように、選択回路 1 0 a 及び 1 0 b は、例えば、2 つのセレクタ 1 1 及び 1 2 でそれぞれ構成されてもよい。

【 0 0 3 1 】

50

図 3 に示すように、セクタ 1 1 は、NAND ゲート 1 3 及び 1 4、インバータ 1 5 及び 1 6 を有している。このセクタ 1 1 の制御は、図 1 の制御回路 5 0 により供給される信号 SEL によって行われる。

【 0 0 3 2 】

NAND ゲート 1 3 の一方の入力端子には、配線 I 1 により、前段の正出力端子 1 c が接続されている。NAND ゲート 1 3 の他方の入力端子には、図 1 の制御回路 5 0 から供給される信号 SEL が入力される。

【 0 0 3 3 】

NAND ゲート 1 4 の一方の入力端子には、配線 I 4 により、前段の正出力端子 1 d が接続されている。NAND ゲート 1 4 の他方の入力端子には、図 1 の制御回路 5 0 から供給される信号 SEL がインバータ 1 5 を介して入力される。

10

【 0 0 3 4 】

NAND ゲート 1 3 及び 1 4 の出力端子は、インバータ 1 6 の入力端子に接続され、インバータ 1 6 の出力端子は、次段の正入力端子 2 a に接続される。

【 0 0 3 5 】

[ 4 ] 時間差増幅器

図 4 及び図 5 を用いて、本発明の一実施形態に係る時間差増幅器の回路構成について説明する。

【 0 0 3 6 】

時間差増幅器 TDA の回路構成としては、NAND 型 SR ラッチのメタスタビリティを利用するもの（オープンループ TDA）と、可変遅延セルをクロスカップル接続する構成のもの（クローズドループ TDA）とがある。前者のオープンループ TDA は、標準ロジックのみで構成できるため、小面積で設計可能であるという利点がある。一方、後者のクローズドループ TDA は、フィードバック制御を用いて PVT（Process Voltage Temperature）ばらつきに強いという利点がある。本実施形態では、時間差増幅器 TDA としてオープンループ TDA を用いた場合を例示するが、クローズドループ TDA を用いることも可能である。

20

【 0 0 3 7 】

図 4 に示すように、時間差増幅器 TDA は、遅延時間  $T_{off}$  を作る遅延回路 2 1 及び 2 2、NAND 型 SR ラッチ回路 2 3 及び 2 4、XOR ゲート 2 5 及び 2 6、キャパシタ 2 7、2 8、2 9 及び 3 0 を含んで構成されている。

30

【 0 0 3 8 】

NAND 型 SR ラッチ回路 2 3 は、NAND ゲート 3 1 及び 3 2 が循環接続された構成を有している。NAND ゲート 3 1 の一方の入力がセット入力 S となり、NAND ゲート 3 2 の一方の入力がリセット入力 R となる。ここで、セット入力 S は、遅延回路 2 1 の出力であり、リセット入力 R は、時間差増幅器 TDA の入力  $i_{n2}$  である。

【 0 0 3 9 】

NAND 型 SR ラッチ回路 2 4 は、NAND ゲート 3 3 及び 3 4 が循環接続された構成を有している。NAND ゲート 3 3 の一方の入力がリセット入力 R となり、NAND ゲート 3 4 の一方の入力がセット入力 S となる。ここで、セット入力 S は、遅延回路 2 2 の出力であり、リセット入力 R は、時間差増幅器 TDA の入力  $i_{n1}$  である。

40

【 0 0 4 0 】

XOR ゲート 2 5 は、NAND ゲート 3 1 の出力信号と NAND ゲート 3 2 の出力信号とを比較し、信号  $out_2$  を出力する。XOR ゲート 2 6 は、NAND ゲート 3 3 の出力信号と NAND ゲート 3 4 の出力信号とを比較し、信号  $out_1$  を出力する。

【 0 0 4 1 】

キャパシタ 2 7 は、一端がグラウンドに接続され、他端が XOR ゲート 2 5 の一方の入力に接続される。キャパシタ 2 8 は、一端がグラウンドに接続され、他端が XOR ゲート 2 5 の他方の入力に接続される。キャパシタ 2 9 は、一端がグラウンドに接続され、他端が XOR ゲート 2 6 の一方の入力に接続される。キャパシタ 3 0 は、一端がグラウンドに接続され

50

、他端がXORゲート26の他方の入力に接続される。

【0042】

このような回路構成による時間差増幅器TDAでは、入力信号 $i_{n1}$ 及び $i_{n2}$ の立ち上がりエッジ時間がほぼ同じ場合、NAND型SRラッチ回路23及び24の出力が準安定状態になり、そこからの回復時間が入力信号の立ち上がりエッジ時間差に比例するという特性を利用する。

【0043】

尚、本実施形態に係る時間差増幅器TDAは、図4の構成に限定されず、例えば、図5の構成に変更することも可能である。

【0044】

図5の時間差増幅器TDAでは、入力側の遅延回路21及び22の遅延時間 $T_{off}$ は、インバータチェーンによって実現している。つまり、遅延回路21は、チェーン接続された2つのインバータ35及び36で構成され、遅延回路22は、チェーン接続された2つのインバータ37及び38で構成されている。

【0045】

また、図5の時間差増幅器TDAでは、出力側のXORゲート25及び26は、NAND型SRラッチ回路23及び24が順安定状態に陥った時に、出力が不安定にならないように構成している。具体的には、XORゲート25は、インバータ39及び40、ORゲート43を有している。XORゲート26は、インバータ41及び42、ORゲート44を有している。

【0046】

尚、図5の時間差増幅器TDAにおいて、遅延回路21及び22のインバータチェーンは、2つのインバータで構成されているが、インバータの数はこれに限定されず、3つ以上であっても勿論よい。インバータの数が多くなるほど、遅延時間 $T_{off}$ は大きくなる。

【0047】

また、図4の時間差増幅器TDAにおいて、図5の遅延回路21及び22に変更したり、図5のXORゲート25及び26に変更したりすることも可能である。

【0048】

[5]効果

図6乃至図12を用いて、本実施形態における多段接続型時間差増幅回路の効果について説明する。

【0049】

本実施形態の多段接続型時間差増幅回路100では、時間差増幅器TDA間の配線構成は、選択回路により、直列接続又はねじれ接続できるようになっている。

【0050】

本実施形態では、各段の時間差増幅器TDAにおける特性（時間差オフセットの正負）をテストし、このテスト結果に基づいて、トータルの時間差オフセットが最小となるように、時間差増幅器TDA間の配線を直列接続又はねじれ接続に再構成する（図6参照）。尚、テスト時間を削減するために、各段の特性テストは並列処理してもよい。

【0051】

従来が多段接続型時間差増幅回路では、図7(a)に示すように、本実施形態のようなねじれ接続で配線が構成されていない。このため、時間差オフセットは大きく、可変遅延も大きく、コストも高くなっていた。これに対し、本実施形態の多段接続型時間差増幅回路100では、図7(b)に示すように、特性テスト及び配線の再構成を行う。このため、時間差オフセットは小さく、可変遅延も小さくなり、コストも低減できる。このような本実施形態による時間差オフセットの削減については、以下に詳説する。

【0052】

図8に示すように、時間差増幅器TDAの特性をモデル化する。時間差増幅器TDAのゲインを、オフセットを（ $> 0$ ）とする場合、入力信号 $i_{n1}$ 及び $i_{n2}$ の立ち上

10

20

30

40

50

がりエッジ時間差  $T_{IN}$  と出力信号  $out\ 1$  及び  $out\ 2$  の立ち上がりエッジ時間差  $T_{OUT}$  には、以下の式 (1) の関係がある。

【0053】

$$T_{OUT} = T_{IN} + \dots (1)$$

多段接続した時間差増幅器 TDA の時間差オフセットは、図 9 (a) 及び (b) のように数学的に表現することができる。

【0054】

図 9 (a) に示すように、従来技術による  $n$  段非ねじれ接続型時間差増幅器のトータル時間差オフセット  $T_{TOTAL}$  は、以下の式 (2) のように表される。

【0055】

$$T_{TOTAL} = (t_{n-1} + t_{n-2} + \dots + t_2 + t_1) \dots (2)$$

この式 (2) から分かるように、従来技術のオフセット  $T_{TOTAL}$  は、時間差増幅器の段数の増加に伴い増加する。

【0056】

一方、図 9 (b) に示すように、本実施形態による  $n$  段ねじれ接続型時間差増幅器 100 のトータル時間差オフセット  $'T_{TOTAL}$  は、以下の式 (3) のように表される。

【0057】

$$'T_{TOTAL} = (t_{n-1} - t_{n-2} - \dots - t_2 - t_1) \dots (3)$$

式 (3) から分かるように、本実施形態では、時間差増幅器 TDA の段数が増加しても大幅な時間差オフセットの削減が可能である。

【0058】

具体的には、図 10 に示すように、本実施形態のねじれ接続型時間差増幅器 100 は、従来技術の非ねじれ接続型時間差増幅器よりも、時間差増幅器 TDA の段数が増加するに従って、トータルの時間差オフセットを低減することができている。また、図 11 に示すように、本実施形態のトータル時間差オフセットの減少率は、1 段あたりのゲイン 2 ~ 4 のいずれの場合も、時間差増幅器 TDA の段数が増加するに従って高まることが分かる。

【0059】

図 12 (a) 及び (b) は、従来技術と本実施形態の 4 段接続の時間差増幅回路における 3 つのタイプのトータル時間差オフセットのシミュレーション結果を示している。3 つのタイプとは、FF (ゲイン/段 = 3.64)、TT (ゲイン/段 = 3.37)、SS (ゲイン/段 = 2.93) である。

【0060】

従来技術と本実施形態のトータル時間差オフセットを比較すると、FF タイプの場合は 636.0 ps から 285.7 ps (55.1% の削減)、TT タイプの場合は 28.8 ps から 11.6 ps (58.8% の削減)、SS タイプの場合は 238.1 ps から 93.5 ps (61.0% の削減) に、トータル時間差オフセットを大幅に削減できていることが分かる。上記の式 (2) 及び (3) による計算結果も、FF タイプは 54.1%、TT タイプは 58.2%、SS タイプは 66.4% となり、このシミュレーションとほぼ等しい結果となっている。

【0061】

以上のように、本実施形態では、多段接続型時間差増幅回路 100 を集積回路等に搭載する際に、各段の時間差増幅器 TDA の時間差オフセットをテストし、このテスト結果を基にして多段接続型時間差増幅回路 100 のトータルの時間差オフセットが最小になるように、ねじれ構成に配線を組み換える。このような本構成を用いることにより、出力時間オフセットを最小化することが可能となる。

【0062】

また、時間差オフセットの生じる傾向が予め分かっている場合 (例えば、製造ばらつきの傾向が分かっており、構成素子の配置関係から予測できる場合) には、テスト前から配線をねじれ構成にすることで時間差オフセットを最小化できる。

【0063】

10

20

30

40

50

尚、本発明の実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

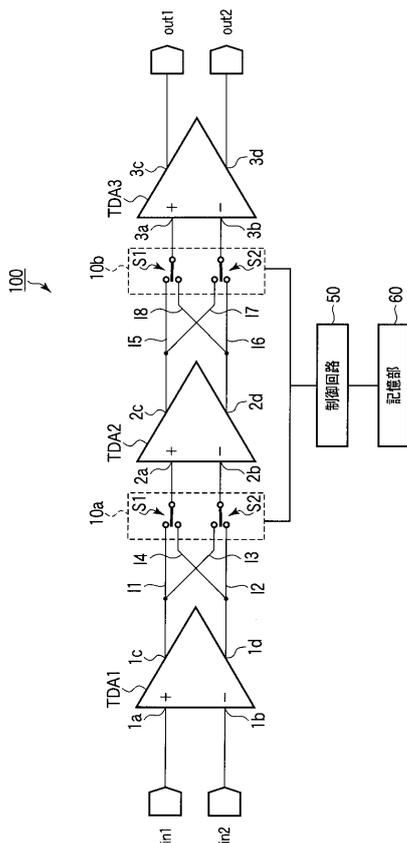
【0064】

10 a、10 b ... 選択回路、11、12 ... セレクタ、13、14、31、32、33、34 ... NANDゲート、15、16、35、36、37、38、39、40、41、42 ... インバータ、21、22 ... 遅延回路、23、24 ... NAND型SRラッチ回路、25、26 ... XORゲート、27、28、29、30 ... キャパシタ、50 ... 制御回路、60 ... 記憶部、100 ... 時間差増幅回路、TDA ... 時間差増幅器、I1 ~ I8 ... 配線、S1、S2 ... 選択素子。

10

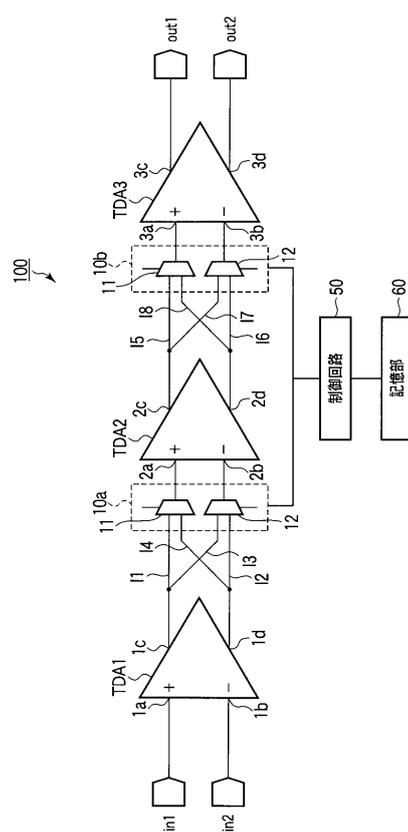
【図1】

図1

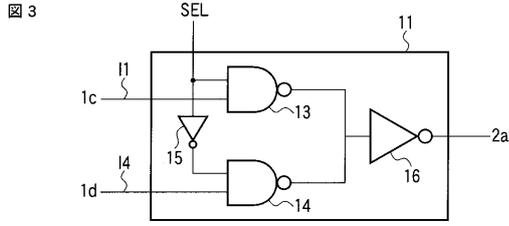


【図2】

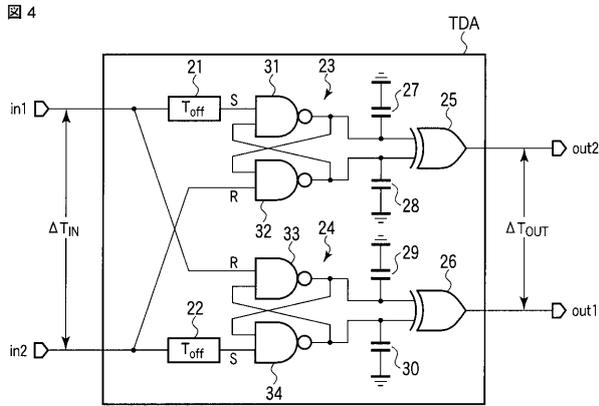
図2



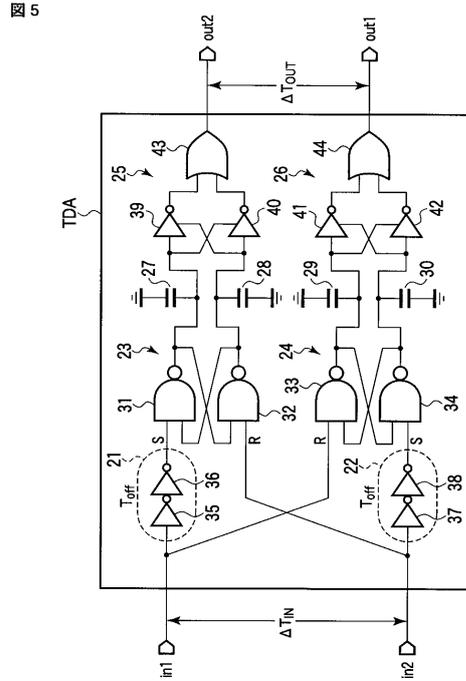
【 図 3 】



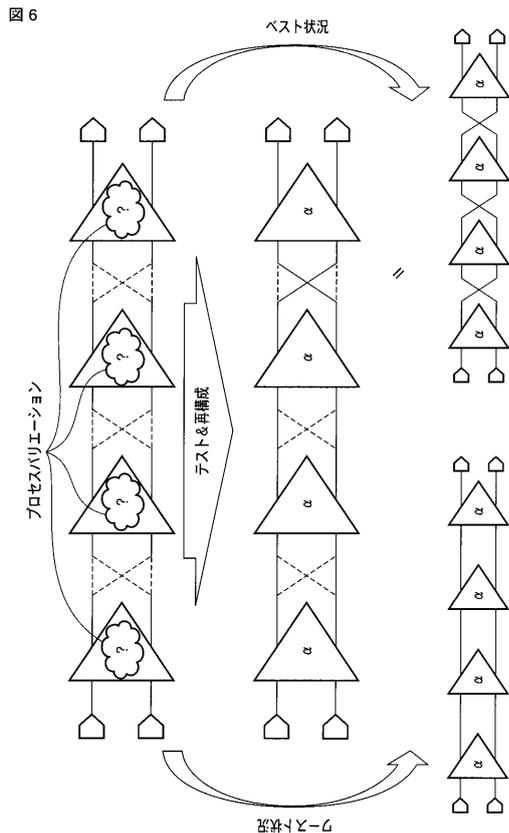
【 図 4 】



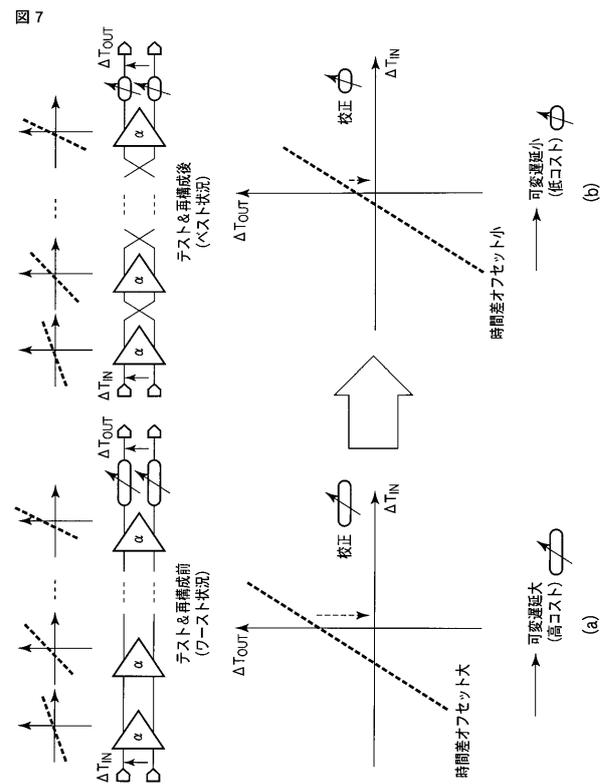
【 図 5 】



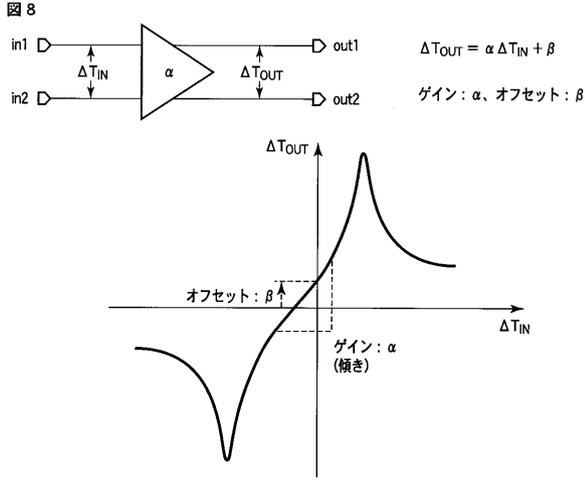
【 図 6 】



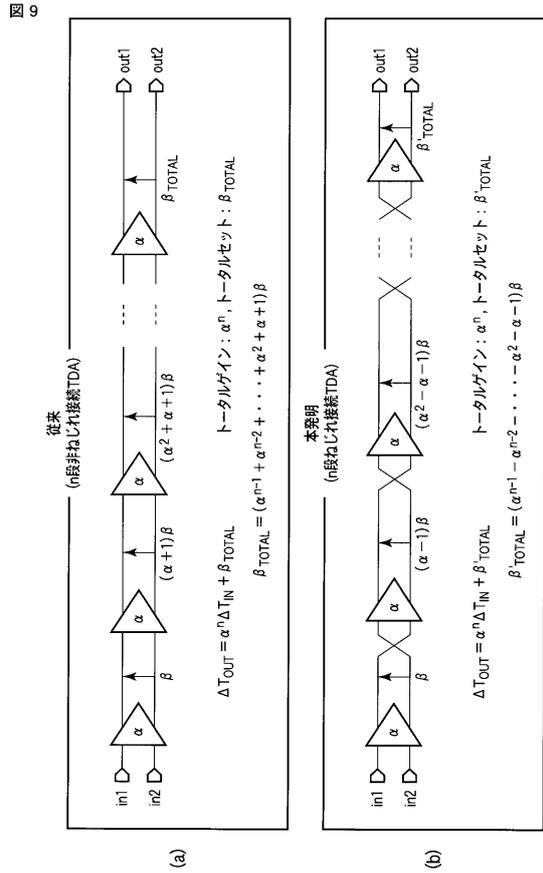
【 図 7 】



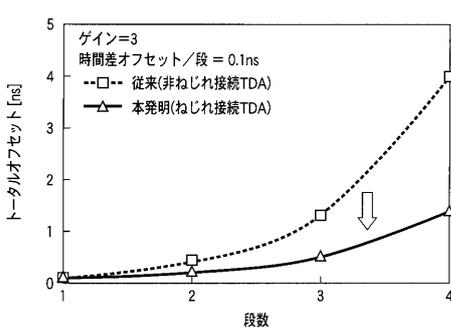
【 図 8 】



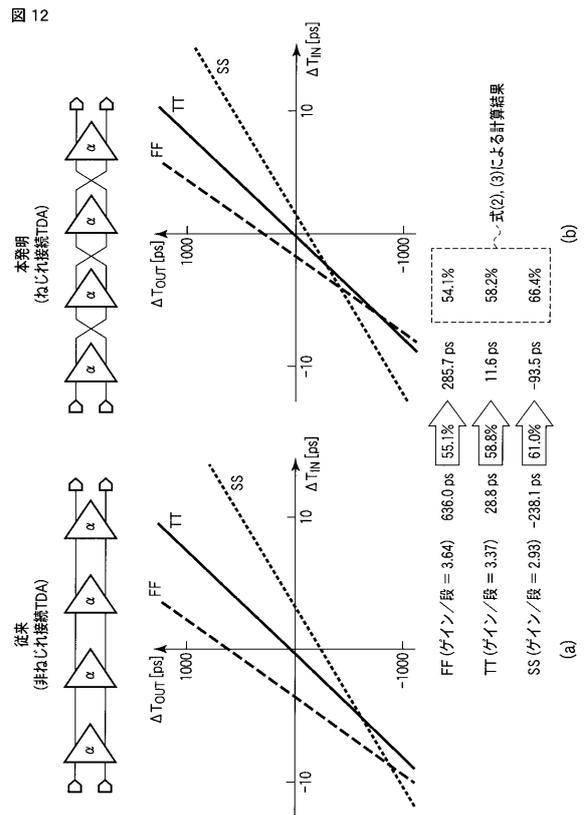
【 図 9 】



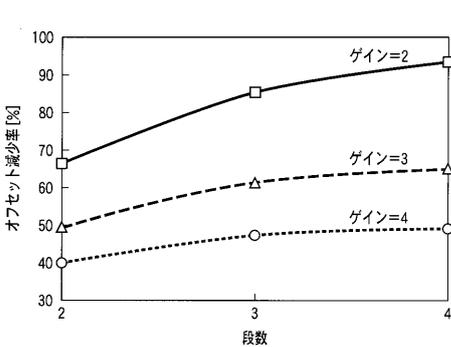
【 図 10 】



【 図 12 】



【 図 11 】



## フロントページの続き

- (74)代理人 100075672  
弁理士 峰 隆司
- (74)代理人 100095441  
弁理士 白根 俊郎
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (72)発明者 新津 葵一  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 針谷 尚裕  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 櫻井 正人  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- (72)発明者 小林 春夫  
群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内
- Fターム(参考) 2F085 AA05 CC10 FF17 GG11 GG24  
5J039 JJ07 JJ14 JJ20 KK05 KK11 KK13 KK29 MM00