

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-102638

(P2013-102638A)

(43) 公開日 平成25年5月23日(2013.5.23)

(51) Int.Cl. F I テーマコード (参考)  
 HO2M 3/155 (2006.01) HO2M 3/155 H 5H730

審査請求 未請求 請求項の数 23 O L (全 46 頁)

(21) 出願番号	特願2011-245464 (P2011-245464)	(71) 出願人	504145364 国立大学法人群馬大学 群馬県前橋市荒牧町四丁目2番地
(22) 出願日	平成23年11月9日(2011.11.9)	(71) 出願人	303046277 旭化成エレクトロニクス株式会社 東京都千代田区神田神保町一丁目105番地
		(74) 代理人	110001243 特許業務法人 谷・阿部特許事務所
		(72) 発明者	高 虹 群馬県桐生市天神町一丁目5番1号 国立 大学法人群馬大学内
		(72) 発明者	美和 俊介 群馬県桐生市天神町一丁目5番1号 国立 大学法人群馬大学内

最終頁に続く

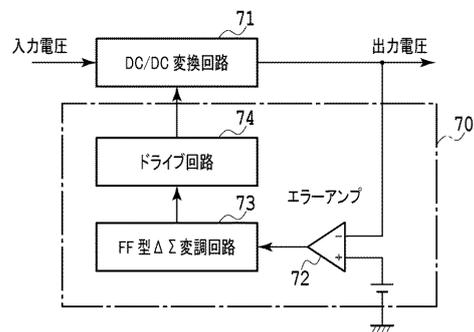
(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】フィードフォワード型 変調制御を用いたDC/DC変換回路を備えてさらなる早い応答速度を実現するスイッチング電源回路を得ること。

【解決手段】DC/DC変換回路71と制御回路70とから構成され、制御回路70は、エラーアンプ72とFF型変調回路73とドライブ回路74とから構成されている。入力電圧がDC/DC変換回路71に入力されると、その出力電圧がエラーアンプ72とFF型変調回路73とドライブ回路74を介して変調制御され、DC/DC変換回路71から出力電圧を得る。この変調制御は、入力信号に比例して出力のパルス密度が変化する。

【選択図】 図12



## 【特許請求の範囲】

## 【請求項 1】

変調回路により DC / DC 変換回路を制御するスイッチング電源回路において、  
 入力信号を出力信号に変換する DC / DC 変換回路と、  
 該 DC / DC 変換回路の前記出力信号を入力し、該 DC / DC 変換回路を制御するフィードフォワード型 変調回路と  
 を備えていることを特徴とするスイッチング電源回路。

## 【請求項 2】

前記フィードフォワード型 変調回路は、離散時間フィードフォワード型 変調回路であることを特徴とする請求項 1 に記載のスイッチング電源回路。

10

## 【請求項 3】

前記フィードフォワード型 変調回路の信号伝達関数が 1 であり、該フィードフォワード型 変調回路より出力されるパルス密度変調信号に遅延がなく、該遅延に起因する出力電圧波形のリプルが低減されることを特徴とする請求項 2 に記載のスイッチング電源回路。

## 【請求項 4】

前記 DC / DC 変換回路の出力電圧に対応する分圧電圧との差分を増幅した誤差信号を前記フィードフォワード型 変調回路に出力するエラーアンプと、前記フィードフォワード型 変調回路より出力されたパルス密度変調信号が入力されるドライブ回路とを備えていることを特徴とする請求項 2 又は 3 に記載のスイッチング電源回路。

20

## 【請求項 5】

前記フィードフォワード型 変調回路の次数が 1 次であることを特徴とする請求項 2 , 3 又は 4 に記載のスイッチング電源回路。

## 【請求項 6】

前記フィードフォワード型 変調回路が、低い周波数の入力アナログ信号を通過させる積分器と、該積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記積分器にフィードバックするデジタル / アナログ変換回路と、前記入力アナログ信号から前記デジタル / アナログ変換回路から出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させるフィードフォワードパスとを備えていることを特徴とする請求項 5 に記載のスイッチング電源回路。

30

## 【請求項 7】

前記減算器が、第 1 のスイッチを備え、前記入力アナログ信号と前記出力デジタル信号をデジタル / アナログ変換した信号との差分をとり、

前記積分器が、第 2 のスイッチと容量と第 1 の演算増幅器とを備え、前記差分を積分した差分積分信号を出力し、

前記加算器が、前記入力アナログ信号がフィードフォワードパスにより入力される第 1 の抵抗と前記積分器の出力が入力される第 2 の抵抗と第 2 の演算増幅器と帰還抵抗とを備え、

前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、

40

前記デジタル / アナログ変換回路が、2 つの基準信号を選択する 2 つの第 3 のスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記第 3 のスイッチにより選択し、前記出力デジタル信号をデジタル / アナログ変換した信号を生成するものであることを特徴とする請求項 6 に記載のスイッチング電源回路。

## 【請求項 8】

前記フィードフォワード型 変調回路の次数が 2 次であることを特徴とする請求項 2 , 3 又は 4 に記載のスイッチング電源回路。

## 【請求項 9】

50

前記フィードフォワード型 変調回路が、低い周波数の入力アナログ信号を通過させる 1 段目の積分器と、該 1 段目の積分器の出力側に接続された 2 段目の積分器と、該 2 段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記 1 段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第 1 のフィードフォワードパスと、前記 1 段目の積分器からの出力信号を前記加算器に直接入力する第 2 のフィードフォワードパスとを備えていることを特徴とする請求項 8 に記載のスイッチング電源回路。

10

【請求項 10】

前記減算器が、第 1 のスイッチを備え、前記入力アナログ信号と前記出力デジタル信号をデジタル/アナログ変換した信号との差分をとり、

前記 1 段目の積分器が、第 2 のスイッチと第 1 の容量と第 1 の演算増幅器とを含み、前記差分を積分した差分積分信号を出力し、

前記 1 段目の積分器が、第 3 のスイッチと第 2 の容量と第 2 の演算増幅器とを含み、前記 1 段目の積分器の出力を積分し、

前記加算器が、前記入力アナログ信号が第 1 のフィードフォワードパスより入力される第 1 の抵抗と前記 1 段目の積分器の出力が第 2 のフィードフォワードパスより入力される第 2 の抵抗と前記 2 段目の積分器の出力が入力される第 3 の抵抗と第 3 の演算増幅器と帰還抵抗とを備え、

20

前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、

前記デジタル/アナログ変換回路が、2つの基準信号を選択する2つの第4のスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記第4のスイッチにより選択し、前記出力デジタル信号をデジタル/アナログ変換した信号を生成することを特徴とする請求項9に記載のスイッチング電源回路。

【請求項 11】

前記フィードフォワード型 変調回路の次数が  $N$  次 ( $N$  は 3 以上の整数) であることを特徴とする請求項 2, 3 又は 4 に記載のスイッチング電源回路。

30

【請求項 12】

前記フィードフォワード型 変調回路が、1 段目から  $N$  段目までカスケード接続される 1 段目乃至  $N$  段目の積分器と、該  $N$  段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記 1 段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第 1 のフィードフォワードパスと、前記 1 段目の積分器から前記  $N - 1$  段目までの出力信号を前記加算器に直接入力する第 2 乃至第  $N$  のフィードフォワードパスとを備えていることを特徴とする請求項 11 に記載のスイッチング電源回路。

40

【請求項 13】

前記フィードフォワード型 変調回路は、連続時間フィードフォワード型 変調回路であることを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 14】

前記フィードフォワード型 変調回路の信号伝達関数が 1 を含み、該フィードフォワード型 変調回路より出力されるパルス密度変調信号に遅延が小さく、応答速度が早いことを特徴とする請求項 13 に記載のスイッチング電源回路。

【請求項 15】

前記 DC / DC 変換回路の出力電圧に対応する分圧電圧との差分を増幅した誤差信号を

50

前記フィードフォワード型 変調回路に出力するエラーアンプと、前記フィードフォワード型 変調回路より出力されたパルス密度変調信号が入力されるドライブ回路とを備えていることを特徴とする請求項 13 又は 14 に記載のスイッチング電源回路。

【請求項 16】

前記フィードフォワード型 変調回路の次数が 1 次であることを特徴とする請求項 13, 14 又は 15 に記載のスイッチング電源回路。

【請求項 17】

前記フィードフォワード型 変調回路が、低い周波数の入力アナログ信号を通過させる積分器と、該積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路から出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させるフィードフォワードパスとを備えていることを特徴とする請求項 16 に記載のスイッチング電源回路。

10

【請求項 18】

前記減算器が、第 1 及び第 2 の抵抗を備え、前記入力アナログ信号と前記出力デジタル信号をデジタル/アナログ変換した信号との差分をとり、

前記積分器が、容量と第 1 の演算増幅器とを備え、前記差分を積分した差分積分信号を出力し、

前記加算器が、前記入力アナログ信号が前記フィードフォワードパスにより入力される第 3 の抵抗と前記積分器の出力が入力される第 4 の抵抗と第 2 の演算増幅器と帰還抵抗とを備え、

20

前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、

前記デジタル/アナログ変換回路が、2つの基準信号を選択する2つのスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記スイッチにより選択し、前記出力デジタル信号をデジタル/アナログ変換した信号を生成するものであることを特徴とする請求項 17 に記載のスイッチング電源回路。

【請求項 19】

前記フィードフォワード型 変調回路の次数が 2 次であることを特徴とする請求項 13, 14 又は 15 に記載のスイッチング電源回路。

30

【請求項 20】

前記フィードフォワード型 変調回路が、低い周波数の入力アナログ信号を通過させる 1 段目の積分器と、該 1 段目の積分器の出力側に接続された 2 段目の積分器と、該 2 段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記 1 段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第 1 のフィードフォワードパスと、前記 1 段目の積分器からの出力信号を前記加算器に直接入力する第 2 のフィードフォワードパスとを備えていることを特徴とする請求項 19 に記載のスイッチング電源回路。

40

【請求項 21】

前記減算器が、第 1 及び第 2 の抵抗を備え、前記入力アナログ信号と前記出力デジタル信号をデジタル/アナログ変換した信号との差分をとり、

前記 1 段目の積分器が、第 1 の容量と第 1 の演算増幅器とを含み、前記差分を積分した差分積分信号を出力し、

前記 2 段目の積分器が、第 2 の容量と第 2 の演算増幅器とを含み、前記 1 段目の積分器の出力を積分し、

50

前記加算器が、前記入力アナログ信号が第 1 のフィードフォワードパスより入力される第 3 の抵抗と前記 1 段目の積分器の出力が第 2 のフィードフォワードパスより入力される第 4 の抵抗と前記 2 段目の積分器の出力が入力される第 5 の抵抗と第 3 の演算増幅器と帰還抵抗とを備え、

前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、

前記デジタル/アナログ変換回路が、2つの基準信号を選択する2つのスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記スイッチにより選択し、前記出力デジタル信号をデジタル/アナログ変換した信号を生成することを特徴とする請求項 20 に記載のスイッチング電源回路。

10

#### 【請求項 22】

前記フィードフォワード型 変調回路の次数が  $N$  次 ( $N$  は 3 以上の整数) であることを特徴とする請求項 13, 14 又は 15 に記載のスイッチング電源回路。

#### 【請求項 23】

前記フィードフォワード型 変調回路が、1 段目から  $N$  段目までカスケード接続される 1 段目乃至  $N$  段目の積分器と、該  $N$  段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記 1 段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第 1 のフィードフォワードパスと、前記 1 段目の積分器から前記  $N - 1$  段目までの出力信号を前記加算器に直接入力する第 2 乃至第  $N$  のフィードフォワードパスとを備えていることを特徴とする請求項 22 に記載のスイッチング電源回路。

20

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、スイッチング電源回路に関し、より詳細には、フィードフォワード型 変調制御を用いた DC/DC 変換回路を備えてさらなる早い応答速度を実現するようにしたスイッチング電源回路に関する。

30

#### 【背景技術】

#### 【0002】

近年の電子機器は、小型でありながらも高性能化や多機能化が進んでおり、これらの電子機器の電源は、入力電圧変動及び負荷変動などの外乱に対する高い出力電圧安定性や高速な電圧変調などといった高い性能が求められている。従来から知られているスイッチング電源装置として、PWM (Pulse Width Modulation; パルス幅変調) 制御による DC/DC コンバータを用いたものがある。この PWM 制御による DC/DC コンバータは、入力電圧を降圧又は昇圧するためのスイッチング素子やインダクタを含み、パルス幅が入力信号に比例した PWM 信号によりスイッチング素子のオンオフを制御する PWM 変調器を備えている。

40

#### 【0003】

また、この PWM 制御による DC/DC コンバータは、入力信号が変化したとき、出力電圧が所望の電圧に到達するまでの時間が長く、つまり、応答速度が遅いことが知られている。この PWM 制御に代えて、応答速度が速いスイッチング電源装置として、(デルタ・シグマ) 変調信号によりスイッチング素子のオンオフを制御する 変調器を備えた DC/DC コンバータが知られている(例えば、特許文献 1 参照)。

#### 【0004】

変調は、アナログ信号をデジタル符号に変換する際に、高速で標本化した量子化雑音のパワースペクトル密度 (PSD) 分布の形状を整形して通過帯域のダイナミックレンジを向上させるようにしたものである。つまり、一般的に 変調器は、積分器と量子化

50

器とフィードバック回路とから構成されている。この種の変調器は、入力信号の大きさによってパルス頻度を変化させているが、帰還ループのもつ伝達特性は、ノイズシェーピング特性を有しているので変調を用いない超高速標本化の場合はパルス密度変調とはいえない。また、ノイズシェイパーそのものは、実際の回路では、帰還ループは多重帰還回路となり、量子化信号が積分されず直接信号にフィードバックされるので変調に比べ急激な信号の変化に対する応答が速く、伝送の途中で誤りがあっても、その悪影響度合いは少ないという利点を有する。

#### 【 0 0 0 5 】

変調を用いたDC/DCコンバータは、電源の出力に応じてスイッチング周波数が変化する性質があり、この特徴を生かして電源の設計をすることで、スイッチング電源の出力状態に変化のない定常状態のときには、スイッチング電源のスイッチング周波数が低くなってスイッチングロスが低減される。一方、電源の出力が変化する過渡状態のとき、スイッチング電源のスイッチング周波数が高くなって負荷や出力電圧の急激な変化に対して高速な応答が可能となるといった動作が可能となる。

10

#### 【 0 0 0 6 】

また、特に軽負荷時にスイッチング周波数が低下して電源効率が高くなる特徴がある。近年の電子機器・装置、例えば、ファクシミリ、電話機、コピー機、その他OA機器や家電製品などは、本来の動作時以外の待機時にも電源を供給する必要のあるものが増えてきている。このような電子機器の低消費電力化に対しても変調方式のスイッチング電源は有効である。

20

#### 【 0 0 0 7 】

図1は、従来のフィードバック(FB)型変調器を用いたスイッチング電源を示す構成回路図で、特許文献1に記載されたものである。FB型変調回路1に入力される誤差増幅器16の出力電圧は、差分積分器2に入力される。差分積分器2は、誤差増幅器16の出力と基準信号23の差を積分した信号を出力する。差分積分器2の出力信号は比較器5へ入力される。比較器5とDフリップフロップ17とサンプリングCLK13は、差分積分器2の出力電圧を1ビット量子化する量子化器14を構成している。比較器5は、量子化基準信号24を基準に差分積分器2の出力電圧のレベルを判定し、ハイレベル、またはローレベルの2値の信号をDフリップフロップ17に出力する。Dフリップフロップ17は、サンプリングCLK13の立ち上りのタイミングで比較器5の出力電圧をラッチし、次のサンプリングクロック13の立ち上りまで同じ電圧レベルの信号を出力する。このDフリップフロップ17の出力信号が、誤差増幅器16の出力電圧をFB型変調回路1で変調した量子化信号10となる。

30

#### 【 0 0 0 8 】

1ビットの量子化信号10は、スイッチングドライバ回路8に入力され、スイッチングドライバ回路8は、パワースイッチ素子を駆動する電圧、電流をもつパワースイッチ駆動信号25を電圧コンバータ部9内部に供給する。電圧コンバータ部9は、パワースイッチ駆動信号25により、内部にあるパワースイッチを駆動し、その出力を整流、平滑化することで、入力電圧端子11に入力される入力電圧Vinputから、所望の出力電圧Voutputを出力電圧端子12に供給する。また、出力電圧Voutputは、出力電圧検出回路19で分圧され、誤差増幅器16に入力される。誤差増幅器16は、出力電圧検出回路19で検出した電圧値と基準電圧15の電圧値の誤差を増幅し、FB型変調回路1の入力段にある差分積分器2に出力する。

40

#### 【 0 0 0 9 】

一方、FB型変調回路1から出力される量子化信号10は、FB型変調回路1にも帰還され、信号調整回路22に入力される。信号調整回路22は、量子化信号10の電圧レベルを変更する。例えば、1ビットの量子化信号10がVh1とVl1の2値の値で変化する矩形波信号であったとき、信号調整回路22によりVh1をVh2の電圧値に変更し、Vl1をVl2の電圧値に変更する。つまり、信号調整回路22は、Vh2とVl2の2値で量子化信号10と同期して切り替わる矩形波を出力する。このような矩

50

形波のとり値の電圧レベルの変換は、図 1 に示した信号調整回路 22 のように抵抗の分圧などの構成で簡単に実現できる。信号調整回路 22 の出力は、基準信号 23、量子化基準信号 24 として、比較器 5 と差分積分器 2 に入力される。

【0010】

このように構成した F B 型 変調方式のスイッチング電源は、入力電圧の変動や、負荷急変などの外乱が加わったときも、出力電圧検出回路 19 と基準電圧 15 で決まる一定の電圧を出力するように動作する。

【0011】

また、F B 型 変調器を用いたスイッチング電源については、例えば、特許文献 2 に記載されている。この特許文献 2 に記載のものは、F B 型 変調器のサンプリング信号の周波数を電源の出力に応じて制御することが可能なスイッチング電源に関するものである。

10

【0012】

また、フィードフォワード型 変調器については、例えば、特許文献 3 及び 4 に記載されている。特許文献 3 及び 4 に記載のものは、乗算器が不要で回路規模が小さく、高速動作や多チャンネル・タイムシェア使用の可能な高次のデジタル 変調器に関するもので、多ビットのデジタル信号を入力とする 2 以上 m 個の縦続接続された累積器と、この m 個の累積器から出力される各累積結果に重み係数を乗じて総和をとるフィードフォワード加算量子化器と、加算結果を所定の判定基準に応じて再量子化して出力として出力するフィードフォワードパスと、再量子化値に応じた所定のフィードバック値を上記入力信号と共に上記縦続接続された m 個の累積の初段に入力する初段加算器とを有し、上記重み係数を 2 のべき乗とし、その乗算をビットシフトにて実現させるものである。また、例えば、特許文献 5 及び 6 にも、F B 型 変調器について開示されている。

20

【0013】

さらに、 変調制御を用いた D C / D C コンバータについては、非特許文献 1 に記載されており、フィードフォワード構成の 変調器については、非特許文献 2 に記載されている。

【先行技術文献】

【特許文献】

【0014】

30

【特許文献 1】特開 2008 - 99362 号公報

【特許文献 2】特開 2002 - 300772 号公報

【特許文献 3】特開平 7 - 22952 号公報

【特許文献 4】特開 2002 - 9624 号公報

【特許文献 5】再表 2007 / 66431 号公報

【特許文献 6】特開 2008 - 99035 号公報

【非特許文献】

【0015】

【非特許文献 1】電気情報通信学会論文「 変調制御を用いた D C - D C コンバータの特性について」(今村康秀、田中哲郎、吉田宏、信学技報 E E 2002 - 78 2003 - 02)

40

【非特許文献 2】第 22 回回路とシステム軽井沢ワークショップ「連続時間 B P 変調器の Q 値とループ遅延の影響」(林海軍他 7 名 4 . 20 ~ 21、2009)

【発明の概要】

【発明が解決しようとする課題】

【0016】

しかしながら、上述した特許文献 1、2 に記載の F B 型 変調器を用いたスイッチング電源回路は、 変調器がフィードバック構成であり、さらなる応答速度の向上のためには改善の余地がある。つまり、信号伝達関数 ( S T F ; S i g n a l T r a n s f e r F u n c t i o n ) の遅延が大きく、入力信号の変化に対して出力信号が定常状態に

50

到達するまでに、パルス密度変調信号の遅延が生じるという問題がある。

【0017】

また、上述した特許文献3乃至6に記載の変調器は、スイッチング電源回路に適用したことについては何ら開示されていない。

【0018】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、フィードフォワード型変調制御を用いたDC/DC変換回路を備えてさらなる早い応答速度を実現するようにしたスイッチング電源回路を提供することにある。

【課題を解決するための手段】

【0019】

本発明は、このような目的を達成するためになされたもので、請求項1に記載の発明は、変調回路によりDC/DC変換回路を制御するスイッチング電源回路において、入力信号を出力信号に変換するDC/DC変換回路と、該DC/DC変換回路の前記出力信号を入力し、該DC/DC変換回路を制御するフィードフォワード型変調回路とを備えていることを特徴とするスイッチング電源回路。

10

【0020】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記フィードフォワード型変調回路は、離散時間フィードフォワード型変調回路であることを特徴とする。

【0021】

また、請求項3に記載の発明は、請求項2に記載の発明において、前記フィードフォワード型変調回路の信号伝達関数が1であり、該フィードフォワード型変調回路より出力されるパルス密度変調信号に遅延がなく、該遅延に起因する出力電圧波形のリップルが低減されることを特徴とする。

20

【0022】

また、請求項4に記載の発明は、請求項2又は3に記載の発明において、前記DC/DC変換回路の出力電圧に対応する分圧電圧との差分を増幅した誤差信号を前記フィードフォワード型変調回路に出力するエラーアンプと、前記フィードフォワード型変調回路より出力されたパルス密度変調信号が入力されるドライブ回路とを備えていることを特徴とする。

30

【0023】

また、請求項5に記載の発明は、請求項2, 3又は4に記載の発明において、前記フィードフォワード型変調回路の次数が1次であることを特徴とする。

【0024】

また、請求項6に記載の発明は、請求項5に記載の発明において、前記フィードフォワード型変調回路が、低い周波数の入力アナログ信号を通過させる積分器と、該積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路から出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させるフィードフォワードパスとを備えていることを特徴とする。

40

【0025】

また、請求項7に記載の発明は、請求項6に記載の発明において、前記減算器が、第1のスイッチを備え、前記入力アナログ信号と前記出力デジタル信号をデジタル/アナログ変換した信号との差分をとり、前記積分器が、第2のスイッチと容量と第1の演算増幅器とを備え、前記差分を積分した差分積分信号を出力し、前記加算器が、前記入力アナログ信号がフィードフォワードパスにより入力される第1の抵抗と前記積分器の出力が入力される第2の抵抗と第2の演算増幅器と帰還抵抗とを備え、前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して

50

量子化信号を出力し、前記デジタル/アナログ変換回路が、2つの基準信号を選択する2つの第3のスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記第3のスイッチにより選択し、前記出力デジタル信号をデジタル/アナログ変換した信号を生成するものであることを特徴とする。

【0026】

また、請求項8に記載の発明は、請求項2, 3又は4に記載の発明において、前記フィードフォワード型変調回路の次数が2次であることを特徴とする。

【0027】

また、請求項9に記載の発明は、請求項8に記載の発明において、前記フィードフォワード型変調回路が、低い周波数の入力アナログ信号を通過させる1段目の積分器と、該1段目の積分器の出力側に接続された2段目の積分器と、該2段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記1段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第1のフィードフォワードパスと、前記1段目の積分器からの出力信号を前記加算器に直接入力する第2のフィードフォワードパスとを備えていることを特徴とする。

10

【0028】

また、請求項10に記載の発明は、請求項9に記載の発明において、前記減算器が、第1のスイッチを備え、前記入力アナログ信号と前記出力デジタル信号をデジタル/アナログ変換した信号との差分をとり、前記1段目の積分器が、第2のスイッチと第1の容量と第1の演算増幅器とを含み、前記差分を積分した差分積分信号を出力し、前記1段目の積分器が、第3のスイッチと第2の容量と第2の演算増幅器とを含み、前記1段目の積分器の出力を積分し、前記加算器が、前記入力アナログ信号が第1のフィードフォワードパスより入力される第1の抵抗と前記1段目の積分器の出力が第2のフィードフォワードパスより入力される第2の抵抗と前記2段目の積分器の出力が入力される第3の抵抗と第3の演算増幅器と帰還抵抗とを備え、前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、前記デジタル/アナログ変換回路が、2つの基準信号を選択する2つの第4のスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記第4のスイッチにより選択し、前記出力デジタル信号をデジタル/アナログ変換した信号を生成することを特徴とする。

20

30

【0029】

また、請求項11に記載の発明は、請求項2, 3又は4に記載の発明において、前記フィードフォワード型変調回路の次数がN次(Nは3以上の整数)であることを特徴とする。

【0030】

また、請求項12に記載の発明は、請求項11に記載の発明において、前記フィードフォワード型変調回路が、1段目からN段目までカスケード接続される1段目乃至N段目の積分器と、該N段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記1段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第1のフィードフォワードパスと、前記1段目の積分器から前記N-1段目までの出力信号を前記加算器に直接入力する第2乃至第Nのフィードフォワードパスとを備えていることを特徴とする。

40

【0031】

50

また、請求項 13 に記載の発明は、請求項 1 に記載の発明において、前記フィードフォワード型 変調回路は、連続時間フィードフォワード型 変調回路であることを特徴とする。

【0032】

また、請求項 14 に記載の発明は、請求項 13 に記載の発明において、前記フィードフォワード型 変調回路の信号伝達関数が 1 を含み、該フィードフォワード型 変調回路より出力されるパルス密度変調信号に遅延が小さく、応答速度が早いことを特徴とする。

【0033】

また、請求項 15 に記載の発明は、請求項 13 又は 14 に記載の発明において、前記 DC / DC 変換回路の出力電圧に対応する分圧電圧との差分を増幅した誤差信号を前記フィードフォワード型 変調回路に出力するエラーアンプと、前記フィードフォワード型 変調回路より出力されたパルス密度変調信号が入力されるドライブ回路とを備えていることを特徴とする。

【0034】

また、請求項 16 に記載の発明は、請求項 13 , 14 又は 15 に記載の発明において、前記フィードフォワード型 変調回路の次数が 1 次であることを特徴とする。

【0035】

また、請求項 17 に記載の発明は、請求項 16 に記載の発明において、前記フィードフォワード型 変調回路が、低い周波数の入力アナログ信号を通過させる積分器と、該積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記積分器にフィードバックするデジタル / アナログ変換回路と、前記入力アナログ信号から前記デジタル / アナログ変換回路から出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させるフィードフォワードパスとを備えていることを特徴とする。

【0036】

また、請求項 18 に記載の発明は、請求項 17 に記載の発明において、前記減算器が、第 1 及び第 2 の抵抗を備え、前記入力アナログ信号と前記出力デジタル信号をデジタル / アナログ変換した信号との差分をとり、前記積分器が、容量と第 1 の演算増幅器とを備え、前記差分を積分した差分積分信号を出力し、前記加算器が、前記入力アナログ信号が前記フィードフォワードパスにより入力される第 3 の抵抗と前記積分器の出力が入力される第 4 の抵抗と第 2 の演算増幅器と帰還抵抗とを備え、前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、前記デジタル / アナログ変換回路が、2 つの基準信号を選択する 2 つのスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記スイッチにより選択し、前記出力デジタル信号をデジタル / アナログ変換した信号を生成するものであることを特徴とする。

【0037】

また、請求項 19 に記載の発明は、請求項 13 , 14 又は 15 に記載の発明において、前記フィードフォワード型 変調回路の次数が 2 次であることを特徴とする。

【0038】

また、請求項 20 に記載の発明は、請求項 19 に記載の発明において、前記フィードフォワード型 変調回路が、低い周波数の入力アナログ信号を通過させる 1 段目の積分器と、該 1 段目の積分器の出力側に接続された 2 段目の積分器と、該 2 段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記 1 段目の積分器にフィードバックするデジタル / アナログ変換回路と、前記入力アナログ信号から前記デジタル / アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入

10

20

30

40

50

力アナログ信号を直接前記加算器に入力させる第1のフィードフォワードパスと、前記1段目の積分器からの出力信号を前記加算器に直接入力する第2のフィードフォワードパスとを備えていることを特徴とする。

【0039】

また、請求項21に記載の発明は、請求項20に記載の発明において、前記減算器が、第1及び第2の抵抗を備え、前記入力アナログ信号と前記出力デジタル信号をデジタル/アナログ変換した信号との差分をとり、前記1段目の積分器が、第1の容量と第1の演算増幅器とを含み、前記差分を積分した差分積分信号を出力し、前記2段目の積分器が、第2の容量と第2の演算増幅器とを含み、前記1段目の積分器の出力を積分し、前記加算器が、前記入力アナログ信号が第1のフィードフォワードパスより入力される第3の抵抗と前記1段目の積分器の出力が第2のフィードフォワードパスより入力される第4の抵抗と前記2段目の積分器の出力が入力される第5の抵抗と第3の演算増幅器と帰還抵抗とを備え、前記量子化器が、コンパレータとフリップフロップとを備え、量子化基準信号と前記加算器の信号レベルを大小比較して量子化信号を出力し、前記デジタル/アナログ変換回路が、2つの基準信号を選択する2つのスイッチを備え、前記量子化信号である前記出力デジタル信号を帰還して前記量子化信号に同期して、前記出力デジタル信号の論理値に応じた基準信号を前記スイッチにより選択し、前記出力デジタル信号をデジタル/アナログ変換した信号を生成することを特徴とする。

10

【0040】

また、請求項22に記載の発明は、請求項13, 14又は15に記載の発明において、前記フィードフォワード型変調回路の次数がN次(Nは3以上の整数)であることを特徴とする。

20

【0041】

また、請求項23に記載の発明は、請求項22に記載の発明において、前記フィードフォワード型変調回路が、1段目からN段目までカスケード接続される1段目乃至N段目の積分器と、該N段目の積分器の出力側に接続された加算器と、該加算器の出力側に接続された量子化器と、該量子化器の出力側に接続され、該量子化器の出力デジタル信号をアナログ信号に変換して前記1段目の積分器にフィードバックするデジタル/アナログ変換回路と、前記入力アナログ信号から前記デジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、前記入力アナログ信号を直接前記加算器に入力させる第1のフィードフォワードパスと、前記1段目の積分器から前記N-1段目までの出力信号を前記加算器に直接入力する第2乃至第Nのフィードフォワードパスとを備えていることを特徴とする。

30

【発明の効果】

【0042】

本発明によれば、変調回路によりDC/DC変換回路を制御するスイッチング電源回路において、入力信号を出力信号に変換するDC/DC変換回路と、このDC/DC変換回路の出力信号を入力し、このDC/DC変換回路を制御するフィードフォワード型変調回路とを備えたので、さらなる早い応答速度を実現するようにしたスイッチング電源回路を得ることができるという効果を奏する。

40

【図面の簡単な説明】

【0043】

【図1】従来のフィードバック(FB)型変調器を用いたスイッチング電源を示す構成回路図である。

【図2】従来から用いられていたPWM制御によるスイッチング電源回路を説明するための図で、(a)は、スイッチング電源回路の全体構成図、(b)は、ノコギリ波とエラーアンプ(誤差増幅器)の関係を示す図、(c)は、PWM回路の出力信号を示す図である。

【図3】DC/DC変換回路に対する制御回路の動作を説明するための図で、(a)は、DC/DC変換回路の一例である昇圧コンバータの回路構成図で、(b)は、過渡状態と

50

定常状態における出力電圧の関係を示す図で、(c)は、DC/DC変換回路のスイッチング動作を行うためのスイッチング信号を示す図である。

【図4】PWM制御とFB型変調制御との特徴を比較するための構成ブロック図で、(a)は、PWM制御を用いたスイッチング電源回路の構成図、(b)は、FB型変調制御を用いたスイッチング電源回路の構成図である。

【図5】FB型変調制御についての説明図で、(a)は、FB型変調回路を用いたスイッチング電源回路の制御回路における概略構成ブロック図、(b)は、FB型変調回路の出力信号を示す図である。

【図6】FB型変調回路の回路構成とその入出力特性を示す図で、(a)は、FB型変調回路の回路構成図、(b)は、入力信号に対する出力信号を示す図、(c)は、積分器出力を示す図である。

【図7】FB型AD変調回路の構成ブロック図と伝達特性を説明するための図で、(a)は、FB型AD変調回路のブロック図、(b)は、伝達特性を示す図、(c)は、信号伝達関数とノイズ伝達関数の関係式を示している。

【図8】2次フィードバック型変調回路を説明するための構成ブロック図である。

【図9】FB型変調回路の他の回路構成とその入出力特性を示す図で、(a)は、FB型変調回路の回路構成図、(b)は、入力信号に対する出力信号を示す図、(c)は、積分器の出力を示す図である。

【図10】FB型変調回路の構成ブロック図と伝達特性を説明するための図で、(a)は、FB型変調回路のブロック図、(b)は、伝達特性を示す図、(c)は、信号伝達関数とノイズ伝達関数の関係式を示す図である。

【図11】2次フィードバック型変調回路を説明するための構成ブロック図である。

【図12】本発明に係るフィードフォワード(FF)型変調回路を用いたスイッチング電源回路の構成ブロック図である。

【図13】図12に示したFF型変調回路を用いたスイッチング電源回路の具体的な回路構成図である。

【図14】本発明に係るスイッチング電源回路に用いられる1次フィードフォワード(FF)型変調回路を説明するための図で、(a)は、1次フィードフォワード型変調回路の構成ブロック図、(b)は、伝達特性を示す図、(c)は、信号伝達関数とノイズ伝達関数の関係式を示している。

【図15】図14(a)に示した1次フィードフォワード型(FF型)変調回路の具体的な回路構成図である。

【図16】離散時間フィードバック(FB)型変調回路の出力信号により、DC/DC変換回路31でスイッチング動作を行ったときのDC/DC変換回路の出力電圧波形と、1次離散時間フィードフォワード(FF)型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路の出力電圧波形とを比較するための図で、(a)は負荷が大きくなり出力電流が大きくなったときの波形で、(b)は負荷が小さくなり出力電流が小さくなったときの波形を示している。

【図17】従来のフィードバック(FB)型変調回路の出力電圧波形と、1次フィードフォワード(FF)型変調回路の出力電圧波形とを比較するための図で、(a)は、従来のフィードバック(FB)型変調回路の出力信号により、図4(b)に示したDC/DC変換回路でスイッチング動作を行ったときのDC/DC変換回路の出力電圧波形で、(b)は、1次フィードフォワード(FF)型変調回路の出力信号により、図12に示したDC/DC変換回路でスイッチング動作を行ったときのDC/DC変換回路の出力電圧波形とを比較するための図である。

【図18】図17(a)、(b)に示した出力電圧波形の拡大図である。

【図19】本発明に係るスイッチング電源回路に用いられる2次フィードフォワード(FF)型変調回路を説明するための構成ブロック図である。

【図20】図19に示した2次フィードフォワード型変調回路の具体的な回路構成図である。

10

20

30

40

50

【図 2 1】2 次離散時間フィードバック ( F B ) 型 変調回路の出力信号により、D C / D C 変換回路 3 1 でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形と、2 次離散時間フィードフォワード ( F F ) 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形とを比較するための図で、( a ) は負荷が大きくなり出力電流が大きくなったときの波形で、( b ) は負荷が小さくなり出力電流が小さくなったときの波形を示している。

【図 2 2】従来のフィードバック ( F B ) 型 変調回路の出力電圧波形と、2 次フィードフォワード ( F F ) 型 変調回路の出力電圧波形とを比較するための図で、( a ) は、従来のフィードバック ( F B ) 型 変調回路の出力信号により、図 4 ( b ) に示した D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形で、( b ) は、2 次フィードフォワード ( F F ) 型 変調回路の出力信号により、図 1 2 に示した D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形とを比較するための図である。

【図 2 3】図 2 2 ( a ) , ( b ) に示した出力電圧波形の拡大図である。

【図 2 4】本発明に係るスイッチング電源回路に用いられる 1 次フィードフォワード ( F F ) 型 変調回路を説明するための図で、( a ) は、1 次フィードフォワード型 変調回路の構成ブロック図、( b ) は、伝達特性を示す図、( c ) は、信号伝達関数とノイズ伝達関数の関係式を示す図である。

【図 2 5】図 2 4 ( a ) に示した 1 次フィードフォワード型 ( F F 型 ) 変調回路の具体的な回路構成図である。

【図 2 6】信号伝達関数の振幅特性と位相特性を示すボード線図で、( a ) はフィードフォワード ( F F ) 型 変調回路のボード線図で、( b ) はフィードバック ( F B ) 型 変調回路のボード線図である。

【図 2 7】1 次連続時間 F B 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形と、1 次連続時間 F F 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形とを比較するための図で、( a ) は負荷が大きくなり出力電流が大きくなったときの波形で、( b ) は負荷が小さくなり出力電流が小さくなったときの波形を示している。

【図 2 8】1 次離散時間 F F 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形と、1 次連続時間 F F 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形とを比較するための図で、( a ) は負荷が大きくなり出力電流が大きくなったときの波形で、( b ) は負荷が小さくなり出力電流が小さくなったときの波形を示している。

【図 2 9】本発明に係るスイッチング電源回路に用いられる 2 次フィードフォワード ( F F ) 型 変調回路を説明するための構成ブロック図である。

【図 3 0】図 2 9 に示した 2 次フィードフォワード型 変調回路の具体的な回路構成図である。

【図 3 1】信号伝達関数の振幅特性と位相特性を示すボード線図で、( a ) は 2 次フィードフォワード ( F F ) 型 変調回路のボード線図で、( b ) は 2 次フィードバック ( F B ) 型 変調回路のボード線図である。

【図 3 2】2 次連続時間 F B 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形と、2 次連続時間 F F 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形とを比較するための図で、( a ) は負荷が大きくなり出力電流が大きくなったときの波形で、( b ) は負荷が小さくなり出力電流が小さくなったときの波形を示している。

【図 3 3】2 次離散時間 F F 型 変調回路の出力信号により、D C / D C 変換回路でスイッチング動作を行ったときの D C / D C 変換回路の出力電圧波形と、2 次連続時間 F F

10

20

30

40

50

型 変調回路の出力信号により、DC/DC変換回路でスイッチング動作を行ったときのDC/DC変換回路の出力電圧波形とを比較するための図で、(a)は負荷が大きくなり出力電流が大きくなったときの波形で、(b)は負荷が小さくなり出力電流が小さくなったときの波形を示している。

【発明を実施するための形態】

【0044】

本発明に係るスイッチング電源回路の実施例について説明する前に、まず、従来から用いられていたPWM制御によるスイッチング電源回路について以下に説明する。

【0045】

図2(a)乃至(c)は、従来から用いられていたPWM制御によるスイッチング電源回路を説明するための図で、図2(a)は、スイッチング電源回路の全体構成図、図2(b)は、ノコギリ波とエラーアンプ(誤差増幅器)の関係を示す図、図2(c)は、PWM回路の出力信号を示す図である。PWM制御は、スイッチング周波数がノコギリ波の周波数で決定され、パルス幅はエラーアンプの出力の大きさにより決定され、パルスの数はスイッチング周波数で決定される。

10

【0046】

図2(a)において、入力電圧がDC/DC変換回路(DC/DCコンバータ)31に入力されると、入力電圧が昇圧もしくは降圧されて、出力電圧が出力される。その出力電圧がエラーアンプ32に入力され、所望の出力電圧からの誤差に対応する出力信号がPWM回路35に出力される。そして、PWM回路35を構成するコンパレータ33によってノコギリ波発生回路34からのノコギリ波とエラーアンプ32からの出力信号とが比較される。ここで、ノコギリ波とエラーアンプの出力の関係は、例えば、図2(b)のようになる。つまり、スイッチング周期ごとにエラーアンプ32の出力信号は変化し、PWM回路35の出力信号は、図2(c)のような、パルス幅の異なる信号が出力される。ここで、パルス幅はスイッチング電源回路の出力電圧の所望の出力電圧からの誤差に対応する。ドライブ回路36を介して、DC/DC変換回路31でパルス幅に応じたスイッチング動作が行われ、入力電圧を昇圧もしくは降圧した出力電圧が、スイッチング電源回路の出力電圧として得られる。

20

【0047】

このような構成のスイッチング電源回路を高いスイッチング周波数で動作させた場合には、PWM回路35の出力信号のパルス数が多くなり、スイッチングによる損失(スイッチングロス)が生じて、高効率化は図れないが、高速過渡応答が得られる。これに対して、低いスイッチング周波数で動作させた場合には、PWM回路35の出力信号のパルス数が少なくなり、高効率化は図れるが、高速過渡応答が得られない。このように、従来のPWM制御によるスイッチング電源回路では、高効率化と高速過渡応答とをスイッチング周波数で解決することは困難であった。

30

【0048】

以下に、スイッチング電源回路の要求される高効率化と高速過渡応答についてさらに具体的に動作説明する。

図3(a)乃至(c)は、DC/DC変換回路に対する制御回路の動作を説明するための図で、図3(a)は、DC/DC変換回路の一例である昇圧(boost; ブースト)コンバータの回路構成図で、図3(b)は、過渡状態と定常状態における出力電圧の関係を示す図で、図3(c)は、DC/DC変換回路のスイッチング動作を行うためのスイッチング信号を示す図である。

40

【0049】

まず、図3(a)を参照して、昇圧コンバータの構成と動作を説明する。

昇圧コンバータは、DC/DC変換回路31と制御回路37とで構成されている。制御回路37は、図2(a)におけるエラーアンプ32とPWM回路35とドライブ回路36を含んでいる。また、制御回路37及び入力電圧 $V_{in}$ 以外はDC/DC変換回路31を示している。

50

## 【0050】

DC/DC変換回路31におけるスイッチS1, S2は、MOSトランジスタ等で構成される。図3(a)においては、スイッチS1, S2は、NチャネルMOSトランジスタで構成されているものとする。つまり、スイッチS1, S2は、ハイレベルの制御信号が入力されるとオン(導通)して、ローレベルの制御信号が入力されるとオフ(遮断)される。また、スイッチS1, S2には、それぞれ互いに極性が異なるスイッチング信号が制御回路37より与えられる。出力電圧の所望の値からの誤差に対応するPWM信号がスイッチS1に与えられ、反転したPWM信号がスイッチS2に与えられる。

## 【0051】

PWM信号がハイレベルのとき、スイッチS1はオンし、スイッチS2はオフする。スイッチS1がオンすることで、インダクタLに入力電圧 $V_{in}$ が印加され、インダクタLに充電電流が充電される。

10

## 【0052】

次に、PWM信号がローレベルになったとき、スイッチS1はオフし、スイッチS2はオンする。スイッチS2がオンすることで、インダクタLに充電された充電電流が容量Coutに流れ、容量Coutに電荷が蓄えられ、昇圧された出力電圧 $V_{out}$ が出力される。

## 【0053】

ここで、PWM信号のパルス幅が小さい程、インダクタLに充電される充電電流が小さくなるので、昇圧電圧は低くなる。一方、PWM信号のパルス幅が大きい程、インダクタLに充電される充電電流が大きくなるので、昇圧電圧は高くなる。パルス幅は、出力電圧 $V_{out}$ に応じて決まる。つまり、過渡状態である電源投入直後は、パルス幅が相対的に大きくなり、定常時は、パルス幅が相対的に小さくなる。

20

## 【0054】

上述のように、出力電圧 $V_{out}$ から所望の出力電圧の誤差に応じて制御回路37は、誤差に対応したパルス幅のPWM信号を生成して、スイッチS1, S2に出力する。

## 【0055】

次に、図3(b), (c)を参照して、高効率化と高速過渡応答を説明する。

図3(b)は、DC/DC変換回路が昇圧動作を開始して、出力電圧 $V_{out}$ が一定値(所望の出力電圧)に収束するまでの様子を表す図である。出力電圧 $V_{out}$ は、一定値に収束するまでの過渡状態、一定値に収束してからの定常状態の2つの状態がある。図3(c)は、周波数が低いときと、高いときのPWM信号を例示した図である。

30

## 【0056】

昇圧コンバータが、昇圧動作を開始して、一定値に収束するまでの過渡状態を短くするためには、周波数が高いPWM信号でスイッチングする必要がある。つまり、周波数が高いほど、スイッチS1, S2におけるスイッチング回数が多くなり、インダクタLから容量Coutへの充電回数が多くなるので、高速で定常状態に収束する。よって、高速で定常状態に収束するためには、PWM信号の周波数を高くすればよい。ところが、PWM信号の周波数を高くすると、スイッチS1, S2での損失が大きくなる。つまり、高効率化が図れなくなる。

40

## 【0057】

一方、スイッチS1, S2での損失を小さくし、高効率化を図るためには、PWM信号の周波数を低くする必要がある。すなわち、スイッチS1, S2におけるスイッチング回数を少なくすることで、損失が小さくなる。つまり、高効率化が図れる。

## 【0058】

ところが、PWM信号の周波数を低くすると、スイッチS1, S2におけるスイッチング回数が少なくなり、インダクタLから容量Coutへの充電回数が少なくなるので、定常状態に収束するまでの時間が長くなる。つまり、過渡状態が長くなる。

## 【0059】

このように、スイッチング電源回路の高速過渡応答と高効率化は、トレードオフの関係

50

にあり、周波数が固定であると、いずれか一方の要求しか達成できない。また、これらの要求に対して、高いスイッチング周波数での動作（高速過渡応答の改善）や低いスイッチング周波数での動作（高効率化の改善）は、周波数を可変に行なう必要があった。つまり、従来では、高速過渡応答と高効率化をスイッチング周波数のみで解決しており、これでは回路規模増大を招き、大変困難を伴うものであった。そこで、変調方式の採用が検討されてきた。

【0060】

本発明に係るフィードフォワード（FF）型変調回路を用いたDC/DC変換回路を備えたスイッチング電源回路を説明する前に、PWM制御によるDC/DC変換回路とフィードバック（FB）型変調制御によるDC/DC変換回路を用いたスイッチング電源回路について以下に説明する。

10

【0061】

図4（a）、（b）は、PWM制御とFB型変調制御との特徴を比較するための構成ブロック図で、図4（a）は、PWM制御を用いたスイッチング電源回路の構成図、図4（b）は、FB型変調制御を用いたスイッチング電源回路の構成図である。なお、制御回路42は、エラーアンプ32とFB型変調回路41とドライブ回路36を含んでいる。

【0062】

図4（a）において、入力電圧がDC/DC変換回路31に入力されると、その出力電圧がエラーアンプ32とPWM回路35とドライブ回路36を介してPWM制御され、DC/DC変換回路31から出力電圧を得る。このPWM制御の特徴は、上述のように、出力電圧から所望の出力電圧までの誤差に比例して、パルス幅が変化するPWM信号をPWM回路35からドライブ回路36を介してDC/DC変換回路31に出力することである。

20

【0063】

一方、図4（b）において、入力電圧がDC/DC変換回路31に入力されると、その出力電圧がエラーアンプ32とFB型変調制御回路41とドライブ回路36を介してFB型変調制御され、DC/DC変換回路31から出力電圧を得る。このFB型変調制御の特徴は、出力電圧から所望の出力電圧までの誤差に比例して、パルス密度が変化するパルス密度変調信号（変調信号）をFB型変調回路41からドライブ回路36を介してDC/DC変換回路31に出力することである。

30

【0064】

次に、フィードバック（FB）型変調制御の特徴について説明する。

図5（a）、（b）は、FB型変調制御についての説明図で、図5（a）は、FB型変調回路を用いたスイッチング電源回路の制御回路における概略構成ブロック図、図5（b）は、FB型変調回路の出力信号を示す図である。

【0065】

図5（a）において、エラーアンプ32の出力信号はDC/DC変換回路31の出力信号から所望の出力電圧に対応する基準電圧 $V_{ref}$ からの誤差信号であり、FB型変調回路41に出力される。そして、FB型変調回路41は、誤差信号の大きさに応じたパルス密度のパルス密度変調信号を出力する。つまり、FB型変調回路41の出力信号は、図5（b）のように示される。FB型変調回路41の入力信号、すなわち、誤差信号が常に小さいとき（定常状態）では、パルス密度が相対的に薄くなり（低いスイッチング周波数）、高効率化が図れる。一方、FB型変調回路41の入力信号が大きいとき（過渡状態）では、パルス密度が相対的に濃くなり（高いスイッチング周波数）、高速過渡応答が図れる。

40

【0066】

次に、フィードバック（FB）型変調回路41の回路構成とその入出力特性について以下に説明する。

図6（a）乃至（c）は、FB型変調回路の回路構成とその入出力特性を示す図で

50

、図6(a)は、FB型 変調回路の回路構成図、図6(b)は、入力信号に対する出力信号を示す図、図6(c)は、積分器の出力を示す図である。

【0067】

まず、図6(a)を参照して、FB型 変調回路41の回路構成について説明する。

FB型 変調回路41は、減算器51と積分器52と量子化器(A/Dコンバータ；ADC)53とDAC(D/Aコンバータ)54とから構成されている。

【0068】

FB型 変調回路41は、スイッチを含み入力信号と出力信号をD/A変換した信号との差分をとる減算器51と、第1のスイッチと容量と演算増幅器を備え、差分を積分した差分積分信号を出力する積分器52と、コンパレータとフリップフロップとを備え、量子化基準信号(しきい値)と差分積分信号の信号レベルを大小比較し1ビットの量子化信号を出力する量子化器53と、2つの基準信号 $V_{ref}$ 、 $-V_{ref}$ を選択する2つの第2のスイッチを備え、量子化信号である出力信号を帰還して1ビットの量子化信号に同期して、出力信号の論理値に応じた基準信号をスイッチにより選択し、出力信号をD/A変換した信号を生成するDAC54を備える構成とすることで、パルス密度変調信号を生成する。

【0069】

また、このような構成により、FB型 変調回路41を備えたスイッチング電源回路は、従来のPWM回路を備えたスイッチング電源回路と比べて、サンプリング周波数が固定であるので、回路規模が小さくできるとともに、高速過渡応答と高効率化を可能としている。

【0070】

FB型 変調回路41は、スイッチをオンオフし、電荷を転送するための2つのフェーズ、 $Ph_1$ (フェーズ1)と $Ph_2$ (フェーズ2)がある。図6(a)において、 $Ph_1$ と図示したスイッチは、 $Ph_1$ においてオンし、 $Ph_2$ と図示したスイッチは、 $Ph_2$ においてオンする。各フェーズの周波数は、サンプリング周波数に等しく、 $Ph_1$ と $Ph_2$ は、交互に繰り返される。つまり、1つのサンプリング周期において、1つの $Ph_1$ と1つの $Ph_2$ が存在する。

【0071】

次に、図6(b)、(c)を参照して、FB型 変調回路41の動作について説明する。

まず、FB型 変調回路41は、上述のように、エラーアンプ32が出力するDC/DC変換回路31の出力信号から所望の出力電圧に対応する基準電圧 $V_{ref}$ からの誤差信号を入力する。

【0072】

$Ph_1$ において、入力信号が積分器52の入力側容量に印加され、入力信号に応じた電荷が蓄えられる。 $Ph_2$ において、DAC54の出力信号が積分器52の入力側容量に印加され、DAC54の出力信号に応じた電荷が転送される。ここで、減算器51は、入力側とDAC54の出力は結線されているので、 $Ph_1$ で入力信号により蓄えた電荷から、 $Ph_2$ でDAC54の出力信号に応じた電荷を減算した電荷が、積分器52の入力側容量に蓄えられる。つまり、FB型 変調回路41の入力信号と出力信号との減算が行われて差分信号が生成される。

【0073】

積分器52の入力側容量の電荷は、 $Ph_2$ において、演算増幅器の出力端子から非反転入力端子との間の帰還容量に転送される。つまり、差分信号が積分されて差分積分信号が出力される。

【0074】

図6(b)は、FB型 変調回路41の入力信号と出力信号を例示した波形で、図6(c)は、差分積分信号を例示した波形を示す図である。また、入力信号が0より小さいときの波形を表している。まず、図6(b)に示すように、最初のサンプリング周期にお

10

20

30

40

50

いて、出力信号は、ローレベルであり、その出力信号に対応する D A C 5 4 の出力信号は、 $-V_{ref}$  であり、入力信号との差分は正の値となる。したがって、図 6 ( c ) に示すように、差分積分信号は、正の傾きをもつ一次関数波形となる。

【 0 0 7 5 】

次に、差分積分信号は、量子化器 5 3 のコンパレータに入力され、量子化基準信号と差分積分信号が大小比較されて、フリップフロップに入力される。図 6 ( a ) において、量子化基準信号は、 $0V$  ( グラウンド ) である。そして、P h 1 になったとき、フリップフロップは、差分積分信号と量子化基準信号 ( しきい値 ) との大小比較結果を 1 ビットの量子化信号として出力する。つまり、量子化器 5 3 は、差分積分信号が  $0V$  以上のとき、ハイレベルを出力し、 $0V$  より小さいとき、ローレベルを出力する。図 6 ( c ) において、最初のサンプリング周期の最後の時点で、差分積分信号は、量子化基準信号と等しくなるので、コンパレータはハイレベルを出力し、次のサンプリング周期 ( 次の P h 1 ) になったとき、量子化器 5 3 は、ハイレベルの量子化信号を出力する。

10

【 0 0 7 6 】

量子化信号は、D A C 5 4 のスイッチに入力される。D A C 5 4 において、量子化信号がハイレベルのとき、基準信号  $V_{ref}$  が選択され、量子化信号がローレベルのとき、基準信号  $-V_{ref}$  が選択される。

【 0 0 7 7 】

そして、次のサンプリング周期において、量子化信号は、ハイレベルであるので、入力信号との差分は負の値となる。したがって、図 6 ( c ) に示すように、差分積分信号は、負の傾きをもつ一次関数波形となる。

20

【 0 0 7 8 】

したがって、量子化器 5 3 におけるコンパレータの出力はローレベルとなり、さらに、次のサンプリング周期になったとき、量子化信号はローレベルとなる。

【 0 0 7 9 】

このような動作を繰り返すことで、入力信号に応じたパルス密度変調信号が生成される。図 6 ( b ) に例示した波形において、7 サンプリング周期に 3 つのパルスが存在する。F B 型 変調回路 4 1 の入力信号が図示した値よりも小さくなる ( 誤差が大きくなる ) と、パルス密度は濃くなり ( パルスの数が増え ) 、図示した値よりも大きくなる ( 誤差が小さくなる ) と、パルス密度は薄くなる ( パルスの数が減る ) 。

30

【 0 0 8 0 】

また、上述した動作により、入力信号が  $0V$  より小さいとき、パルス密度変調信号は、1 回ハイレベルになった後、必ずローレベルになる。このとき、ハイレベルの期間は、サンプリング周期であり固定である。一方、入力信号が  $0V$  より大きいとき、パルス密度変調信号は、1 回ローレベルになった後、必ずハイレベルになる。このとき、ローレベルの期間は、サンプリング周期であり固定である。

【 0 0 8 1 】

このようにして、F B 型 変調回路 4 1 を備えたスイッチング電源回路は、従来の P W M 回路を備えたスイッチング電源回路と比べて、回路規模が小さくなるとともに、高速過渡応答と高効率化を可能としている。

40

以上が、図 5 ( a ) に示された F B 型 変調回路 4 1 の動作説明である。

図 7 ( a ) 乃至 ( c ) は、F B 型 変調回路の構成ブロック図と伝達特性を説明するための図で、図 7 ( a ) は、F B 型 変調回路のブロック図、図 7 ( b ) は、伝達特性を示す図、図 7 ( c ) は、信号伝達関数 ( S T F ; S i g n a l T r a n s f e r F u n c t i o n ) とノイズ伝達関数 ( N T F ; N o i s e T r a n s f e r F u n c t i o n ) の関係式を示している。

【 0 0 8 2 】

図 7 ( a ) に示すように、低い周波数の信号を通過させる積分器 ( L P F ) 5 2 と、量子化器 ( A D C ; アナログ / デジタル変換回路 ) 5 3 と、D A C ( デジタル / アナログ変換回路 ) 5 4 と、アナログ信号を減算して出力する減算器 5 1 とを備えている。

50

## 【0083】

減算器51の出力は、積分器52にされ、積分器52の出力は、量子化器53にされている。また、DAC54は、量子化器53の出力をアナログ信号に変換して積分器52にフィードバックするように、量子化器53と減算器51との間に設けられている。減算器51は、FB型変調器の信号から、DAC54の出力を減算して出力する。すなわち、7(a)の積分器52、量子化器53、DAC54、減算器51は、それぞれ、6(a)の積分器52、量子化器53、DAC54、減算器51に対応している。

## 【0084】

次に、7(a)に示されたFB型変調回路の動作について説明する。

まず、アナログ信号がされると、積分器52によって、低い周波数のアナログ信号が積分され、量子化器53によって、積分器52から出力されたアナログ信号がデジタル信号に変換され、減算器51で信号との差分をとるために、デジタル信号がDAC54にされる。

## 【0085】

DAC54では、された量子化器53の出力を、アナログ信号に変換して、減算器51にし、となるアナログ信号から、DAC54の出力を減算して、積分器52にフィードバックする。そして、積分器52の出力が、量子化器53によってデジタル信号に変換されて、FB型変調器の出力としてデジタル信号(パルス密度変調信号)が出力される。

## 【0086】

なお、FB型変調回路の出力信号により、4(b)に示したDC/DC変換回路31でスイッチング動作を行ったときのDC/DC変換回路31の出力電圧波形は7(a)に示され、その拡大図は、18(a)に示されている。

## 【0087】

FB型変調回路は、積分器の出力を量子化器で量子化するため、量子化器において量子化ノイズ $E(Z)$ が加わる。すなわち、7(a)のから出力までの伝達特性は、7(b)に示すようになる。7(a)に示したFB型変調回路は離散時間FB型変調回路である。7(b)より伝達関数を求めると、7(c)のようになる。

## 【0088】

7(c)に示すように、 $Z$ 変換した出力デジタル信号 $Y(Z)$ は、 $Y(Z) = H(Z) \cdot X(Z) / (1 + H(Z)) + 1 \cdot E(Z) / (1 + H(Z))$ となる。信号伝達関数STF(Signal Transfer Function)は、 $STF(Z) = H(Z) / (1 + H(Z))$ であり、ノイズ伝達関数NTF(Noise Transfer Function)は、 $NTF(Z) = 1 / (1 + H(Z))$ である。なお、 $X(Z)$ は $Z$ 変換したアナログ信号であり、 $H(Z)$ は積分器の伝達関数である。

## 【0089】

また、オーバーサンプリングとノイズ伝達関数により量子化ノイズ $E(Z)$ はノイズシャイプされて高SNDR(Signal to Noise plus Distortion Ratio; 信号対雑音+歪電力比)を実現する。

## 【0090】

しかしながら、積分器52の伝達関数は、1次の場合には、 $H(Z) = Z^{-1} / (1 - Z^{-1})$ であるので、信号伝達関数は、 $STF(Z) = Z^{-1}$ となって1クロック(1サンプリング周期)遅れる。また、ノイズ伝達関数は、 $NTF(Z) = 1 - Z^{-1}$ と1次の微分特性となる。

## 【0091】

ここで示されているフィルタ回路の次数は1次である。フィルタの次数は、その伝達関数の遅延演算子 $Z^{-1}$ の最大のべき数である。

## 【0092】

8は、2次フィードバック型変調回路を説明するための構成ブロック図である。

10

20

30

40

50

減算器 6 1 の出力は、1 段目の積分器 6 2 に入力され、1 段目の積分器 6 2 の出力は、減算器 6 3 及び 2 段目の積分器 6 4 を介して量子化器 6 5 に入力されている。また、D A C 6 6 は、量子化器 6 5 の出力をアナログ信号に変換して 2 段目の積分器 6 4 にフィードバックするとともに、D A C 6 7 は、量子化器 6 5 の出力をアナログ信号に変換して 1 段目の積分器 6 2 にフィードバックする。減算器 6 1 は、A D 変調回路の入力となるアナログ信号から、D A C 6 7 の出力を減算して出力し、減算器 6 3 は、A D 変調回路の入力となるアナログ信号から、D A C 6 6 の出力を減算して出力する。

【0093】

1 段目の積分器 6 2 の出力を Z 変換すると、 $y_1(Z) = Z^{-1}X(Z) + Z^{-1}(1 - Z^{-1})E(Z)$  で示される。また、量子化器 6 5 の出力を Z 変換すると、 $Y(Z) = Z^{-2}X(Z) + (1 - Z^{-1})^2E(Z)$  で示される。 10

【0094】

すなわち、2 次フィードバック型 変調回路の信号伝達関数は、 $STF(Z) = Z^{-2}$  であり、2 クロック (2 サンプリング周期) 遅れる。ノイズ伝達関数は、 $NTF(Z) = (1 - Z^{-1})^2$  となり、2 次の微分特性となる。

【0095】

ちなみに、上述の説明では、F B 型 変調回路は離散時間 F B 型 変調回路であったが、F B 型 変調回路の他の例として連続時間 変調回路の説明をする。

【0096】

図 9 ( a ) 乃至 ( c ) は、F B 型 変調回路の他の回路構成とその入出力特性を示す図で、図 9 ( a ) は、F B 型 変調回路の回路構成図、図 9 ( b ) は、入力信号に対する出力信号を示す図、図 9 ( c ) は、積分器の出力を示す図である。 20

【0097】

まず、図 9 ( a ) を参照して、F B 型 変調回路 4 1 の他の回路構成について説明する。

F B 型 変調回路 4 1 は、減算器 5 0 1 と積分器 5 0 2 と量子化器 ( A / D コンバータ ; A D C ) 5 0 3 と D A C ( D / A コンバータ ) 5 0 4 とから構成されている。

【0098】

F B 型 変調回路 4 1 は、抵抗を含み入力信号と出力信号を D / A 変換した信号との差分をとる減算器 5 0 1 と、容量と演算増幅器を備え、差分を積分した差分積分信号を出力する積分器 5 0 2 と、コンパレータとフリップフロップとを備え、量子化基準信号と差分積分信号の信号レベルを大小比較し 1 ビットの量子化信号を出力する量子化器 5 0 3 と、2 つの基準信号  $V_{ref}$ 、 $-V_{ref}$  を選択する 2 つのスイッチを備え、量子化信号である出力信号を帰還して 1 ビットの量子化信号に同期して、出力信号の論理値に応じた基準信号をスイッチにより選択し、出力信号を D / A 変換した信号を生成する D A C 5 0 4 を備える構成とすることで、パルス密度変調信号を生成する。 30

【0099】

次に、図 9 ( b )、( c ) を参照して、F B 型 変調回路 4 1 の動作について説明する。

【0100】

まず、F B 型 変調回路 4 1 は、上述のように、エラーアンプ 3 2 が出力する D C / D C 変換回路 3 1 の出力信号から所望の出力電圧に対応する基準電圧  $V_{ref}$  からの誤差信号を入力する。 40

【0101】

入力信号が減算器 5 0 1 に入力側抵抗に印加され、D A C 5 0 4 の出力信号が減算器 5 0 1 の帰還抵抗に印加され、入力信号と出力信号との減算が行われて差分信号が生成される。そして、差分信号が積分器 5 0 2 の帰還容量に入力される。つまり、差分信号が積分されて差分積分信号が出力される。

【0102】

図 9 ( b ) は、F B 型 変調回路 4 1 の入力信号と出力信号を例示した波形で、図 9 50

(c) は、差分積分信号を例示した波形を示す図である。また、入力信号が 0 より小さいときの波形を表している。量子化器 503 と DAC 504 は、量子化器 53 と DAC 54 と同様の動作をするため、FB 型 変調回路 41 の入力信号と出力信号を例示した波形と差分積分信号は、FB 型 変調回路 41 が上述した離散時間 FB 型 変調回路であるときと同様の波形となる。

【0103】

以上が、FB 型 変調回路 41 の動作説明である。

【0104】

図 10 (a) 乃至 (c) は、FB 型 変調回路の構成ブロック図と伝達特性を説明するための図で、図 10 (a) は、FB 型 変調回路のブロック図、図 10 (b) は、伝達特性を示す図、図 10 (c) は、信号伝達関数 (STF; Signal Transfer Function) とノイズ伝達関数 (NTF; Noise Transfer Function) の関係式を示している。

10

【0105】

図 10 (a) に示すように、FB 型 変調回路が上述した離散時間 FB 型 変調回路であるときと同様に、低い周波数の信号を通過させる積分器 (LPF) 502 と、量子化器 (ADC; アナログ/デジタル変換回路) 503 と、DAC (デジタル/アナログ変換回路) 504 と、アナログ信号を減算して出力する減算器 501 とを備えている。

【0106】

図 10 (a) の入力から出力までの伝達特性は、図 10 (b) に示すようになる。図 10 (b) に示した FB 型 変調回路は連続時間 FB 型 変調回路である。図 10 (b) より伝達関数を求めると、図 10 (c) のようになる。

20

【0107】

図 10 (c) に示すように、ラプラス変換した出力デジタル信号  $Y(s)$  は、 $Y(s) = H(s) \cdot X(s) / (1 - L(s)) + 1 \cdot E(s) / (1 - L(s))$  となる。信号伝達関数 STF (Signal Transfer Function) は、 $STF(s) = H(s) / (1 - L(s))$  であり、ノイズ伝達関数 NTF (Noise Transfer Function) は、 $NTF(s) = 1 / (1 - L(s))$  である。なお、 $X(s)$  はラプラス変換した入力アナログ信号であり、 $H(s)$  は積分器の伝達関数であり、 $L(s) = -H(s) H_{DAC}(s)$  であり  $H(s)$  と DAC 504 の伝達関数  $H_{DAC}(s)$  と  $-1$  の積である。

30

【0108】

また、オーバーサンプリングとノイズ伝達関数により量子化ノイズ  $E(s)$  はノイズシャイプされて高 SNDR (Signal to Noise plus Distortion Ratio; 信号対雑音 + 歪電力比) を実現する。

【0109】

しかしながら、積分器 502 の伝達関数は、1 次の場合には、 $H(s) = 1 / sT$  であるので、信号伝達関数は、 $STF(s) = (1 / sT) (1 - e^{-sT})$  となって 1 次遅れが生じる。また、ノイズ伝達関数は、 $NTF(s) = (1 - e^{-sT})$  と 1 次の微分特性となる。

40

【0110】

ここで示されているフィルタ回路の次数は 1 次である。フィルタの次数は、その伝達関数のラプラス演算子  $s$  の最大のべき数である。

【0111】

図 11 は、2 次フィードバック型 変調回路を説明するための構成ブロック図である。減算器 601 の出力は、1 段目の積分器 602 に入力され、1 段目の積分器 602 の出力は、減算器 603 及び 2 段目の積分器 604 を介して量子化器 605 に入力されている。また、DAC 606 は、量子化器 605 の出力をアナログ信号に変換して 2 段目の積分器 604 にフィードバックするとともに、DAC 606 は、量子化器 605 の出力をアナログ信号に変換して 1 段目の積分器 602 にフィードバックする。減算器 601 は、

50

A D 変調回路の入力となるアナログ信号から、D A C 6 0 7 の出力を減算して出力し、減算器 6 0 3 は、A D 変調回路の入力となるアナログ信号から、D A C 6 0 6 の出力を減算して出力する。

【0112】

量子化器 6 0 5 の出力をラプラス変換すると、 $Y(s) = (1 - e^{-sT})^2 / (sT)^2 X(s) + (1 - e^{-sT})^2 E(s)$  で示される。

【0113】

すなわち、2次フィードバック型 変調回路の信号伝達関数は、 $STF(s) = (1 - e^{-sT})^2 / (sT)^2$  であり、2次遅れが生じる。また、ノイズ伝達関数は、 $NTF(s) = (1 - e^{-sT})^2$  となり、2次の微分特性となる。

10

【0114】

以上、本発明に係るフィードフォワード型 変調回路を用いたスイッチング電源回路を説明する前に、従来から用いられていた P W M 回路を用いたスイッチング電源回路及び従来から用いられていたフィードバック型 変調回路を用いたスイッチング電源回路について説明した。

【0115】

以下、本発明に係るフィードフォワード型 変調回路を用いたスイッチング電源回路の実施例1及び実施例2について説明する。

【実施例1】

【0116】

まず、本発明に係るフィードフォワード型 変調回路を用いたスイッチング電源回路の実施例1について説明する。この実施例1では、フィードフォワード(F F)型 変調回路は離散時間 F F 型 変調回路である。

20

【0117】

図12は、本発明に係るフィードフォワード(F F)型 変調回路を用いたスイッチング電源回路の構成ブロック図である。図中符号70は制御回路、71はD C / D C 変換回路、72はエラーアンプ(誤差増幅器)、73はフィードフォワード型(F F)型 変調回路、74はドライブ回路を示している。

【0118】

本発明に係るスイッチング電源回路は、D C / D C 変換回路71と制御回路70とから構成され、制御回路70は、エラーアンプ72とF F 型 変調回路73とドライブ回路74とから構成されている。エラーアンプ72は、D C / D C 変換回路71の出力電圧に対応する分圧電圧との差分を増幅した誤差信号をフィードフォワード型 変調回路73に出力するもので、ドライブ回路74は、フィードフォワード型 変調回路73より出力されたパルス密度変調信号が入力されるものである。

30

【0119】

このように、本発明に係るスイッチング電源回路は、フィードフォワード型 変調制御を用いたD C / D C 変換回路71を備えたもので、入力信号を出力信号に変換するD C / D C 変換回路71と、このD C / D C 変換回路71の出力信号に基づいて、D C / D C 変換回路71を 変調制御するフィードフォワード型 変調回路73とを備えている。

40

【0120】

入力電圧がD C / D C 変換回路71に入力されると、その出力電圧がエラーアンプ72とF F 型 変調回路73とドライブ回路74を介して 変調制御され、D C / D C 変換回路71から出力電圧を得る。この 変調制御の特徴は、D C / D C 変換回路71を制御するパルス密度変調信号が、出力信号に応じてパルス密度が変化することである。

【0121】

F F 型 変調回路を用いたスイッチング電源回路は、後述するように、信号伝達関数の遅延が小さく、パルス密度変調信号に遅延が小さいので、さらなる早い応答速度を実現することができる。

50

## 【0122】

図13は、図12に示したFF型変調回路を用いたスイッチング電源回路の具体的な回路構成図である。図中75はインバータ回路、76はバッファ回路を示している。なお、符号71～74は図12に対応している。

## 【0123】

DC/DC変換回路71におけるスイッチS1, S2は、NチャネルMOSトランジスタで構成される。つまり、スイッチS1, S2はハイレベルの制御信号が入力されるとオン(導通)して、ローレベルの制御信号が入力されるとオフ(遮断)される。なお、本実施例では、NチャネルMOSトランジスタであるが、PチャネルMOSトランジスタを用いてもよい。PチャネルMOSトランジスタを用いるときは、スイッチのオンオフを制御するためのゲートに与える信号の極性を逆にすればよい。

10

## 【0124】

また、FF型変調回路73より出力されるパルス密度変調信号(スイッチング信号)が、インバータ回路75、バッファ回路76を含むドライブ回路74に入力される。そして、スイッチS1, S2には、それぞれ互いに極性が異なるパルス密度変調信号が与えられる。

## 【0125】

つまり、出力電圧の所望の値からの誤差に対応するパルス密度のパルス密度変調信号がスイッチS1に与えられ、反転したパルス密度変調信号がスイッチS2に与えられる。

## 【0126】

パルス密度変調信号がハイレベルのとき、スイッチS1はオンし、スイッチS2はオフする。スイッチS1がオンすることで、インダクタLに入力電圧 $V_{in}$ が印加され、インダクタLに充電電流が充電される。

20

## 【0127】

次に、パルス密度変調信号がローレベルになったとき、スイッチS1はオフし、スイッチS2はオンする。スイッチS2がオンすることで、インダクタLに充電された充電電流が容量 $C_{out}$ に流れ、容量 $C_{out}$ に電荷が蓄えられ、昇圧された出力電圧 $V_{out}$ が出力される。

## 【0128】

ここで、パルス密度変調信号のパルス密度が薄い(スイッチング周波数が低い)程、インダクタLに充電された充電電流が容量 $C_{out}$ に流れる回数が少なくなるので、昇圧電圧は低くなる。一方、パルス密度変調信号のパルス密度が濃い(スイッチング周波数が高い)程、インダクタLに充電された充電電流が容量 $C_{out}$ に流れる回数が多くなるので、昇圧電圧は高くなる。

30

## 【0129】

パルス密度は、出力電圧 $V_{out}$ に応じて決まる。つまり、電源投入直後の過渡状態のとき、パルス密度が濃く(スイッチング周波数が高く)なり、定常時は、パルス密度が薄く(スイッチング周波数が低く)なる。そして、出力電圧 $V_{out}$ は、抵抗 $R1$ 、 $R2$ で構成される分圧回路により分圧されて、分圧電圧がエラーアンプの反転入力端子に入力される。

40

## 【0130】

エラーアンプ72は、非反転入力端子に所望の出力電圧に対応する基準電圧 $V_{ref}$ が与えられ、出力信号 $V_{out}$ に対応する分圧電圧との差分をとって増幅した信号(誤差信号)をFF型変調回路73に出力する。

## 【0131】

そして、上述のように、出力電圧 $V_{out}$ から所望の出力電圧の誤差に応じてFF型変調回路73は、誤差に対応したパルス密度変調のパルス密度変調信号を生成して、ドライバ74を介してスイッチS1, S2に出力する。

## 【0132】

図14(a)乃至(c)は、本発明に係るスイッチング電源回路に用いられる1次フィ

50

ードフォワード (FF) 型 変調回路を説明するための図で、図 14 (a) は、1 次フィードフォワード型 変調回路の構成ブロック図、図 14 (b) は、伝達特性を示す図、図 14 (c) は、信号伝達関数 (STF; Signal Transfer Function) とノイズ伝達関数 (NTF; Noise Transfer Function) の関係式を示している。

【0133】

図 14 (a) に示すように、低い周波数のアナログ信号を通過させる積分器 (LPF) 82 と加算器 83 と量子化器 (ADC; アナログ/デジタル変換回路) 84 と DAC (デジタル/アナログ変換回路) 85 とアナログ信号を減算して出力する減算器 81 とを備えている。

10

【0134】

つまり、図 14 (a) に示すように、フィードフォワード型 変調回路は、低い周波数の入力アナログ信号を通過させる積分器 82 と、この積分器 82 の出力側に接続された加算器 83 と、この加算器 83 の出力側に接続された量子化器 84 と、この量子化器 84 の出力側に接続され、この量子化器 84 のデジタル信号をアナログ信号に変換して積分器 82 にフィードバックする DAC 85 と、入力アナログ信号から DAC 85 から出力されたアナログ信号を減算する減算器 81 と、入力アナログ信号を直接加算器 83 に入力させるフィードフォワードパス a とを備えている。

【0135】

FF 型 変調回路は、積分器 82 の出力を量子化器で量子化するため、量子化器において量子化ノイズ  $E(Z)$  が加わる。すなわち、図 14 (a) の入力から出力までの伝達特性は、図 14 (b) に示すようになる。図 14 (b) に示した FF 型 変調回路は離散時間 FF 型 変調回路である。図 14 (b) より伝達関数を求めると、図 14 (c) のようになる。

20

【0136】

図 14 (c) に示すように、Z 変換した出力デジタル信号  $Y(Z)$  は、 $Y(Z) = X(Z) + 1 \cdot E(Z) / (1 + H(Z))$  となり、積分器の伝達関数  $H(Z)$  は、1 次の場合には、 $H(Z) = Z^{-1} / (1 - Z^{-1})$  であるので、信号伝達関数は、 $STF(Z) = 1$  となり遅延しない。また、ノイズ伝達関数は、 $NTF(Z) = 1 - Z^{-1}$  となり、1 次の微分特性となる。つまり、図 7 (c) に示した信号伝達関数は、 $STF(Z) = Z^{-1}$  となり、1 クロック (1 サンプル周期) 遅れるのに対して、図 14 (c) に示した信号伝達関数は、 $STF(Z) = 1$  となり、パルス密度変調信号は遅延しないため、FB 型 A/D 変調回路よりも FF 型 変調回路の方が、パルス密度変調信号に遅延が生じないので、応答速度が改善されていることが分かる。

30

【0137】

図 15 は、図 14 (a) に示した 1 次フィードフォワード (FF) 型 変調回路の具体的な回路構成図である。この 1 次 FF 型 変調回路は、減算器 81 と積分器 82 と加算器 83 と量子化器 (A/D コンバータ; ADC) 84 と DAC (D/A コンバータ) 85 とから構成されている。

【0138】

1 次 FF 型 変調回路は、第 1 のスイッチを含み入力信号と出力信号を D/A 変換した信号との差分をとる減算器 81 と、第 2 のスイッチと容量と第 1 の演算増幅器とを備え、差分を積分した差分積分信号を出力する積分器 82 と、入力信号がフィードフォワードパス a より入力される第 1 の抵抗と積分器 82 の出力が入力される第 2 の抵抗と第 2 の演算増幅器と帰還抵抗とを備えた加算器 83 と、コンパレータとフリップフロップとを備え、量子化基準信号 (しきい値) と加算器 83 の信号レベルを大小比較し 1 ビットの量子化信号を出力する量子化器 84 と、2 つの基準信号  $V_{ref}$ 、 $-V_{ref}$  を選択する 2 つの第 3 のスイッチを備え、量子化信号である出力信号を帰還して 1 ビットの量子化信号に同期して、出力信号の論理値に応じた基準信号を第 3 のスイッチにより選択し、出力信号を D/A 変換した信号を生成する DAC 85 を備える構成とすることで、パルス密度変調信

40

50

号を生成する。

【0139】

1次FF型 変調回路は、FB型 変調回路の場合と同様に、スイッチをオンオフし、電荷を転送するための2つのフェーズ、Ph1（フェーズ1）とPh2（フェーズ2）がある。図15において、Ph1と図示したスイッチは、Ph1においてオンし、Ph2と図示したスイッチは、Ph2においてオンする。各フェーズの周波数は、サンプリング周波数に等しく、Ph1とPh2は、交互に繰り返される。つまり、1つのサンプリング周期において、1つのPh1と1つのPh2が存在する。

【0140】

まず、1次FF型 変調回路は、上述のように、エラーアンプ72が出力するDC/DC変換回路31の出力信号から所望の出力電圧に対応する基準電圧Vrefからの誤差信号を入力する。

【0141】

Ph1において、入力信号が積分器81の入力側容量に印加され、入力信号に応じた電荷が蓄えられる。また、フィードフォワードパスaにより直接加算器83に入力される。

【0142】

Ph2において、DAC85の出力信号が積分器82の入力側容量に印加され、DAC85の出力信号に応じた電荷が転送される。ここで、減算器81は、入力側とDAC85の出力が結線されているので、Ph1で入力信号により蓄えた電荷から、Ph2でDAC85の出力信号に応じた電荷を減算した電荷が、積分器82の入力側容量に蓄えられる。つまり、1次FF型 変調回路の入力信号と出力信号との減算が行われ、差分信号が生成される。

【0143】

積分器82の入力側容量の電荷は、Ph2において、演算増幅器の出力端子から非反転入力端子との間の帰還容量に転送される。つまり、差分信号が積分され、差分積分信号が出力される。次に、差分積分信号は、加算器83において、フィードフォワードパスより伝達された入力信号と加算されて、加算信号が出力される。

【0144】

そして、加算信号は、量子化器84のコンパレータに入力され、量子化基準信号と加算信号が大小比較されて、フリップフロップに出力される。ここで、量子化基準信号は、0V（グラウンド）である。そして、Ph1になったとき、フリップフロップは、差分積分信号と量子化基準信号（しきい値）との大小比較結果を1ビットの量子化信号として出力する。つまり、量子化器84は、差分積分信号が0V以上のとき、ハイレベルを出力し、0Vより小さいとき、ローレベルを出力する。

【0145】

量子化信号は、DAC85のスイッチに入力される。DAC85において、量子化信号がハイレベルのとき、基準信号Vrefが選択され、量子化信号がローレベルのとき、基準信号-Vrefが選択される。そして、次のサンプリング周期において、量子化信号をD/A変換した信号は、入力信号から減算器81により減算される。

【0146】

このような動作を繰り返すことで、入力信号に応じたパルス密度変調信号が生成される。1次FF型 変調回路の入力信号が小さくなる（誤差が大きくなる）と、パルス密度は濃くなり（パルスの数が増え）、大きくなる（誤差が小さくなる）と、パルス密度は薄くなる（パルスの数が減る）。

【0147】

また、上述した動作により、入力信号が0Vより小さいとき、パルス密度変調信号は、1回ハイレベルになった後、必ずローレベルになる。このとき、ハイレベルの期間は、サンプリング周期であり固定である。一方、入力信号が0Vより大きいとき、パルス密度変調信号は、1回ローレベルになった後、必ずハイレベルになる。このとき、ローレベルの期間は、サンプリング周期であり固定である。

10

20

30

40

50

以上が、1次FF型 変調回路の動作説明である。

【0148】

FF型 変調回路を用いたスイッチング電源回路は、上述のように、信号伝達関数が1であり、パルス密度変調信号に遅延が生じないので、さらなる早い応答速度を実現することができる。

【0149】

図16(a), (b)は、離散時間フィードバック(FB)型 変調回路の出力信号により、DC/DC変換回路31でスイッチング動作を行ったときのDC/DC変換回路31の出力電圧波形と、1次離散時間フィードフォワード(FF)型 変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形とを比較するための図であり、(a)は負荷が大きくなり出力電流が大きくなったときの波形で、(b)は負荷が小さくなり出力電流が小さくなったときの波形である。

10

【0150】

図16(a), (b)に示したように、FB型 変調回路の出力電圧波形の応答速度は遅いのにに対して、FF型 変調回路の出力電圧波形の応答速度は早いことがわかる。これは、上述したように、信号伝達関数が1であり、パルス密度変調信号に遅延が生じないためである。

【0151】

さらに、離散時間FF型 変調回路を用いたスイッチング電源回路は、信号伝達関数が1であり、パルス密度変調信号に遅延が生じないので、スイッチング電源回路においてパルス密度変調信号の遅延に起因する発振ループが形成されず、出力電圧波形のリプルが小さくなるという効果を奏する。

20

【0152】

つまり、エラーアンプの出力信号に対応し、スイッチング電源回路の所望の出力電圧からの誤差が0になるような量子化信号、すなわち、パルス密度変調信号が遅延することなくDC/DC変換回路(電圧コンバータ部)に反映されるので、量子化信号が反映されるまでの間、DC/DC変換回路が余分に昇圧もしくは降圧することがない。したがって、所望の出力電圧からの誤差が小さくなる。つまり、遅延に起因する誤差がエラーアンプに伝達されない。その結果、スイッチング電源回路の出力信号のリプルは小さくなる。

30

【0153】

図17(a), (b)は、フィードバック(FB)型 変調回路の出力信号により、DC/DC変換回路31でスイッチング動作を行ったときのDC/DC変換回路31の出力電圧波形と、1次フィードフォワード(FF)型 変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形とを比較するための図で、図18(a), (b)は、その拡大図である。図18(a)に示したFB型 変調回路の出力電圧波形のリプル(ripple; 脈動成分)が大きいのにに対して、図18(b)に示した1次FF型 変調回路の出力電圧波形のリプルが小さいことがわかる。

40

【0154】

これは、上述したように、信号伝達関数が1であり、パルス密度変調信号に遅延が生じないので、スイッチング電源回路においてパルス密度変調信号の遅延に起因する発振ループが形成されないからである。つまり、エラーアンプの出力信号に対応し、スイッチング電源回路の所望の出力電圧からの誤差が0になるような量子化信号、すなわち、パルス密度変調信号が遅延することなくDC/DC変換回路に反映されるので、量子化信号が反映されるまでの間、DC/DC変換回路が余分に昇圧もしくは降圧することがないためである。

【0155】

図19は、本発明に係るスイッチング電源回路に用いられる2次フィードフォワード(FF)型 変調回路を説明するための構成ブロック図であり、2次離散時間フィードフ

50

ワード ( F F ) 型 変調回路である。低い周波数のアナログ信号を通過させる 1 段目の積分器 9 2 と 2 段目の積分器 9 3 と加算器 9 4 と量子化器 9 5 と D A C 9 6 とアナログ信号を減算して出力する減算器 9 1 とを備えている。

【 0 1 5 6 】

つまり、フィードフォワード型 変調回路は、低い周波数の入力アナログ信号を通過させる 1 段目の積分器 9 2 と、この 1 段目の積分器 9 2 の出力側に接続された 2 段目の積分器 9 3 と、この 2 段目の積分器 9 3 の出力側に接続された加算器 9 4 と、この加算器 9 4 の出力側に接続された量子化器 ( A D C ; アナログ / デジタル変換回路 ) 9 5 と、この量子化器 9 5 の出力側に接続され、この量子化器 9 5 の出力デジタル信号をアナログ信号に変換して 1 段目の積分器 9 2 にフィードバックする D A C 9 6 と、入力アナログ信号から量子化器 9 6 より出力されたアナログ信号を減算する減算器 9 1 と、入力アナログ信号を直接加算器 9 4 に入力させる第 1 のフィードフォワードパス a と、1 段目の積分器 9 2 からの出力信号を加算器 9 4 に直接入力する第 2 のフィードフォワードパス b とを備えている。

10

【 0 1 5 7 】

1 段目の積分器 9 2 の Z 変換した出力は、 $y_1 ( Z ) = Z^{-1} ( 1 - Z^{-1} ) E ( Z )$  で示される。また、量子化器 9 5 の出力は、 $Y ( Z ) = X ( Z ) + ( 1 - Z^{-1} )^2 E ( Z )$  で示される。つまり、信号伝達関数は、 $S T F ( Z ) = 1$  で遅延がなく、ノイズ伝達関数は、 $N T F ( Z ) = ( 1 - Z^{-1} )^2$  で 2 次の微分特性である。

20

【 0 1 5 8 】

図 2 0 は、図 1 9 に示した 2 次フィードフォワード ( F F ) 型 変調回路の具体的な回路構成図である。この 2 次 F F 型 変調回路は、減算器 9 1 と積分器 9 2 と積分器 9 3 と加算器 9 4 と量子化器 ( A / D コンバータ ; A D C ) 9 5 と D A C ( D / A コンバータ ) 9 6 とから構成されている。

【 0 1 5 9 】

2 次 F F 型 変調回路は、第 1 のスイッチを備え、入力信号と出力信号を D / A 変換した信号との差分をとる減算器 9 1 と、第 2 のスイッチと第 1 の容量と第 1 の演算増幅器とを備え、差分を積分した差分積分信号を出力する 1 段目の積分器 9 2 と、第 3 のスイッチと第 2 の容量と第 2 の演算増幅器とを備え、1 段目の積分器 9 2 の出力を積分する 2 段目の積分器 9 3 と、入力信号がフィードフォワードパス a より入力される第 1 の抵抗と 1 段目の積分器 9 2 の出力がフィードフォワードパス b より入力される第 2 の抵抗と 2 段目の積分器 9 3 の出力が入力される第 3 の抵抗と第 3 の演算増幅器と帰還抵抗とを備えた加算器 9 4 と、コンパレータとフリップフロップとを備え、量子化基準信号 ( しきい値 ) と加算器 9 4 の信号レベルを大小比較し 1 ビットの量子化信号を出力する量子化器 9 5 と、2 つの基準信号  $V_{r e f}$ 、 $-V_{r e f}$  を選択する 2 つの第 4 のスイッチを備え、量子化信号である出力信号を帰還して 1 ビットの量子化信号に同期して、出力信号の論理値に応じた基準信号を第 4 のスイッチにより選択し、出力信号を D / A 変換した信号を生成する D A C 9 6 を備える構成とすることで、パルス密度変調信号を生成する。

30

【 0 1 6 0 】

2 次 F F 型 変調回路は、1 次 F F 型 変調回路の場合と同様に、スイッチをオンオフし、電荷を転送するための 2 つのフェーズ、 $P h 1$  ( フェーズ 1 ) と  $P h 2$  ( フェーズ 2 ) がある。図 2 0 において、 $P h 1$  と図示したスイッチは、 $P h 1$  においてオンし、 $P h 2$  と図示したスイッチは、 $P h 2$  においてオンする。各フェーズの周波数は、サンプリング周波数に等しく、 $P h 1$  と  $P h 2$  は、交互に繰り返される。つまり、1 つのサンプリング周期において、1 つの  $P h 1$  と 1 つの  $P h 2$  が存在する。

40

【 0 1 6 1 】

まず、2 次 F F 型 変調回路は、上述のように、エラーアンプ 7 2 が出力する D C / D C 変換回路 7 1 の出力信号から所望の出力電圧に対応する基準電圧  $V_{r e f}$  からの誤差信号を入力する。

【 0 1 6 2 】

50

Ph 1において、入力信号が積分器 9 2 の入力側容量に印加され、入力信号に応じた電荷が蓄えられる。また、フィードフォワードパス a により直接加算器 9 4 に入力される。

【 0 1 6 3 】

Ph 2において、DAC 9 6 の出力信号が積分器 9 2 の入力側容量に印加され、DAC 9 6 の出力信号に応じた電荷が転送される。ここで、減算器 9 1 は、入力側とDAC 9 6 の出力が結線されているので、Ph 1 で入力信号により蓄えた電荷から、Ph 2 でDAC 9 6 の出力信号に応じた電荷を減算した電荷が、積分器 9 2 の入力側容量に蓄えられる。つまり、2 次 FF 型 変調回路の入力信号と出力信号との減算が行われて差分信号が生成される。

【 0 1 6 4 】

積分器 9 2 の入力側容量の電荷は、Ph 2 において、演算増幅器の出力端子から非反転入力端子との間の帰還容量に転送される。つまり、差分信号が積分されて差分積分信号が出力される。

【 0 1 6 5 】

次に、差分積分信号は、積分器 9 3 に入力され、さらに積分される。また、差分積分信号は、フィードフォワードパス b により直接加算器 9 4 に入力される。加算器 9 4 において、フィードフォワードパス a 及び b より伝達された信号と積分器 9 3 の出力信号とが加算されて、加算信号が出力される。

【 0 1 6 6 】

そして、加算信号は、量子化器 9 5 のコンパレータに入力され、量子化基準信号と加算信号が大小比較されて、フリップフロップに出力される。ここで、量子化基準信号は、0 V (グラウンド) である。そして、Ph 1 になったとき、フリップフロップは、差分積分信号と量子化基準信号 (しきい値) との大小比較結果を 1 ビットの量子化信号として出力する。つまり、量子化器 9 5 は、差分積分信号が 0 V 以上のとき、ハイレベルを出力し、0 V より小さいとき、ローレベルを出力する。

【 0 1 6 7 】

量子化信号は、DAC 9 6 のスイッチに入力される。DAC 9 6 において、量子化信号がハイレベルのとき、基準信号  $V_{ref}$  が選択され、量子化信号がローレベルのとき、基準信号  $-V_{ref}$  が選択される。そして、次のサンプリング周期において、量子化信号を D/A 変換した信号は、入力信号から減算器 9 1 により減算される。このような動作を繰り返すことで、入力信号に応じたパルス密度変調信号が生成される。

【 0 1 6 8 】

2 次 FF 型 変調回路の入力信号が小さくなる (誤差が大きくなる) と、パルス密度は濃くなり (パルスの数が増え)、大きくなる (誤差が小さくなる) と、パルス密度は薄くなる (パルスの数が減る)。

【 0 1 6 9 】

また、上述した動作により、入力信号が 0 V より小さいとき、パルス密度変調信号は、1 回ハイレベルになった後、必ずローレベルになる。このとき、ハイレベルの期間は、サンプリング周期であり固定である。一方、入力信号が 0 V より大きいとき、パルス密度変調信号は、1 回ローレベルになった後、必ずハイレベルになる。このとき、ローレベルの期間は、サンプリング周期であり固定である。

以上が、2 次 FF 型 変調回路の動作説明である。

【 0 1 7 0 】

2 次 FF 型 変調回路を用いたスイッチング電源回路は、上述のように、信号伝達関数が 1 であり、パルス密度変調信号に遅延が生じないので、さらなる早い応答速度を実現することができる。

【 0 1 7 1 】

図 2 1 ( a ) , ( b ) は、2 次離散時間フィードバック ( FB ) 型 変調回路の出力信号により、DC / DC 変換回路 3 1 でスイッチング動作を行ったときの DC / DC 変換回路 3 1 の出力電圧波形と、2 次離散時間フィードフォワード ( FF ) 型 変調回路の

10

20

30

40

50

出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形とを比較するための図であり、図21(a)は負荷が大きくなり出力電流が大きくなったときの波形で、図21(b)は負荷が小さくなり出力電流が小さくなったときの波形である。

【0172】

図21(a), (b)に示したように、FB型変調回路の出力電圧波形の応答速度は遅いのに対して、FF型変調回路の出力電圧波形の応答速度は早いことがわかる。

【0173】

これは、上述したように、信号伝達関数が1であり、パルス密度変調信号に遅延が生じないためである。さらに、ノイズ伝達関数が2次の微分特性を有するので、信号帯域(低周波帯域)におけるSNDRがさらに高くなり、2次FF型変調回路は1次FF型変調回路よりも応答速度が早くなる。

10

【0174】

また、2次離散時間FF型変調回路を用いたスイッチング電源回路は、信号伝達関数が1であり、パルス密度変調信号に遅延が生じないので、スイッチング電源回路においてパルス密度変調信号の遅延に起因する発振ループが形成されない。

【0175】

つまり、エラーアンプの出力信号に対応し、スイッチング電源回路の所望の出力電圧からの誤差が0になるような量子化信号、すなわち、パルス密度信号が遅延することなくDC/DC変換回路(電圧コンバータ部)に反映されるので、量子化信号が反映されるまでの間、DC/DC変換回路が余分に昇圧もしくは降圧することがない。したがって、所望の出力電圧からの誤差が小さくなる。つまり、遅延に起因する誤差がエラーアンプに伝達されない。

20

【0176】

さらに、ノイズ伝達関数が2次の微分特性を有するので、信号帯域(低周波帯域)におけるSNDRがさらに高くなるので、1次FF型変調器を用いたスイッチング電源回路よりもリップルが小さくなるという効果を奏する。すなわち、量子化ノイズがより高周波帯域にシェーピングされるため、DC/DC変換回路におけるインダクタと容量とで形成されるリアクタンスフィルタによって、量子化ノイズを減衰させることができる。したがって、スイッチング電源回路の出力信号にリップルはさらに小さくなる。

30

【0177】

図22(a), (b)は、フィードバック(FB)型変調回路の出力信号により、DC/DC変換回路31でスイッチング動作を行ったときのDC/DC変換回路31の出力電圧波形と、2次フィードフォワード(FF)型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形とを比較するための図で、図23(a), (b)は、その拡大図である。図23(a)に示したFB型変調回路の出力電圧波形のリップル(ripple; 脈動成分)が大きいのに対して、図23(b)に示した2次FF型変調回路の出力電圧波形の極めてリップルが小さいことがわかる。また、1次FF型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形のリップルよりも、図23(b)に示した2次FF型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形のリップルの方が小さいことはわかる。つまり、1次FF型変調回路を備えたときよりも2次FF型変調回路を備えたときのリップルの方が改善されていることが分かる。

40

【0178】

以上は、2次FF型変調回路について説明したが、N次FF型変調回路について、図示していないが以下に説明する。ここで、N次FF型変調回路はN次離散時間FF型変調回路である。

【0179】

50

フィードフォワード型 変調回路は、1段目からN段目までカスケード接続される1段目乃至N段目の積分器と、このN段目の積分器の出力側に接続された加算器と、この加算器の出力側に接続された量子化器と、この量子化器の出力側に接続され、この量子化器の出力デジタル信号をアナログ信号に変換して1段目の積分器にフィードバックするデジタル/アナログ変換回路と、入力アナログ信号からデジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、入力アナログ信号を直接加算器に入力させる第1のフィードフォワードパスと、1段目の積分器からN-1段目までの出力信号を加算器に直接入力する第2乃至第Nのフィードフォワードパスとを備えている。

【0180】

このように、N次の場合も、上述した1次や2次の場合と同様に、フィードフォワードパスがN個あり、積分器が初段からN段まで、N個カスケード接続されている。そして、各積分器の出力が加算器により加算され、量子化器にて、量子化される。量子化された量子化信号は、DACに入力され、アナログ信号に変換される。そして、入力信号と減算されて、初段の積分器に入力される。

10

【0181】

伝達関数は、1次と2次の場合と同様にして導かれ、次式のようになる。

$$Y(Z) = X(Z) + (1 - Z^{-1})^N E(Z)$$

すなわち、STFとNTFはそれぞれ以下の式で表される。

$$STF = 1$$

$$NTF = (1 - Z^{-1})^N$$

20

この式から分かるように、STFは、遅延がなく、NTFはN次の微分特性を有する。したがって、信号帯域の中心周波数付近で量子化ノイズが著しく減少していることが分かる。つまり、さらなる早い応答速度で、リップルをさらに低減できるという効果を奏する。

【0182】

このように、本発明の離散時間フィードフォワード(FF)型 変調回路を用いたDC/DC変換回路を備えることにより、さらなる早い応答速度であり、リップルの低減を実現するようにしたスイッチング電源回路を実現することができる。

【実施例2】

【0183】

次に、本発明に係るフィードフォワード型 変調回路を用いたスイッチング電源回路の実施例2について説明する。この実施例2では、フィードフォワード(FF)型 変調回路は連続時間FF型 変調回路である。

30

【0184】

図24(a)乃至(c)は、本発明に係るスイッチング電源回路に用いられる1次フィードフォワード(FF)型 変調回路を説明するための図で、図24(a)は、1次フィードフォワード型 変調回路の構成ブロック図、図24(b)は、伝達特性を示す図、図24(c)は、信号伝達関数(STF; Signal Transfer Function)とノイズ伝達関数(NTF; Noise Transfer Function)の関係式を示している。

40

【0185】

図24(a)に示すように、低い周波数のアナログ信号を通過させる積分器(LPF)802と加算器803と量子化器(ADC; アナログ/デジタル変換回路)804とDAC(デジタル/アナログ変換回路)805とアナログ信号を減算して出力する減算器801とを備えている。

【0186】

つまり、図24(a)に示すように、フィードフォワード型 変調回路は、低い周波数の入力アナログ信号を通過させる積分器802と、この積分器802の出力側に接続された加算器803と、この加算器803の出力側に接続された量子化器804と、この量子化器804の出力側に接続され、この量子化器804のデジタル信号をアナログ信号に

50

変換して積分器 802 にフィードバックする DAC 805 と、入力アナログ信号から DAC 805 から出力されたアナログ信号を減算する減算器 801 と、入力アナログ信号を直接加算器 803 に入力させるフィードフォワードパス a とを備えている。

【0187】

FF型 変調回路は、積分器 802 の出力を量子化器で量子化するため、量子化器において量子化ノイズ  $E(s)$  が加わる。すなわち、図 24 (a) の入力から出力までの伝達特性は、図 24 (b) に示すようになる。図 24 (b) に示した FF型 変調回路は連続時間 FF型 変調回路である。図 24 (b) より伝達関数を求めると、図 24 (c) のようになる。

【0188】

図 24 (c) に示すように、ラプラス変換した出力デジタル信号  $Y(s)$  は、 $Y(s) = H(s) \cdot X(s) / (1 - L(s)) + 1 \cdot E(Z) / (1 - L(s))$  となり、積分器の伝達関数  $H(s)$  は、1 次の場合には、 $H(s) = 1 / sT$  であり、 $L(s) = -H(s) H_{DAC}(s) = e^{-sT} / (1 - e^{-sT})$  であるので、信号伝達関数は、 $STF(s) = (1 + 1 / sT) (1 - e^{-sT})$  となり、全域通過関数である 1 を含むため、低遅延で信号を伝達することができる。また、ノイズ伝達関数は、 $NTF(s) = 1 - e^{-sT}$  となり、1 次の微分特性となる。つまり、図 10 (c) に示した信号伝達関数は、 $STF(s) = (1 - e^{-sT}) / sT$  となり、1 次遅れが生じるのに対して、図 24 (c) に示した信号伝達関数は、 $STF(s) = (1 + 1 / sT) (1 - e^{-sT})$  となり、パルス密度変調信号の遅延は小さいため、FB型 AD変調回路よりも FF型 変調回路の方が、応答速度が改善されていることが分かる。

【0189】

図 25 は、図 24 (a) に示した 1 次フィードフォワード (FF) 型 変調回路の具体的な回路構成図である。この 1 次 FF型 変調回路は、減算器 801 と積分器 802 と加算器 803 と量子化器 (A/D コンバータ; ADC) 804 と DAC (D/A コンバータ) 805 とから構成されている。

【0190】

1 次 FF型 変調回路は、第 1 及び第 2 の抵抗を含み入力信号と出力信号を D/A 変換した信号との差分をとる減算器 801 と、容量と第 1 の演算増幅器とを備え、差分を積分した差分積分信号を出力する積分器 802 と、入力信号がフィードフォワードパス a より入力される第 3 の抵抗と積分器 802 の出力が入力される第 4 の抵抗と第 2 の演算増幅器と帰還抵抗とを備えた加算器 803 と、コンパレータとフリップフロップとを備え、量子化基準信号 (しきい値) と加算器 803 の信号レベルを大小比較し 1 ビットの量子化信号を出力する量子化器 804 と、2 つの基準信号  $V_{ref}$ 、 $-V_{ref}$  を選択する 2 つのスイッチを備え、量子化信号である出力信号を帰還して 1 ビットの量子化信号に同期して、出力信号の論理値に応じた基準信号をスイッチにより選択し、出力信号を D/A 変換した信号を生成する DAC 805 を備える構成とすることで、パルス密度変調信号を生成する。

【0191】

まず、1 次 FF型 変調回路は、上述のように、エラーアンプ 72 が出力する DC/DC 変換回路 31 の出力信号から所望の出力電圧に対応する基準電圧  $V_{ref}$  からの誤差信号を入力する。

【0192】

入力信号が減算器 801 の第 1 の抵抗に印加され、DAC 805 の出力信号が第 2 の抵抗に印加され減算が行われる。また、入力信号は、フィードフォワードパス a により直接加算器 803 に入力される。

【0193】

減算器 801 が出力する差分信号は、演算増幅器の出力端子から非反転入力端子との間の帰還容量に入力される。つまり、差分信号が積分され、差分積分信号が出力される。次に、差分積分信号は、加算器 803 において、フィードフォワードパスより伝達された入

10

20

30

40

50

力信号と加算されて、加算信号が出力される。

【0194】

そして、加算信号は、量子化器804のコンパレータに入力され、量子化基準信号と加算信号が大小比較されて、フリップフロップに出力される。ここで、量子化基準信号は、0V（グラウンド）である。そして、フリップフロップは、クロック（clock）に同期して差分積分信号と量子化基準信号（しきい値）との大小比較結果を1ビットの量子化信号として出力する。つまり、量子化器804は、差分積分信号が0V以上のとき、ハイレベルを出力し、0Vより小さいとき、ローレベルを出力する。

【0195】

量子化信号は、DAC805のスイッチに入力される。DAC805において、量子化信号がハイレベルのとき、基準信号Vrefが選択され、量子化信号がローレベルのとき、基準信号-Vrefが選択される。そして、次のサンプリング周期において、量子化信号をD/A変換した信号は、入力信号から減算器801により減算される。

10

【0196】

このような動作を繰り返すことで、入力信号に応じたパルス密度変調信号が生成される。1次連続時間FF型変調回路の入力信号が小さくなる（誤差が大きくなる）と、パルス密度は濃くなり（パルスの数が増え）、大きくなる（誤差が小さくなる）と、パルス密度は薄くなる（パルスの数が減る）。

以上が、1次FF型変調回路の動作説明である。

【0197】

FF型変調回路を用いたスイッチング電源回路は、上述のように、信号伝達関数が $(1 + 1/sT)(1 - e^{-sT})$ となり、全域通過関数である1を含むため、低遅延で信号を伝達することができ、さらなる早い応答速度を実現することができる。

20

【0198】

図26(a)、(b)は、信号伝達関数の振幅特性と位相特性を示すボード線図であり、図26(a)はフィードフォワード（FF）型変調回路のボード線図で、図26(b)はフィードバック（FB）型変調回路のボード線図である。

【0199】

図26(a)、(b)に示したように、FB型変調回路のボード線図は1次遅れがあるのに対して、FF型変調回路のボード線図は低遅延であることがわかる。これは、上述したように、信号伝達関数が $(1 + 1/sT)(1 - e^{-sT})$ となり、全域通過関数である1を含むためである。

30

【0200】

図27(a)、(b)は、1次連続時間FB型変調回路の出力信号により、DC/DC変換回路31でスイッチング動作を行ったときのDC/DC変換回路31の出力電圧波形と、1次連続時間FF型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形とを比較するための図であり、図27(a)は負荷が大きくなり出力電流が大きくなったときの波形で、図27(b)は負荷が小さくなり出力電流が小さくなったときの波形である。

【0201】

図27(a)、(b)に示したように、FB型変調回路の出力電圧波形の応答速度は遅いのに対して、FF型変調回路の出力電圧波形の応答速度は早いことがわかる。これは、上述したように、信号伝達関数が $(1 + 1/sT)(1 - e^{-sT})$ となり、全域通過関数である1を含み、パルス密度変調信号の遅延が小さいためである。

40

【0202】

図28(a)、(b)は、1次離散時間FF型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形と、1次連続時間FF型変調回路の出力信号により、DC/DC変換回路71でスイッチング動作を行ったときのDC/DC変換回路71の出力電圧波形とを比較するための図であり、図28(a)は負荷が大きくなり出力電流が大きくなったときの波形で、

50

図 28 (b) は負荷が小さくなり出力電流が小さくなったときの波形である。

【0203】

図 28 (a), (b) に示したように、1 次離散時間 F F 型 A D 変調回路よりも 1 次連続時間 F F 型 変調回路の方が、応答速度が早いことが確認できる。

【0204】

連続時間 F F 型 変調回路は、信号伝達関数が  $(1 + 1/sT)(1 - e^{-sT})$  となり、全域通過関数である 1 を含むことに加えて、実時間 (リアルタイム) で動作するので、負荷が変動した時、その負荷変動に対して即座に応答することができる。つまり、連続時間 F F 型 変調回路は、負荷が変動した時、その負荷変動に対して、次のサンプリングのタイミングまで待たなくてもよいため、負荷が変動した瞬間に応答することができる。

10

【0205】

このように、連続時間 F F 型 変調回路は、離散時間 F F 型 変調回路よりも応答速度がさらに早いという効果を奏する。

【0206】

図 29 は、本発明に係るスイッチング電源回路に用いられる 2 次フィードフォワード (F F) 型 変調回路を説明するための構成ブロック図であり、2 次連続時間フィードフォワード F F 型 変調回路である。低い周波数のアナログ信号を通過させる 1 段目の積分器 902 と 2 段目の積分器 903 と加算器 904 と量子化器 905 と D A C 906 とアナログ信号を減算して出力する減算器 901 とを備えている。

20

【0207】

つまり、フィードフォワード型 変調回路は、低い周波数の入力アナログ信号を通過させる 1 段目の積分器 902 と、この 1 段目の積分器 902 の出力側に接続された 2 段目の積分器 903 と、この 2 段目の積分器 903 の出力側に接続された加算器 904 と、この加算器 904 の出力側に接続された量子化器 (A D C ; アナログ / デジタル変換回路) 905 と、この量子化器 905 の出力側に接続され、この量子化器 905 の出力デジタル信号をアナログ信号に変換して 1 段目の積分器 902 にフィードバックする D A C 906 と、入力アナログ信号から量子化器 906 より出力されたアナログ信号を減算する減算器 901 と、入力アナログ信号を直接加算器 904 に入力させる第 1 のフィードフォワードパス a と、1 段目の積分器 902 からの出力信号を加算器 904 に直接入力する第 2 のフィードフォワードパス b とを備えている。

30

【0208】

量子化器 905 の出力は、 $Y(s) = (1 + 1.5/sT + 1/(sT)^2)(1 - e^{-sT})^2 X(s) + (1 - e^{-sT})^2 E(s)$  で示される。つまり、信号伝達関数は、 $S T F(s) = (1 + 1.5/sT + 1/(sT)^2)(1 - e^{-sT})^2$  で全域通過関数である 1 を含むため、低遅延で信号を伝達することができる。また、ノイズ伝達関数は、 $N T F(s) = (1 - e^{-sT})^2$  で 2 次の微分特性である。

【0209】

図 30 は、図 29 に示した 2 次フィードフォワード (F F) 型 変調回路の具体的な回路構成図である。この 2 次 F F 型 変調回路は、減算器 901 と積分器 902 と積分器 903 と加算器 904 と量子化器 (A / D コンバータ ; A D C) 905 と D A C (D / A コンバータ) 906 とから構成されている。

40

【0210】

2 次連続時間 F F 型 変調回路は、第 1 及び第 2 の抵抗を備え、入力信号と出力信号を D / A 変換した信号との差分をとる減算器 901 と、第 1 の容量と第 1 の演算増幅器とを備え、差分を積分した差分積分信号を出力する 1 段目の積分器 902 と、第 2 の容量と第 2 の演算増幅器とを備え、1 段目の積分器 902 の出力を積分する 2 段目の積分器 903 と、入力信号がフィードフォワードパス a より入力される第 3 の抵抗と 1 段目の積分器 902 の出力がフィードフォワードパス b より入力される第 4 の抵抗と 2 段目の積分器 903 の出力が入力される第 5 の抵抗と第 3 の演算増幅器と帰還抵抗とを備えた加算器 90

50

4 と、コンパレータとフリップフロップとを備え、量子化基準信号（しきい値）と加算器 904 の信号レベルを大小比較し 1 ビットの量子化信号を出力する量子化器 905 と、2 つの基準信号  $V_{ref}$ 、 $-V_{ref}$  を選択する 2 つのスイッチを備え、量子化信号である出力信号を帰還して 1 ビットの量子化信号に同期して、出力信号の論理値に応じた基準信号をスイッチにより選択し、出力信号を D/A 変換した信号を生成する DAC 906 を備える構成とすることで、パルス密度変調信号を生成する。

【0211】

まず、2 次連続時間 FF 型 変調回路は、上述のように、エラーアンプ 72 が出力する DC/DC 変換回路 71 の出力信号から所望の出力電圧に対応する基準電圧  $V_{ref}$  からの誤差信号を入力する。

【0212】

入力信号が減算器 901 の第 1 の抵抗に印加され、DAC 906 の出力信号が第 2 の抵抗に印加され減算が行われる。また、入力信号は、フィードフォワードパス a により直接加算器 904 に入力される。

【0213】

減算器 901 が出力する差分信号は、演算増幅器の出力端子から非反転入力端子との間の帰還容量に入力される。つまり、差分信号が積分され、差分積分信号が出力される。

【0214】

次に、差分積分信号は、積分器 903 に入力され、さらに積分される。また、差分積分信号は、フィードフォワードパス b により直接加算器 904 に入力される。加算器 904 において、フィードフォワードパス a 及び b より伝達された信号と積分器 903 の出力信号とが加算されて、加算信号が出力される。

【0215】

そして、加算信号は、量子化器 905 のコンパレータに入力され、量子化基準信号と加算信号が大小比較されて、フリップフロップに出力される。ここで、量子化基準信号は、0 V（グラウンド）である。そして、フリップフロップは、クロック（clock）に同期して差分積分信号と量子化基準信号（しきい値）との大小比較結果を 1 ビットの量子化信号として出力する。つまり、量子化器 905 は、差分積分信号が 0 V 以上のとき、ハイレベルを出力し、0 V より小さいとき、ローレベルを出力する。

【0216】

量子化信号は、DAC 906 のスイッチに入力される。DAC 906 において、量子化信号がハイレベルのとき、基準信号  $V_{ref}$  が選択され、量子化信号がローレベルのとき、基準信号  $-V_{ref}$  が選択される。そして、次のサンプリング周期において、量子化信号を D/A 変換した信号は、入力信号から減算器 901 により減算される。

【0217】

このような動作を繰り返すことで、入力信号に応じたパルス密度変調信号が生成される。

【0218】

2 次 FF 型 変調回路の入力信号が小さくなる（誤差が大きくなる）と、パルス密度は濃くなり（パルスの数が増え）、大きくなる（誤差が小さくなる）と、パルス密度は薄くなる（パルスの数が減る）。

以上が、2 次 FF 型 変調回路の動作説明である。

【0219】

2 次 FF 型 変調回路を用いたスイッチング電源回路は、上述のように、信号伝達関数が  $(1 + 1.5 / sT + 1 / (sT)^2) (1 - e^{-sT})^2$  で全域通過関数である 1 を含むため、低遅延で信号を伝達することができ、さらなる早い応答速度を実現することができる。

【0220】

図 31 (a), (b) は、信号伝達関数の振幅特性と位相特性を示すボード線図であり、図 31 (a) は 2 次フィードフォワード (FF) 型 変調回路のボード線図で、図 3

10

20

30

40

50

1 (b) は 2 次フィードバック (FB) 型 変調回路のボード線図である。

【0221】

図 3 1 (a), (b) に示したように、2 次 FB 型 変調回路のボード線図は 2 次遅れがあるのに対して、2 次 FF 型 変調回路のボード線図は低遅延であることがわかる。これは、上述したように、信号伝達関数が  $(1 + 1.5 / sT + 1 / (sT)^2) (1 - e^{-sT})^2$  となり、全域通過関数である 1 を含むためである。

【0222】

図 3 2 (a), (b) は、2 次連続時間 FB 型 変調回路の出力信号により、DC / DC 変換回路 3 1 でスイッチング動作を行ったときの DC / DC 変換回路 3 1 の出力電圧波形と、2 次連続時間 FF 型 変調回路の出力信号により、DC / DC 変換回路 7 1 でスイッチング動作を行ったときの DC / DC 変換回路 7 1 の出力電圧波形とを比較するための図であり、図 3 2 (a) は負荷が大きくなり出力電流が大きくなったときの波形で、図 3 2 (b) は負荷が小さくなり出力電流が小さくなったときの波形である。

10

【0223】

図 3 2 (a), (b) に示したように、FB 型 変調回路の出力電圧波形の応答速度は遅いのに対して、FF 型 変調回路の出力電圧波形の応答速度は早いことがわかる。これは、上述したように、信号伝達関数が  $(1 + 1.5 / sT + 1 / (sT)^2) (1 - e^{-sT})^2$  となり、全域通過関数である 1 を含み、パルス密度変調信号の遅延が小さいためである。さらに、ノイズ伝達関数が 2 次の微分特性を有するので、信号帯域 (低周波帯域) における SNDR がさらに高くなり、2 次 FF 型 変調回路は 1 次 FF 型 変調回路よりも応答速度が早くなる。

20

【0224】

図 3 3 (a), (b) は、2 次離散時間 FF 型 変調回路の出力信号により、DC / DC 変換回路 7 1 でスイッチング動作を行ったときの DC / DC 変換回路 7 1 の出力電圧波形と、2 次連続時間 FF 型 変調回路の出力信号により、DC / DC 変換回路 7 1 でスイッチング動作を行ったときの DC / DC 変換回路 7 1 の出力電圧波形とを比較するための図であり、図 3 3 (a) は負荷が大きくなり出力電流が大きくなったときの波形で、図 3 3 (b) は負荷が小さくなり出力電流が小さくなったときの波形である。

【0225】

図 3 3 (a), (b) に示したように、2 次離散時間 FF 型 AD 変調回路よりも 2 次連続時間 FF 型 変調回路の方が、応答速度が早いことが確認できる。

30

【0226】

2 次連続時間 FF 型 変調回路は、信号伝達関数が  $(1 + 1.5 / sT + 1 / (sT)^2) (1 - e^{-sT})^2$  となり、全域通過関数である 1 を含むことに加えて、実時間 (リアルタイム) で動作するので、負荷が変動した時、その負荷変動に対して即座に应答することができる。つまり、連続時間 FF 型 変調回路は、負荷が変動した時、その負荷変動に対して、次のサンプリングのタイミングまで待たなくてもよいため、負荷が変動した瞬間に应答することができる。

【0227】

このように、連続時間 FF 型 変調回路は、離散時間 FF 型 変調回路よりも応答速度がさらに早いという効果を奏する。

40

【0228】

以上は、2 次 FF 型 変調回路について説明したが、N 次 FF 型 変調回路について、図示していないが以下に説明する。ここで、N 次 FF 型 変調回路は N 次離散時間 FF 型 変調回路である。

【0229】

フィードフォワード型 変調回路は、フィードフォワード型 変調回路は、1 段目から N 段目までカスケード接続される 1 段目乃至 N 段目の積分器と、この N 段目の積分器の出力側に接続された加算器と、この加算器の出力側に接続された量子化器と、この量子化器の出力側に接続され、この量子化器の出力デジタル信号をアナログ信号に変換して 1

50

段目の積分器にフィードバックするデジタル/アナログ変換回路と、入力アナログ信号からデジタル/アナログ変換回路より出力されたアナログ信号を減算する減算器と、入力アナログ信号を直接加算器に入力させる第1のフィードフォワードパスと、1段目の積分器からN-1段目までの出力信号を加算器に直接入力する第1乃至第N-1のフィードフォワードパスとを備えている。

#### 【0230】

このように、N次の場合も、上述した1次や2次の場合と同様に、フィードフォワードパスがN個あり、積分器が初段からN段まで、N個カスケード接続されている。そして、各積分器の出力が加算器により加算され、量子化器にて、量子化される。量子化された量子化信号は、DACに入力され、アナログ信号に変換される。そして、入力信号と減算されて、初段の積分器に入力される。

10

#### 【0231】

信号伝達関数とノイズ伝達関数は、1次と2次の場合と同様にして導かれ、次式のようになる。

$$S T F = ( 1 + a_1 / s T + a_2 / ( s T ) ^ 2 + \dots ) ( 1 - e^{-sT} )^N$$

$$N T F = ( 1 - e^{-sT} )^N$$

ただし、 $a_1, a_2 \dots$ は、適切な定数であり、その値は次数Nに依存する。

この式から分かるように、STFは、全域通過関数である1を含むため、低遅延で信号を伝達することができる。さらに、NTFはN次の微分特性を有するので、信号帯域（低周波帯域）におけるSNDRがさらに高くなり、さらに応答速度が早くなる。

20

#### 【0232】

N次連続時間FF型変調回路は、信号伝達関数が $( 1 + a_1 / s T + a_2 / ( s T ) ^ 2 + \dots ) ( 1 - e^{-sT} )^2$ となり、全域通過関数である1を含むことに加えて、実時間（リアルタイム）で動作するので、負荷が変動した時、その負荷変動に対して即座に応答することができる。つまり、連続時間FF型変調回路は、負荷が変動した時、その負荷変動に対して、次のサンプリングのタイミングまで待たなくてもよいため、負荷が変動した瞬間に応答することができる。

#### 【0233】

このように、連続時間FF型変調回路は、離散時間FF型変調回路における応答速度よりもさらに早いという効果を奏する。

30

#### 【0234】

さらに、連続時間変調回路は、離散時間変調回路のように、スイッチトキャパシタを用いていないため、演算増幅器において容量に電荷を充放電するのに必要な時間の性能要求が緩和される。つまり、連続時間変調回路は、演算増幅器をさらに低消費電力化できる。また、連続時間変調回路は、スイッチトキャパシタのクロック駆動回路が不要である。したがって、連続時間変調回路は、離散時間変調回路よりもさらに低消費電力であるという効果を奏する。

#### 【符号の説明】

#### 【0235】

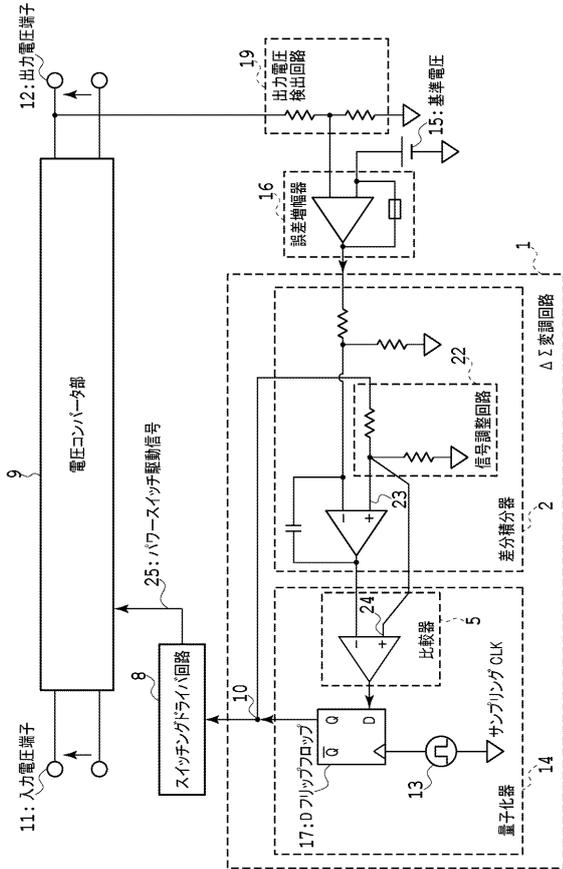
- 1 変調回路
- 2 差分積分器
- 5 比較器
- 8 スイッチングドライバ回路
- 9 電圧コンバータ部
- 11 入力電圧端子
- 12 出力電圧端子
- 14 量子化器
- 16 誤差増幅器（エラーアンプ）
- 17 Dフリップフロップ
- 19 出力電圧検出回路

40

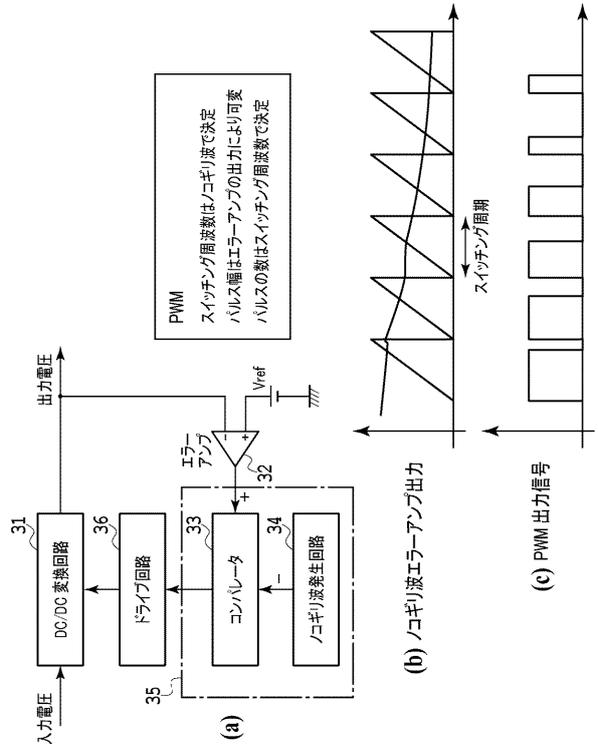
50

2 2	信号調整回路	
3 1	D C / D C 変換回路 ( D C / D C コンバータ )	
3 2	エラーアンプ ( 誤差増幅器 )	
3 3	コンパレータ	
3 4	ノコギリ波発生回路	
3 5	P W M 回路	
3 6	ドライブ回路	
3 7 , 4 2	制御回路	
4 1	F B 型 変調回路	
5 1 , 6 1 , 6 3	減算器	10
5 2	積分器 ( ローパスフィルタ回路 : L P F )	
5 3	量子化器 ( A / D コンバータ ; A D C )	
5 4 , 6 6 , 6 7	D A C ( D / A コンバータ )	
6 2	1 段目の積分器	
6 4	2 段目の積分器	
6 5	量子化器 ( A / D コンバータ ; A D C )	
7 0	制御回路	
7 1	D C / D C 変換回路	
7 2	エラーアンプ ( 誤差増幅器 )	
7 3	フィードフォワード型 ( F F 型 ) 変調回路	20
7 4	ドライブ回路	
8 1 , 9 1	減算器	
8 2	積分器 ( L P F )	
8 3 , 9 4	加算器	
8 4 , 9 5	量子化器 ( A D C ; アナログ / デジタル変換回路 )	
8 5 , 9 6	D A C ( デジタル / アナログ変換回路 )	
9 2	1 段目の積分器	
9 3	2 段目の積分器	
8 0 1 , 9 0 1	減算器	
8 0 2	積分器 ( L P F )	30
8 0 3 , 9 0 4	加算器	
8 0 4 , 9 0 5	量子化器 ( A D C ; アナログ / デジタル変換回路 )	
8 0 5 , 9 0 6	D A C ( デジタル / アナログ変換回路 )	
9 0 2	1 段目の積分器	
9 0 3	2 段目の積分器	

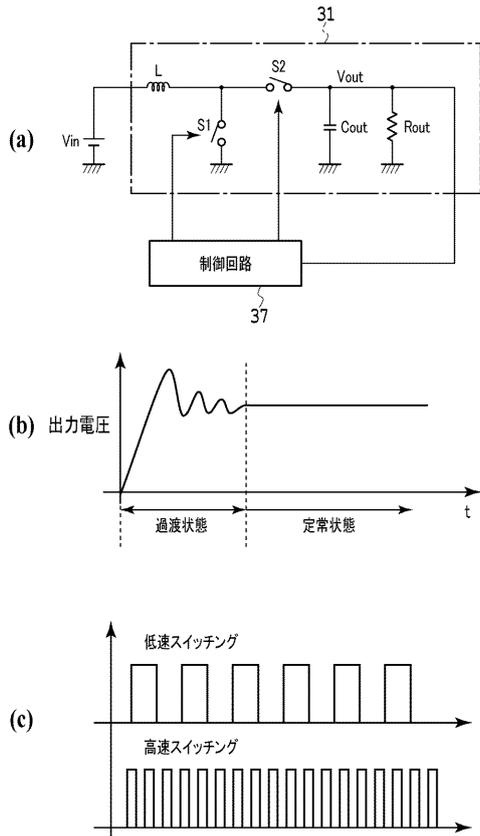
【図 1】



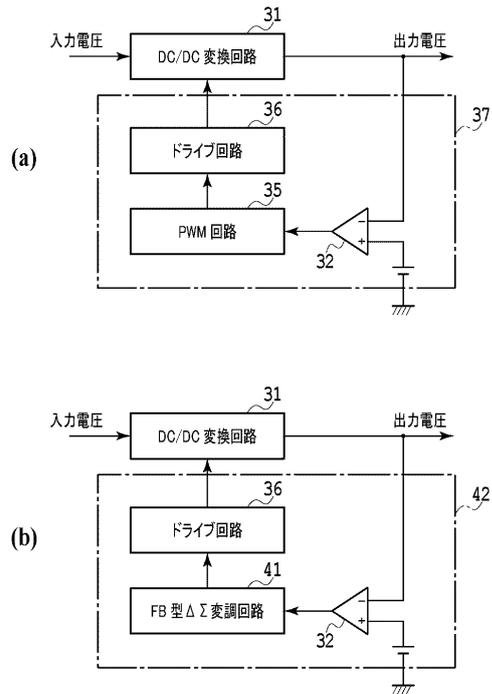
【図 2】



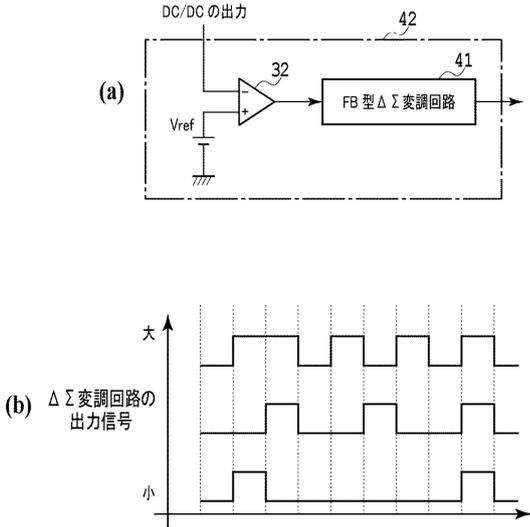
【図 3】



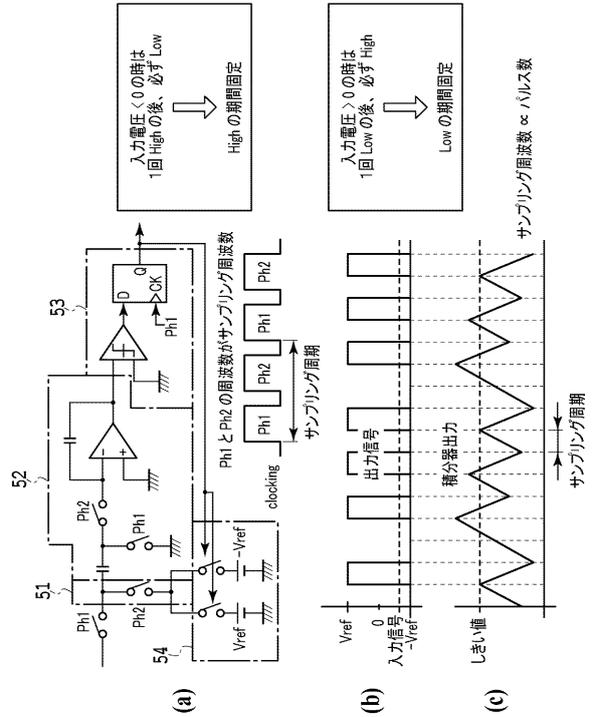
【図 4】



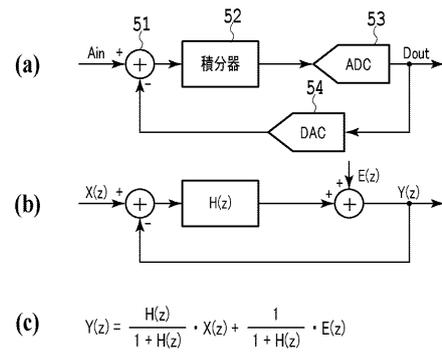
【 図 5 】



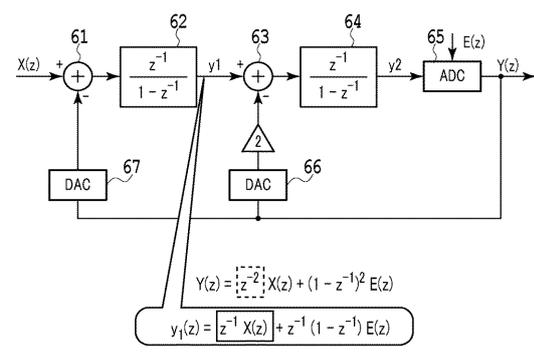
【 図 6 】



【 図 7 】



【 図 8 】



$$STF(z) = \frac{H(z)}{1 + H(z)}$$

信号伝達関数

$$NTF(z) = \frac{1}{1 + H(z)}$$

ノイズ伝達関数

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \rightarrow STF(z) = z^{-1}$$

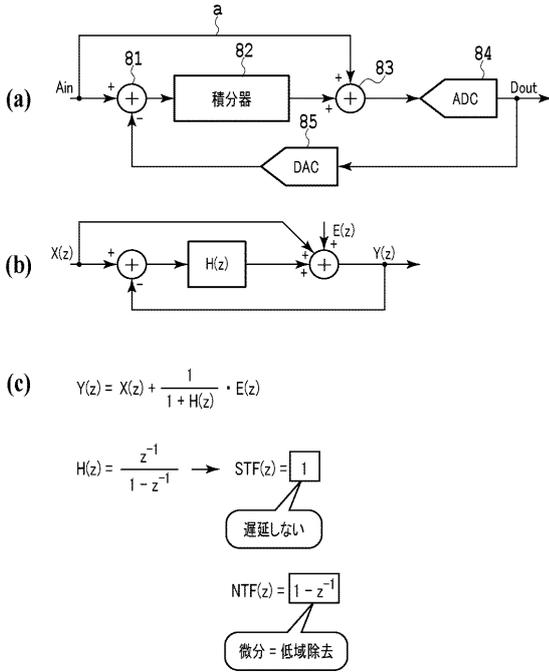
1クロック遅れ

$$NTF(z) = 1 - z^{-1}$$

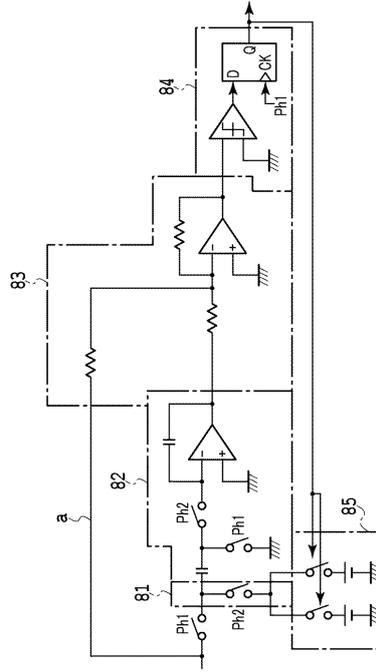
微分 = 低域除去



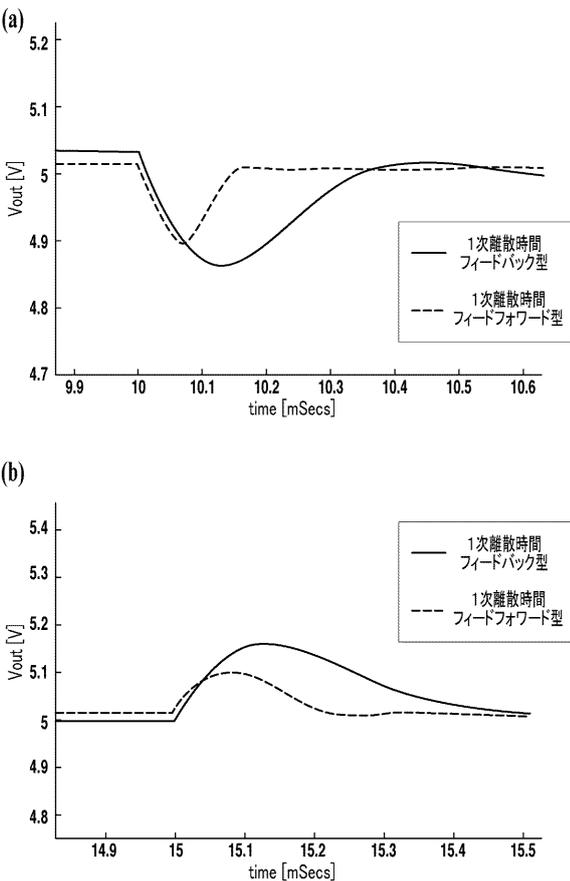
【 図 1 4 】



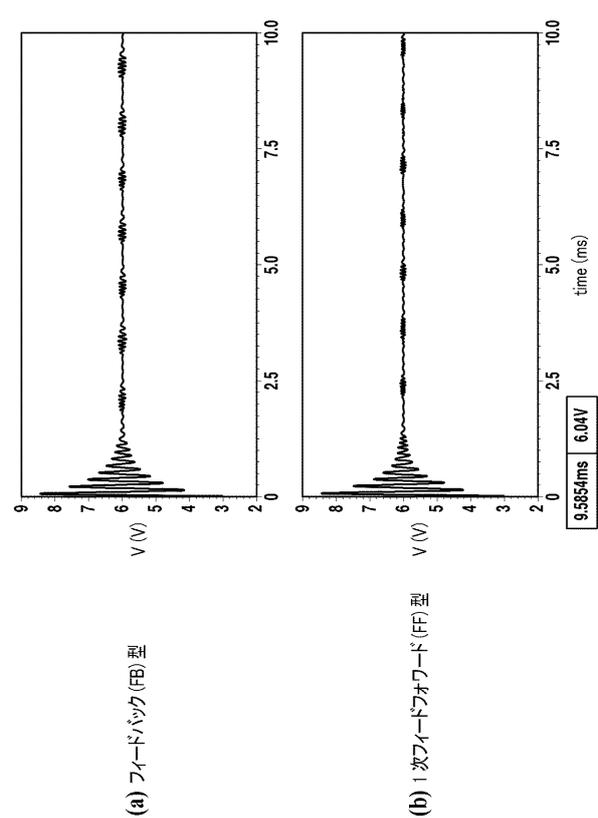
【 図 1 5 】



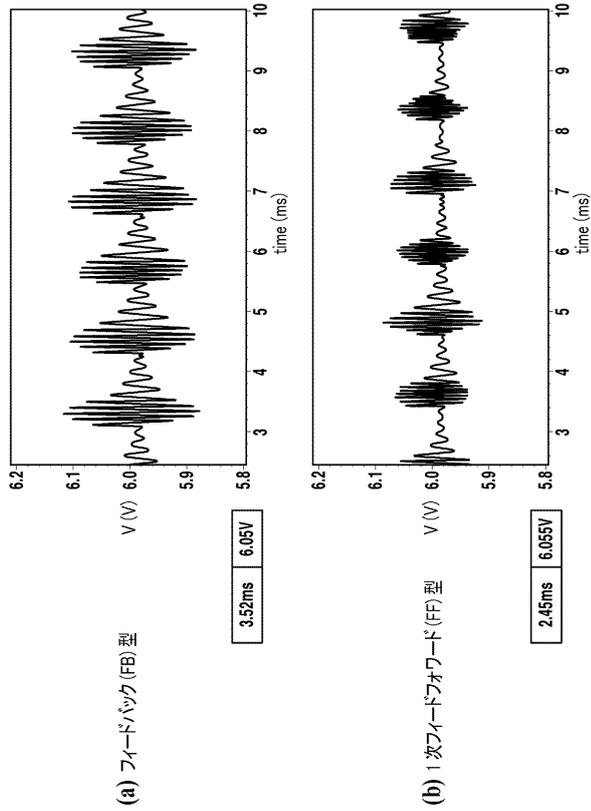
【 図 1 6 】



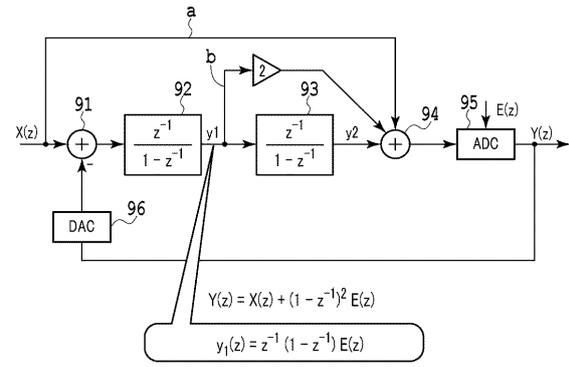
【 図 1 7 】



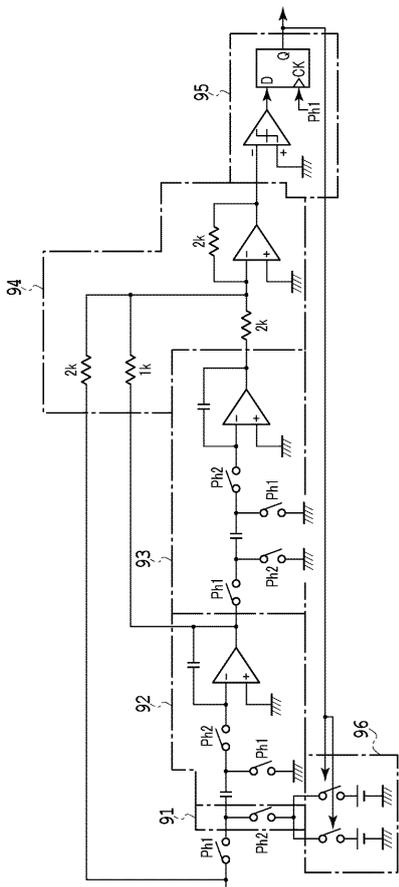
【 図 18 】



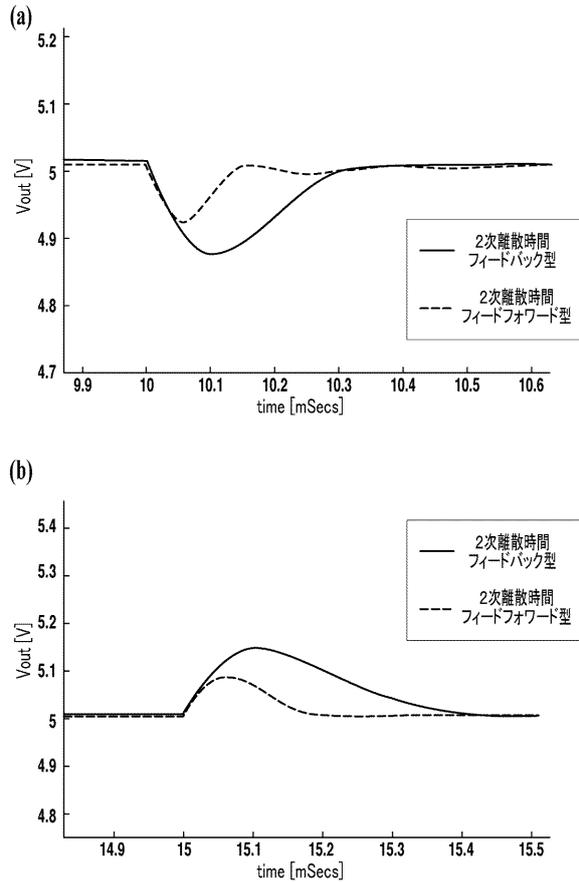
【 図 19 】



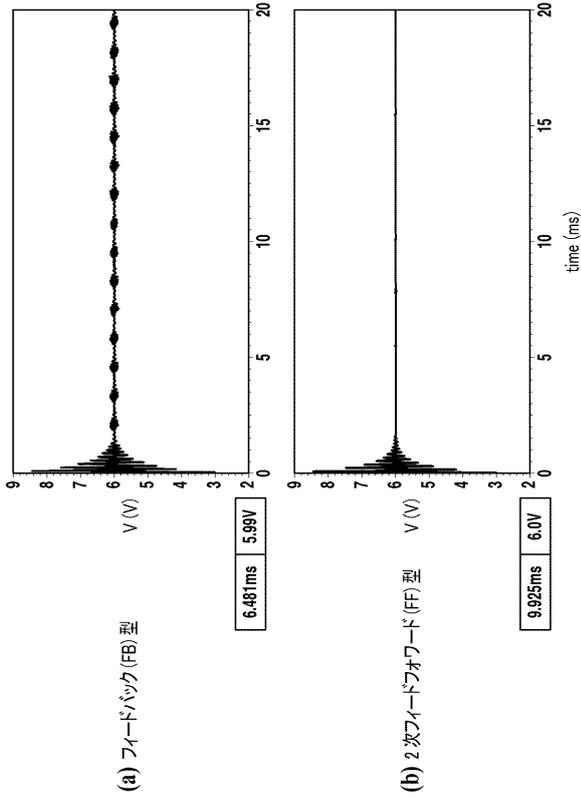
【 図 20 】



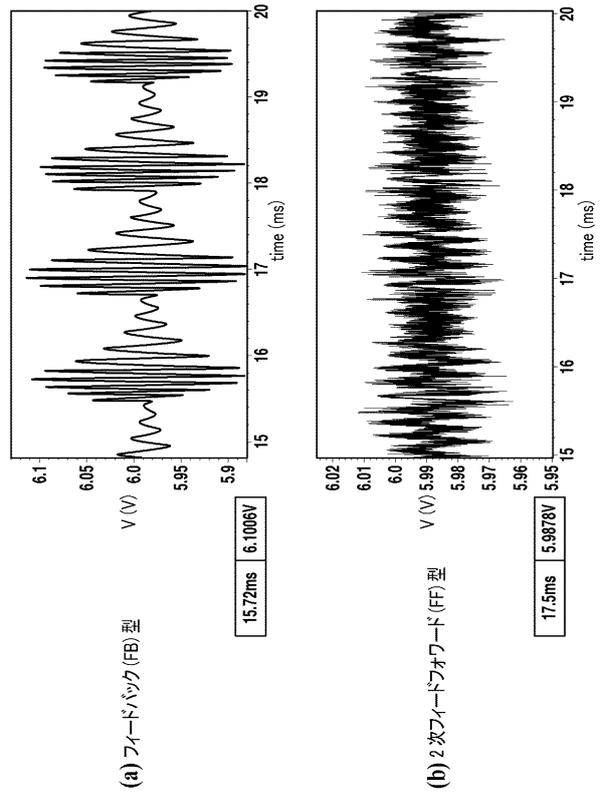
【 図 21 】



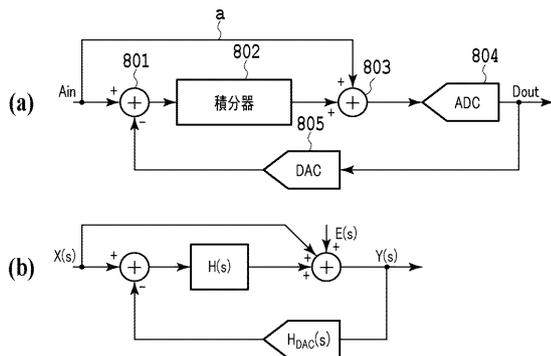
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



(c) 
$$Y(s) = \frac{H(s)}{1-L(s)}X(s) + \frac{1}{1-L(s)}E(s)$$

$$H(s) = \frac{1}{sT}$$

$$L(s) = -H(s)H_{DAC}(s) = -\frac{e^{-sT}}{1-e^{-sT}}$$

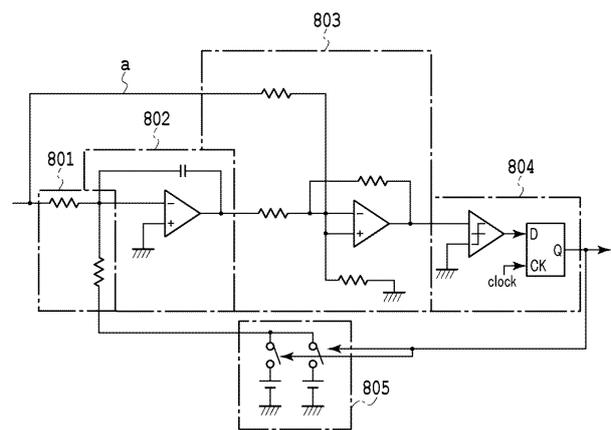
→ STF(s) =  $(1 + \frac{1}{sT})(1 - e^{-sT})$

低遅延

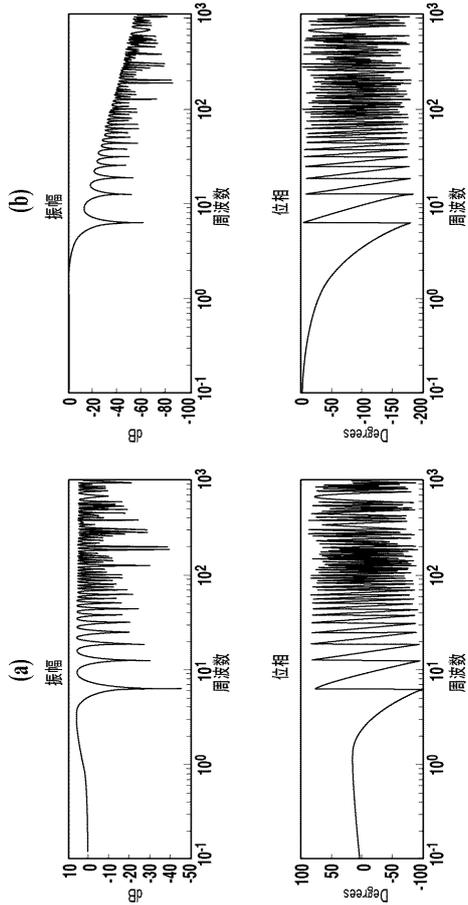
NTF(s) =  $1 - e^{-sT}$

微分 = 低域除去

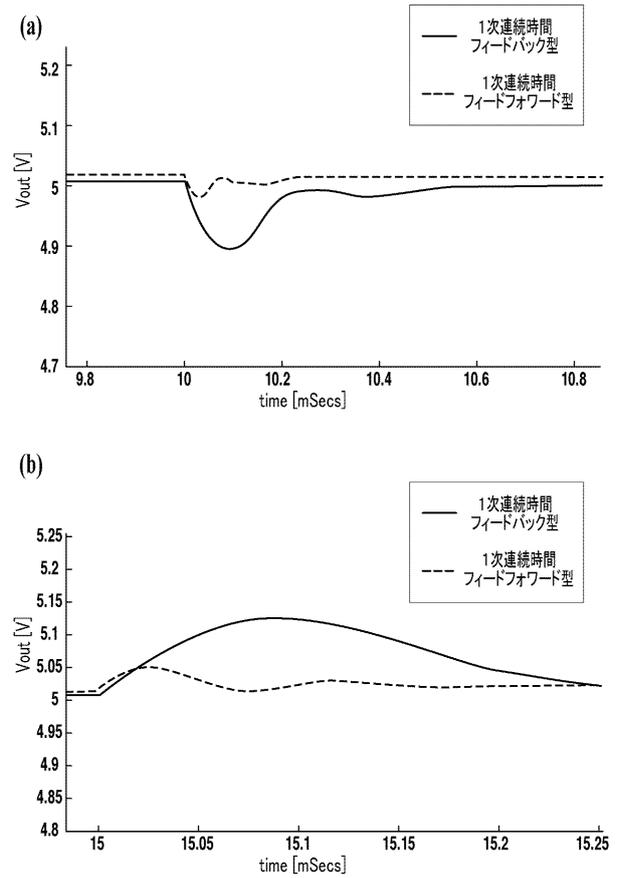
【 図 2 5 】



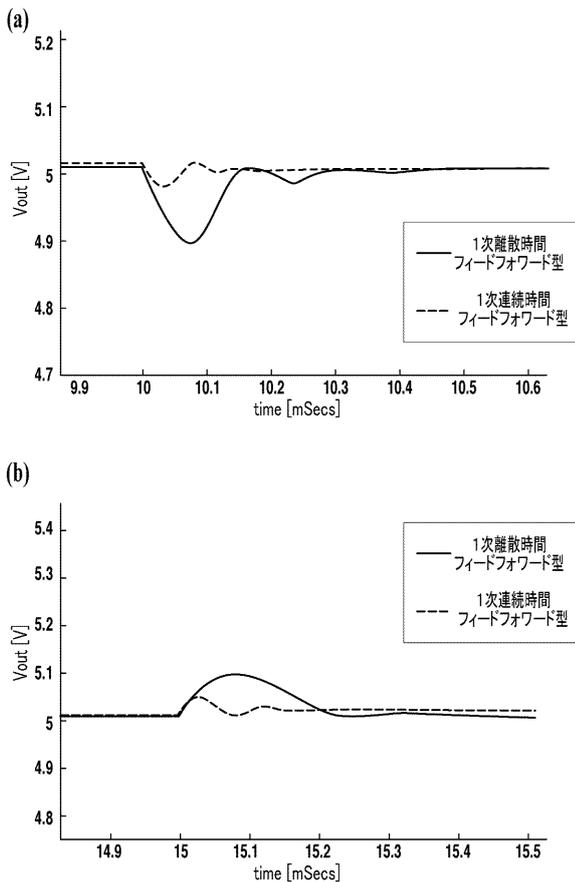
【 図 2 6 】



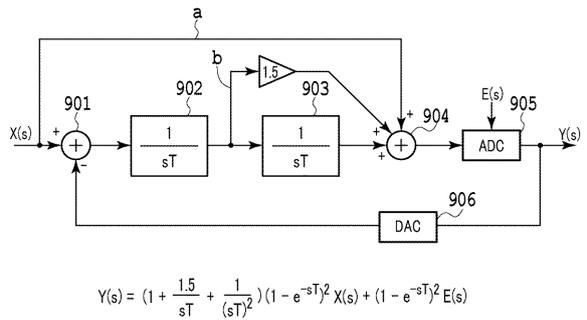
【 図 2 7 】



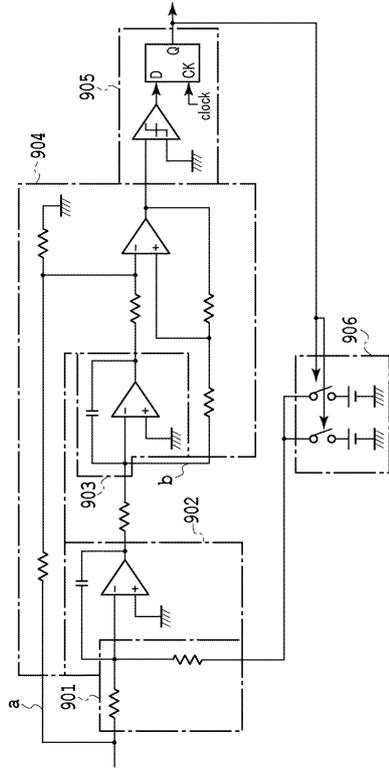
【 図 2 8 】



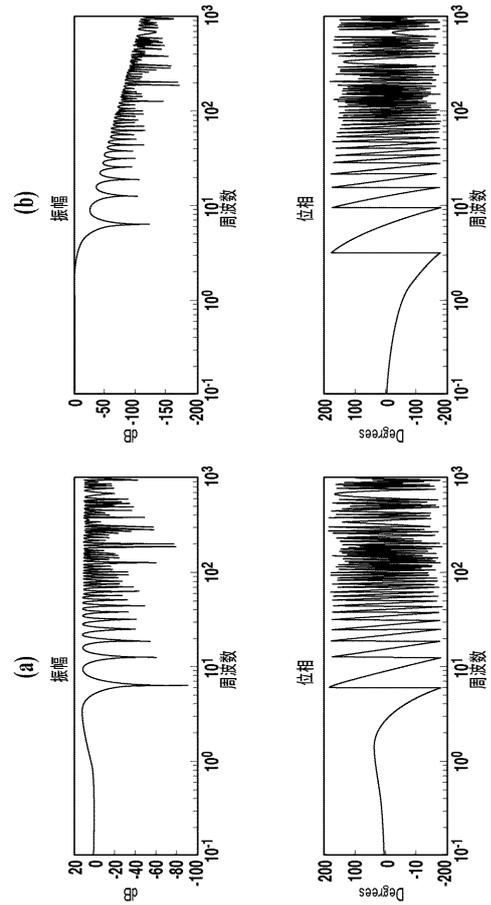
【 図 2 9 】



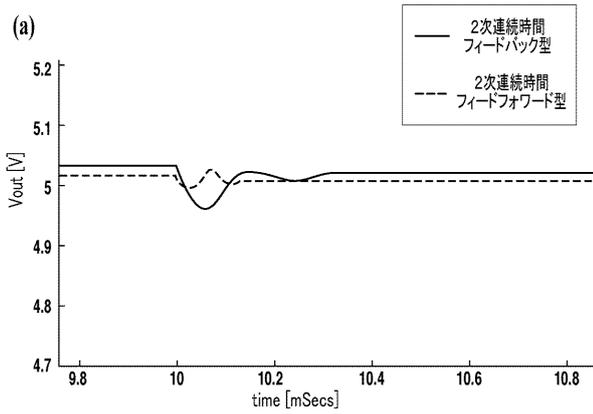
【 図 3 0 】



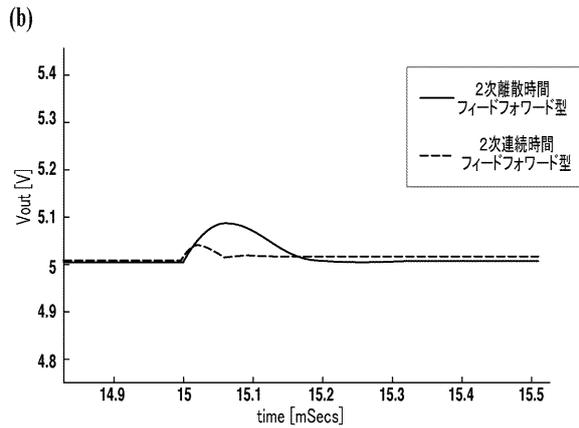
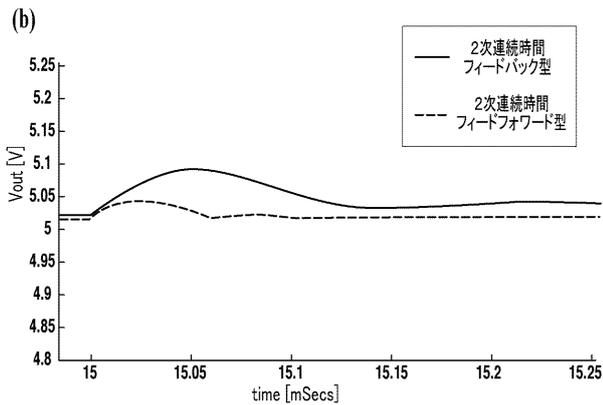
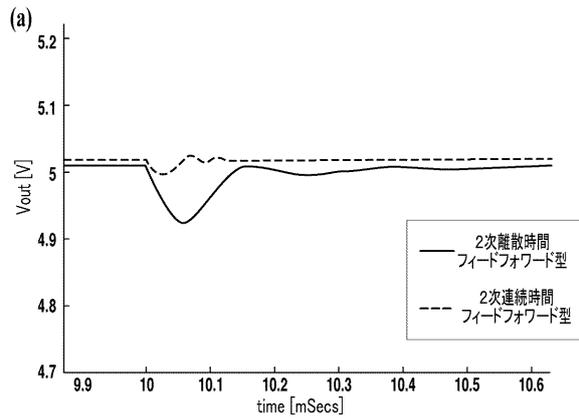
【 図 3 1 】



【 図 3 2 】



【 図 3 3 】



---

フロントページの続き

(72)発明者 ケイ 林

群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内

(72)発明者 小林 春夫

群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内

(72)発明者 大森 武志

埼玉県朝霞市泉水3丁目13番45号 A K Mテクノロジー株式会社内

Fターム(参考) 5H730 AA04 AS01 BB13 BB14 BB57 EE13 EE59 FD01 FG02