

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5106583号
(P5106583)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

(51) Int. Cl.		F I			
GO4F	10/04	(2006.01)	GO4F	10/04	A
HO3K	21/40	(2006.01)	HO3K	21/40	B
GO1R	23/10	(2006.01)	GO1R	23/10	F

請求項の数 10 (全 22 頁)

(21) 出願番号	特願2010-131923 (P2010-131923)	(73) 特許権者	396023993
(22) 出願日	平成22年6月9日(2010.6.9)		株式会社半導体理工学研究センター
(65) 公開番号	特開2011-259208 (P2011-259208A)		神奈川県横浜市港北区新横浜3丁目17番
(43) 公開日	平成23年12月22日(2011.12.22)		地2 友泉新横浜ビル6階
審査請求日	平成22年6月9日(2010.6.9)	(74) 代理人	100099759
			弁理士 青木 篤
		(74) 代理人	100092624
			弁理士 鶴田 準一
		(74) 代理人	100122965
			弁理士 水谷 好男
		(74) 代理人	100141162
			弁理士 森 啓
		(74) 代理人	100160716
			弁理士 遠藤 力

最終頁に続く

(54) 【発明の名称】 時間デジタル変換回路、及びその校正方法

(57) 【特許請求の範囲】

【請求項1】

被測定信号の基準クロックに対する位相を検出する時間デジタル変換回路であって、
 入力信号を第1遅延量で遅延する第1遅延素子を複数直列に接続する第1ディレイラインと、前記第1ディレイラインの最後段の第1遅延素子の出力の反転信号を出力する第1反転素子と、前記基準クロック、又は前記第1反転素子の出力信号のいずれか一方を前記第1ディレイラインの初段の第1遅延素子に提供する第1マルチプレクサと、を有する第1リング発振器と、

前記第1ディレイラインの複数の前記第1遅延素子の接続ノード、又は前記初段の第1遅延素子の入力ノードに接続され、前記被測定信号の変化エッジが、前記第1ディレイラインの前記複数の第1遅延素子の出力する前記基準クロックを遅延した信号の変化エッジに対して進んでいるか遅れているかを判定する複数の判定回路と、

前記複数の判定回路の判定結果をエンコードするエンコーダ回路と、

前記エンコーダ回路の出力から、前記被測定信号の変化エッジの前記基準クロックに対する位相を算出する演算回路と、を備え、

前記第1マルチプレクサが、前記基準クロックを出力するモードである通常モードと、前記第1マルチプレクサが前記第1反転素子の出力信号を出力することにより、前記第1リング発振器が第1周期で発振するテストデータ信号を前記複数の判定回路に提供し、かつ前記第1周期に無相関な第2周期を有するテストクロック信号を、前記被測定信号の代わりに、前記複数の判定回路に提供して、ヒストグラムを生成するモードである自己校正

10

20

モードとを切り替えることが可能であり、

前記演算回路は、前記自己校正モードでは、それぞれの前記判定回路が前記テストクロック信号の変化エッジを検出した度数を示すヒストグラムを生成するために、複数の前記第2周期に亘り前記テストクロック信号が入力された前記複数の判定回路の判定結果を算出し、前記通常モードでは、前記ヒストグラムに基づいて、前記算出した位相を自己校正する、

ことを特徴とする時間デジタル変換回路。

【請求項2】

前記エンコーダ回路は、前記被測定信号、又は前記テストクロック信号の変化エッジが、前記第1リング発振回路の複数の前記第1遅延素子の出力する前記基準クロックを遅延した信号の立ち上がりエッジ、又は立ち下がりエッジに対して進んでいると判断した前記判定回路の個数を出力する前記請求項1に記載の時間デジタル変換回路。

10

【請求項3】

前記自己校正は、前記ヒストグラムが非線形性を有する場合に、前記ヒストグラムから算出される逆関数を用いて、前記ヒストグラムを線形化することによって、前記第1遅延素子がそれぞれ有する前記遅延量を校正する請求項1、又は2に記載の時間デジタル変換回路。

【請求項4】

前記第1遅延量と無相関である第2遅延量で入力信号を遅延する第2遅延素子を複数直列に接続する第2ディレイラインと、前記第2ディレイラインの最後段の第2遅延素子の出力の反転信号を出力する第2反転素子と、前記被測定信号、又は前記第2反転素子の出力信号のいずれか一方を前記第2ディレイラインの初段の第2遅延素子に提供する第2マルチプレクサと、を有し、

20

前記自己校正モードでは、前記第1周期とは無相関の周期を有するテストクロック信号を前記複数の判定回路に提供し、

前記通常モードでは、前記被測定信号を前記複数の判定回路に提供する、

第2リング発振器をさらに有する請求項1～3のいずれか一項に記載の時間デジタル変換回路。

【請求項5】

前記判定回路は、前記ディレイラインの複数の前記第1遅延素子の接続ノード、又は初段の前記第1遅延素子の入力ノードにそれぞれ、複数接続される請求項1～4のいずれか一項に記載の時間デジタル変換回路。

30

【請求項6】

前記判定回路は、それぞれシリアルに接続されるスキャンパス回路を有するDフリップフロップである請求項5に記載の時間デジタル変換回路。

【請求項7】

前記演算回路は、前記スキャンパス回路を使用して、前記Dフリップフロップのいずれかが故障しているか否かを判定する請求項5に記載の時間デジタル変換回路。

【請求項8】

入力信号をある遅延量で遅延する遅延素子を複数直列に接続するディレイラインを有するリング発振器を備えるデジタル変換回路の前記遅延量を校正する方法であって、

40

前記リング発振器によって、第1周期を有するテストデータ信号を発振させて、前記テストデータ信号を前記ディレイラインに提供するステップと、

前記第1周期と無相関な第2周期を有するテストクロック信号の変化エッジが、前記複数の遅延素子の接続ノード、又は前記初段の遅延素子の入力ノードにおける前記テストデータ信号の変化エッジに対して進んでいるか遅れているかを判定するステップと、

前記判定により取得される信号をエンコードするステップと、

前記エンコードされた信号に基づいて、前記接続ノード、又は前記入力ノードごとにヒストグラムを生成するステップと、

前記ヒストグラムに基づいて、前記遅延量を校正するステップと、

50

を有することを特徴とする方法。

【請求項 9】

前記判定により取得される信号をエンコードするステップは、前記テストクロック信号の変化エッジが、前記テストデータ信号の立ち上がりエッジ、又は立ち下がりエッジに対して進んでいると判断した前記ノードの個数を出力する前記請求項 7 に記載の方法。

【請求項 10】

前記ヒストグラムに基づいて、前記遅延量を校正するステップは、前記ヒストグラムから算出される逆関数を用いて、前記ヒストグラムを線形化することによって、前記遅延素子がそれぞれ有する前記遅延量を校正する請求項 7、又は 8 に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、時間デジタル変換回路(Time-to-Digital Converter: TDC)、及びその校正方法に関し、特に小さな回路規模で高分解能のTDC、及びその校正方法に関する。

【背景技術】

【0002】

近年AD変換器の性能は著しく向上しており、それに伴い動作の基準となる動作信号の精度、例えばジッタや周期誤差を高精度に検出することが求められている。動作信号である被測定信号の基準クロックに対する位相(ジッタ)を検出する回路としてTDCが広く知られている。

20

【0003】

図24は、従来のTDCの基本構成と動作を示す図であり、(A)が回路構成を、(B)が回路動作のタイムチャートを示す。

【0004】

図24の(A)に示すように、TDCは、原クロックCKを所定の遅延量 1 ずつ順次遅延する複数の遅延素子(ノンインバータバッファ) 11 を直列に接続した遅延回路列(ディレイライン)と、このディレイラインで順次遅延された各遅延クロックCK1、CK2、CK3、...をデータ入力とし、被測定信号SCをクロック入力とする複数のDフリップフロップ17と、複数のDフリップフロップ17の出力Q1、Q2、Q3、...から原クロックCKに対する被測定信号のジッタを算出するエンコーダ回路31と、を有する。

30

【0005】

ノンインバータバッファ11は、例えばインバータを2段接続して実現するか、特許文献1に記載されたような回路で実現する。接続するノンインバータバッファ11の個数は、予想される被測定信号SCのジッタの大きさをノンインバータバッファ11の遅延量で除した個数に所定の余裕を加えた個数以上必要である。

【0006】

図24の(B)に示すように、各ノンインバータバッファ11が出力する遅延クロックCK1、CK2、CK3、...は、所定の遅延量ずつ遅延している。被測定信号SCが立ち上がる時、ある遅延クロックより前の遅延クロックCK1、CK2は「高(H)」状態であり、Dフリップフロップ17の出力Q1、Q2は「H」になるが、それ以後の遅延クロックCK3、...は「低(L)」状態であり、Dフリップフロップ17の出力Q3、...は「L」であり、Dフリップフロップ17の出力が変化する位置をエンコーダ回路31で検出することにより、原クロックCKに対する被測定信号SCが立ち上がるタイミングを検出できる。被測定信号SCの立ち上がりにはジッタがあると、Dフリップフロップ17の出力が変化する位置が異なり、エンコーダ回路31の出力が変化するようになる。

40

【0007】

非特許文献1および2は、図24に示したTDCを記載している。

【0008】

非特許文献3は、直列に接続する複数のノンインバータバッファの遅延量を $n - 1$ (n は整数)とし、ノンインバータバッファの各接続ノードに遅延量 1 のノンインバータバ

50

ッファを $n - 1$ 個直列に接続することにより、小さな範囲に回路を形成した T D C を記載している。

【 0 0 0 9 】

図 2 4 の T D C および非特許文献 3 に記載された T D C では、被測定信号のジッタ検出の時間分解能は、ノンインバータバッファの遅延量である。このように、ノンインバータバッファの遅延量は、プロセスなどにより規定されるため限界がある。一方、遅延量の差が小さい 2 種類のノンインバータバッファを作ることは可能である。例えば、遅延量が 2 p s のノンインバータバッファを安定して作ることは難しいが、遅延量が 1 0 p s と 8 p s のノンインバータバッファを安定して作ることは可能である。例えば、C M O S プロセスを使用する場合、ゲート長が大きいバッファを使用することで、バラツキが少ないインバータバッファを構成できる。

10

【 0 0 1 0 】

非特許文献 4、及び 5 は、遅延量の少し異なる 2 種類のノンインバータバッファをそれぞれ直列に接続した 2 種類のディレイラインを設け、一方に基準クロックを、他方に被測定信号を入力して、対応する段の出力を比較することにより、時間分解能を向上した副尺 (バーニア: Vernier) ディレイライン T D C (以下バーニア型 T D C と称する) を記載している。

【 0 0 1 1 】

図 2 5 は、非特許文献 4 および 5 に記載された時間分解能を高くした T D C の構成と動作を示す図であり、(A) が回路構成を、(B) が回路動作のタイムチャートを示す。

20

【 0 0 1 2 】

図 2 5 の (A) に示すように、この T D C は、原クロック C K を第 1 の所定遅延量 1 ずつ順次遅延する複数のノンインバータバッファ 1 8 を直列に接続した第 1 ディレイラインと、被測定信号 S C を第 2 の所定遅延量 3 ずつ順次遅延する複数のノンインバータバッファ 1 9 を直列に接続した第 2 ディレイラインと、第 1 ディレイラインで順次遅延された各遅延クロック C K 1、C K 2、C K 3、... をデータ入力とし、第 2 ディレイラインで順次遅延された各遅延被測定信号 S C 1、S C 2、S C 3、... をクロック入力とする複数の D フリップフロップ 1 7 と、複数の D フリップフロップ 1 7 の出力 Q 1、Q 2、Q 3、... からクロック C K に対する被測定信号のジッタを算出するエンコーダ回路 3 1 と、を有する。第 1 の所定遅延量 1 は、第 2 の所定遅延量 3 より大きい ($1 > 3$)。接続するノンインバータバッファ 1 8 及び 1 9 の個数は、予想される被測定信号 S C のジッタの大きさをノンインバータバッファ 1 8 と 1 9 の遅延量の差で除した個数に所定の余裕を加えた個数以上必要である。

30

【 0 0 1 3 】

図 2 5 の (B) に示すように、各ノンインバータバッファ 1 8 が出力する遅延クロック C K 1、C K 2、C K 3、... は 1 ずつ遅延しており、各ノンインバータバッファ 1 9 が出力する遅延被測定信号 S C 1、S C 2、S C 3、... は 3 ずつ遅延している。上記のように、 $1 > 3$ であるから、C K 1 は S C 1 より先に立ち上がっていても、C K が立ち上がるタイミングと S C が立ち上がるタイミングの差は徐々に小さくなり、やがて S C 3 が C K 3 より先に立ち上がるように変化する。それに応じて D フリップフロップ 1 7 の出力 Q 1、Q 2 は「H」になるが、それ以後の D フリップフロップ 1 7 の出力 Q 3、... は「L」になる。D フリップフロップ 1 7 の出力が変化する位置をエンコーダ回路 3 1 で検出することにより、遅延被測定信号 S C が遅延クロック C K より先に立ち上がるように変化するタイミングを検出できる。図 2 5 の T D C の構成では、被測定信号 S C のジッタ検出の時間分解能は、ノンインバータバッファ 1 8 とノンインバータバッファ 1 9 の遅延量の差である。したがって、ノンインバータバッファ 1 8 とノンインバータバッファ 1 9 の遅延量を適宜選択することにより、高分解能のジッタ測定が可能である。

40

【 先行技術文献 】

【 特許文献 】

【 0 0 1 4 】

50

【特許文献1】特開平9 - 64197号公報

【非特許文献】

【0015】

【非特許文献1】J.Jansson, et., "A CMOS Time-to-Digital Converter With Better Than 10ps Single-shot Precision", JSSC, Vol. 41, NO. 6, JUNE, 2006

【非特許文献2】R. Staszewski, et., Digital RF Processor DRPTM for Cellular Phones", ISSCC, 2006

【非特許文献3】K.Nose, M.Kajita, M.Mizuno, "A 1 ps-Resolution Jitter-Measurement Macro Using Interpolated Jitter Oversampling", IEEE JSSC, vol.41, no.12, pp.2911-2920 (Dec. 2006)

10

【非特許文献4】J.Rivoir, "Fully-Digital Time-to-Digital Converter for ATE with Autonomous Calibration", IEEE International Test Conference, Santa Clara, (Oct. 2006)

【非特許文献5】J.Rivoir, "Statistical Linearity Calibration of Time-to-Digital Converters Using a Free-Running Ring Oscillator", 15th Asian Test Symposium (2006)

【発明の概要】

【発明が解決しようとする課題】

【0016】

図24、及び図25のTDCでは、遅延素子の遅延量のバラツキを小さくするためにデバイスサイズを大きくする必要があり、消費電力が大きくなるという問題があった。

20

【0017】

本発明は、上記の問題を解決して、高分解能のTDC回路の消費電力を低減することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を実現するため、本発明の時間デジタル変換回路(TDC)は、被測定信号の基準クロックに対する位相を検出する時間デジタル変換回路であって、入力信号を第1遅延量で遅延する第1遅延素子を複数直列に接続する第1ディレイラインと、第1ディレイラインの最後段の第1遅延素子の出力の反転信号を出力する第1反転素子と、基準クロック、又は第1反転素子の出力信号のいずれか一方を第1ディレイラインの初段の第1遅延素子に提供する第1マルチプレクサと、を有する第1リング発振器と、第1ディレイラインの複数の第1遅延素子の接続ノード、又は初段の第1遅延素子の入力ノードに接続され、被測定信号の変化エッジが、第1ディレイラインの複数の第1遅延素子の出力する基準クロックを遅延した信号の変化エッジに対して進んでいるか遅れているかを判定する複数の判定回路と、複数の判定回路の判定結果をエンコードするエンコーダ回路と、エンコーダ回路の出力から、被測定信号の変化エッジの基準クロックに対する位相を算出する演算回路と、を備え、第1マルチプレクサが、基準クロックを出力するモードである通常モードと、第1マルチプレクサが第1反転素子の出力信号を出力することにより、第1リング発振器が第1周期で発振するテストデータ信号を複数の判定回路に提供し、かつ第1周期に無相関な第2周期を有するテストクロック信号を、被測定信号の代わりに、複数の判定回路に提供してヒストグラムを生成するモードである自己校正モードとを切り替えることが可能であり、演算回路は、自己校正モードでは、それぞれの判定回路がテストクロック信号の変化エッジを検出した度数を示すヒストグラムを生成するために、複数の第2周期に亘りテストクロック信号が入力された複数の判定回路の判定結果を算出し、通常モードでは、ヒストグラムに基づいて、算出した位相を自己校正することを特徴とする。

30

40

【0019】

従来のTDCは、遅延素子の遅延量のバラツキを小さくするためにデバイスサイズを大きくする必要であった。これに対して、本発明によれば、自己校正モードで、それぞれの判定回路がテストクロック信号の変化エッジを検出した度数を示すヒストグラムを生成す

50

るために、複数の第2周期に亘りテストクロック信号が入力された複数の判定回路の判定結果を算出し、通常モードで、ヒストグラムに基づいて、算出した位相を自己校正することができるので、デバイスサイズを小さくできるため、消費電力を小さくできる。

【0020】

エンコーダ回路は、被測定信号、又はテストクロック信号の変化エッジが、第1リング発振回路の複数の第1遅延素子の出力する基準クロックを遅延した信号の立ち上がりエッジ、又は立ち下がりエッジに対して進んでいると判断した判定回路の個数を出力することが望ましい。

【0021】

自己校正では、ヒストグラムから算出される逆関数を用いて、ヒストグラムを線形化することによって、第1遅延素子がそれぞれ有する遅延量を校正することが望ましい。

10

【0022】

さらに、第1遅延量と無相関である第2遅延量で入力信号を遅延する第2遅延素子を複数直列に接続する第2ディレイラインと、第2ディレイラインの最後段の第2遅延素子の出力の反転信号を出力する第2反転素子と、被測定信号、又は第2反転素子の出力信号のいずれか一方を第2ディレイラインの初段の第2遅延素子に提供する第2マルチプレクサと、を有し、自己校正モードでは、第1周期とは無相関の周期を有するテストクロック信号を複数の判定回路に提供し、通常モードでは、被測定信号を複数の判定回路に提供する、第2リング発振器をさらに有することが望ましい。

【発明の効果】

20

【0023】

本発明によれば、遅延量の非線形性を自己構成できるTDC回路を実現できる。

【図面の簡単な説明】

【0024】

【図1】本発明のTDCの基本構成を示す図である。

【図2】本発明のTDCの通常モードでの動作を示す図である。

【図3】本発明のTDCの自己校正モードでの動作を示す図である。

【図4】エンコーダ回路の基本構成の一例を示す図である。

【図5】図4に示す回路に使用される加算器の一例を示す図である。

【図6】自己校正モードによる生成されるヒストグラムの一例を示す図である。

30

【図7】自己校正モードにおける信号のタイミングの一例を示す図である。

【図8】自己校正モードにおける信号のタイミングの一例を示す図である。

【図9】自己校正モードにおける信号のタイミングの一例を示す図である。

【図10】本発明の自己校正処理のフローの一例を示す図である。

【図11】ヒストグラムの非線形性の概念を示す図である。

【図12】INL値の逆関数の概念を示す図である。

【図13】自己校正処理がなされたヒストグラムの一例を示す図である。

【図14】自己校正モードによる生成されるヒストグラムの一例を示す図である。

【図15】自己校正処理がなされたヒストグラムの一例を示す図である。

【図16】本発明の自己校正処理のフローの他の例を示す図である。

40

【図17】自己校正モードによる生成されるヒストグラムの一例を示す図である。

【図18】本発明のTDCの他の構成を示す図である。

【図19】本発明のTDCの他の構成を示す図である。

【図20】エンコーダ回路の基本構成の一例を示す図である。

【図21】図20に示す回路に使用される加算器の一例を示す図である。

【図22】図20に示す回路に使用される加算器の一例を示す図である。

【図23】図20に示す回路に使用される加算器の一例を示す図である。

【図24】従来のTDCの構成および動作を示す図である。

【図25】従来のバーニアディレイラインTDCの構成および動作を示す図である。

【発明を実施するための形態】

50

【 0 0 2 5 】

添付図面を参照して、本発明に係る時間デジタル変換回路（TDC）の実施形態を詳細に説明する。図1は、本発明に係る時間デジタル変換回路（TDC）の回路構成の1つの実施形態を示す図である。

【 0 0 2 6 】

図1に示すように、TDC1は、第1マルチプレクサ15を有する第1リング発振器10と、判定回路である複数（図1では7個）のDフリップフロップ17と、第2マルチプレクサ25を有する第2リング発振器20と、エンコーダ回路31と、CPU33と、記憶装置35と、を有する。まず、第1マルチプレクサ15を有する第1リング発振器10、Dフリップフロップ17、及び第2リング発振器20の構成について詳細に説明する。

10

【 0 0 2 7 】

第1リング発振器10は、遅延量1の複数（図1では7個）の第1遅延素子（ノンインバータバッファ）11a～gを直列に接続する第1ディレイラインと、第1ディレイラインの最終段の第1遅延素子11gの出力を反転出力する第1反転素子13と、基準クロック信号などであるSTART信号、又は第1反転素子13の出力信号のいずれか一方を第1遅延素子11aに出力する第1マルチプレクサ15とを有する。

【 0 0 2 8 】

複数のDフリップフロップ17a～gの入力Dにはそれぞれ、第1マルチプレクサ15の出力信号、第1マルチプレクサ15の出力信号から遅延量1だけ遅延した信号、第1マルチプレクサ15の出力信号から遅延量1の2倍遅延した信号、...第1マルチプレクサ15の出力信号から遅延量1の6倍遅延した信号が、理想的には入力される。しかしながら、複数のDフリップフロップ17a～gの入力Dには、第1遅延素子11間の遅延量1のバラツキ、Dフリップフロップのオフセットのバラツキ、及び素子間の配線遅延量のバラツキなど様々な要因により、遅延量のバラツキが生じる。Dフリップフロップ17a～gの入力CKにはそれぞれ、第2マルチプレクサ25の出力信号が入力される。複数のDフリップフロップ17a～gの出力Qはそれぞれ、エンコーダ回路31の入力Din1～7に入力される。

20

【 0 0 2 9 】

第2リング発振器20は、遅延量2の複数（図1では7個）の第2遅延素子（ノンインバータバッファ）21を直列に接続する第2ディレイラインと、第2ディレイラインの最終段の第2遅延素子21gの出力を反転出力する第2反転素子23と、基準クロックを遅延した信号の変化エッジなどであるSTOP信号、又は第2反転素子23の出力信号のいずれか一方を第2遅延素子21aに出力する第2マルチプレクサ25とを有する。

30

【 0 0 3 0 】

ここで、第1リング発振器10が有する第1マルチプレクサ15、及び第2リング発振器20が有する第2マルチプレクサ25を切り替えることにより実現される通常モード、及び自己校正モードについて説明する。通常モードは、基準クロックに対するジッタの検出など本来のTDCの機能を実現するモードである。一方、自己校正モードは、遅延量1の非線形性を自己校正するためのデータを複数収集するモードである。

【 0 0 3 1 】

図2において実線で示すように、通常モードでは、第1マルチプレクサ15は、基準クロック信号などであるSTART信号を出力し、第2マルチプレクサ25は、基準クロックを遅延した信号の変化エッジなどであるSTOP信号を出力する。このモードでは、図24に示す従来のTDCと同様に、第1ディレイラインで順次遅延される基準クロック信号などであるSTART信号と、被測定信号などであるSTOP信号との変化エッジのタイミング差をDフリップフロップ17が判定し、その結果をエンコーダ回路31に出力する。エンコーダ回路31の処理については、後に詳細に説明する。

40

【 0 0 3 2 】

一方、図3において実線で示すように、自己校正モードでは、第1マルチプレクサ15は、第1反転素子13の出力信号を出力し、第2マルチプレクサ25は、第2反転素子2

50

3の出力信号を出力する。自己校正モードにおいて、第1リング発振器10、及び第2リング発振器20は、それぞれ固有の周期で発振する。すなわち、第1リング発振器10の発振周期は、理想的には遅延量1に、第1ディレイラインに直列接続される第1遅延素子11の段数を乗じた値に第1反転素子13、及び第1マルチプレクサ15の遅延量などを付加した値を2倍に相当する第1周期で発振する。同様に、第2リング発振器20の発振周期は、理想的には遅延量2に、第2ディレイラインに直列接続される第2遅延素子21の段数を乗じた値に第2反転素子23、及び第2マルチプレクサ25の遅延量などを付加した値を2倍に相当する第2周期で発振する。このため、第1周期と、第2周期とは、無相関の周期となり、一般的には同期しない。自己校正モードでは、第2周期の数千回、又は数万回分に相当する時間の間、データを収集することができる。この間、Dフリップフロップ17a~gはそれぞれ、第1ディレイラインで順次遅延される出力Qを、第2周期ごとにエンコーダ回路31の入力Din1~7に出力する。好適には、第2遅延素子21が有する遅延量2は、第1遅延素子11が有する遅延量1よりも少なくとも一桁以上大きな値を有する。例えば、遅延量1が数ピコ秒から数10ピコ秒程度である場合、遅延量2は、数ナノ秒程度の大きさを有することができる。このように、遅延量1、及び2をこのように規定することにより、第1周期でDフリップフロップ17a~gの入力D入力される信号を、第1周期と無相関な第2周期でランダムに検出して、出力Qに出力することができる。通常モードと、自己校正モードの切り替えは、CPU33が制御することができる。

10

【0033】

20

次にエンコーダ回路31の機能について説明する。TDC1において、エンコーダ回路31は、「出力が1であるDフリップフロップ17の数を数える回路」として機能する。表1に示す例を参照して、エンコーダ回路31が有する「出力が1であるDフリップフロップ17の数を数える回路」としての機能を説明する。表1のエンコーダ回路31に入力される入力Dinと、エンコーダ回路31の出力Doutの一例を示す。

【0034】

【表1】

表1：エンコーダ31の入出力信号の例

		Din1	Din2	Din3	Din4	Din5	Din6	Din7	Dout
入力信号例	1	1	0	1	0	0	0	0	2
	2	1	1	1	0	0	0	0	3
	3	1	1	1	0	1	0	0	4
	4	1	1	1	0	1	1	0	5
	5	1	1	1	0	1	1	1	6

30

【0035】

図1に示す接続から分かるように、入力Din1に入力される信号は、図1におけるDフリップフロップ17aの出力Qに相当する。そして、入力Din2に入力される信号は、Dフリップフロップ17bの出力Qに相当する。同様に入力Din3~Din7に入力される信号は、Dフリップフロップ17c~gの出力Qにそれぞれ相当する。また、入力信号例1~5は、START信号とSTOP信号との間の変化エッジ遅延時間差を第1遅延素子の遅延量1程度ずつ広げていった結果をDフリップフロップ17a~gが出力する場合の入力信号例である。

40

【0036】

表1を参照すると、入力信号例1において、入力D2と、D3の間でバブルエラーが発生している。バブルエラーとは、本来連続したビット値が出力されるところが、その連続性が崩れたエラーをいう。表1に示されるバブルエラーは、遅延量1だけ遅延した入力

50

D 2 と、遅延量 1 の 2 倍の遅延量遅延した入力 D 3 が逆転したため生じる。このような入力信号の逆転は、第 1 遅延素子 1 1 間の遅延量 1 のバラツキ、D フリップフロップのオフセットのバラツキ、及び素子間の配線遅延量のバラツキなどにより生じ得る。パブルエラーが生じている入力信号例 1 において、エンコーダ回路 3 1 の出力信号 D o u t は、2 であり、入力信号例 2 において、エンコーダ回路 3 1 の出力信号 D o u t は、3 である。このように、エンコーダ回路 3 1 を、「出力が 1 である D フリップフロップ 1 7 の数を数える回路」として構成することにより、パブルエラーが生じる場合でも、出力 D o u t が単調増加する単調性を保証することができる。T D C におけるパブルエラーでは、上述のような遅延量のバラツキなどにより、D フリップフロップが検出した信号が実際に時間的に入れ替わっていると考えられる。したがって、エンコーダ回路 3 1 を、「出力が 1 である D フリップフロップ 1 7 の数を数える回路」として構成することにより、実際の物理現象をより正確に検出できることになる。

10

【 0 0 3 7 】

表 1 に示す例では、入力 D i n 4 は、データを出力する D フリップフロップ 1 7 が故障しているなどの理由で、0 のみを出力する。しかしながら、「出力が 1 である D フリップフロップ 1 7 の数を数える回路」として構成されるエンコーダ回路 3 1 は、D i n 4 の入力に関わらず、出力 D o u t の単調増加性が保証される。なお、後に詳細に説明するが、表 1 に示す入力 D i n 4 のように、エンコーダ回路が一定値を検出する場合は、本発明に係る自己校正処理によって、適宜校正される。

【 0 0 3 8 】

エンコーダ回路 3 1 が演算した信号は、C P U 3 3 に出力される。自己校正モードの場合には、C P U 3 3 は、信号をヒストグラム処理した後に、自己校正処理する。一方、通常モードの場合には、C P U 3 3 は、自己校正モードにおいて自己校正処理されたデータに基づいて、信号をデジタル的に誤差補正する。

20

【 0 0 3 9 】

図 4、及び 5 を参照して、エンコーダ回路 3 1 の回路構成の一例を説明する。エンコーダ回路 3 1 は、入力 D i n 1 ~ 9 に入力される 1 の個数を、出力 D o u t 1 ~ 4 に 2 進数で出力する回路である。図 4 において、エンコーダ回路 3 1 の回路構成の一例を示す。エンコーダ回路 3 1 は、5 つの全加算器 4 1 a ~ e と、4 ビット加算器 5 1 とを有する。第 1 の全加算器 4 1 a は、桁上がり入力 C i に信号 D i n 1、加数入力 a に信号 D i n 2、被加数入力 b に信号 D i n 3 がそれぞれ入力される。第 2 の全加算器 4 1 b は、桁上がり入力 C i に信号 D i n 4、加数入力 a に信号 D i n 5、被加数入力 b に信号 D i n 6 がそれぞれ入力される。第 3 の全加算器 4 1 c は、桁上がり入力 C i に信号 D i n 7、加数入力 a に信号 D i n 8、被加数入力 b に信号 D i n 9 がそれぞれ入力される。第 4 の全加算器 4 1 d は、桁上がり入力 C i に、第 1 の全加算器 4 1 a の和出力 S が入力され、加数入力 a に第 2 の全加算器 4 1 b の和出力 S が入力され、被加数入力 b に第 3 の全加算器 4 1 c の和出力 S が入力される。第 5 の全加算器 4 1 d は、桁上がり入力 C i に、第 1 の全加算器 4 1 a の桁上がり出力 C o が入力され、加数入力 a に第 2 の全加算器 4 1 b の桁上がり出力 C o が入力され、被加数入力 b に第 3 の全加算器 4 1 c の桁上がり出力 C o が入力される。第 4 の全加算器 4 1 d の和出力 S、及び桁上がり出力 C o は、4 ビット加算器 5 1 の入力 b 0、b 1 にそれぞれ入力される。第 5 の全加算器 4 1 e の和出力 S、及び桁上がり出力 C o は、4 ビット加算器 5 1 の入力 a 1、a 2 にそれぞれ入力される。

30

40

【 0 0 4 0 】

図 5 において、4 ビット加算器 5 1 の回路構成の一例を示す。4 ビット加算器 5 1 は、2 つの半加算器 4 3 a、及び 4 3 b と、全加算器 4 1 f とを有する。第 1 の半加算器 4 3 a の加算入力 a は 0 入力に固定され、被加算入力 b は信号 b 0 が入力され、和出力 S は出力 o u t 1 になり、桁上がり出力 C o は、全加算器 4 1 f の桁上がり入力 C i に接続される。全加算器 4 1 f の加算入力 a は信号 a 1 が入力され、被加算入力 b は信号 b 1 され、和出力 S は出力 o u t 2 になり、桁上がり出力 C o は、第 2 の半加算器 4 3 b の桁上がり入力 C i に接続される。第 2 の半加算器 4 3 b の加算入力 a は信号 a 2 が入力され、和出

50

力Sは出力out3になり、桁上がり出力Coは、出力out4になる。図4、及び5に記載した回路構成を採用することにより、エンコーダ回路31は、パブルエラーの有無に関わらず、「出力が1であるDフリップフロップ17の数を数える回路」として構成することが可能になる。なお、図1に示すTDC1は、7つのDフリップフロップ17を有し、それぞれの出力Qは、エンコーダ回路31のDin1~7に入力される。使用されない2つの入力Din8、及び9は、0レベルに固定される。

【0041】

次に、図6~17を参照して、CPU33が実行するヒストグラム処理、及び自己校正処理について説明する。図6において、自己校正モードのときに、CPU33に入力されるデータを収集したヒストグラムを概略的に示す。図6に示すヒストグラムの横軸は、CPU33に入力されるエンコーダ回路31の出力Dout1~4によって規定される2から7までの数値を示す。これらの数値は、図1におけるDフリップフロップ17b~gにそれぞれ相当する。ヒストグラムの縦軸は、Dフリップフロップ17b~gが、第2リング発振器20の変化エッジを検出する度数を任意単位で表す。Dフリップフロップ17b~gの入力CKが、第2リング発振器の変化エッジを検出することにより、Dフリップフロップ17b~gは、入力Dに入力される信号を出力Qに出力する。Dフリップフロップ17b~gの入力Dに入力される信号は、第1リング発振器10が有する第1周期で規定される。上述のように、第1周期と、第2リング発振器20の周期が有する第2周期とは、無相関である。このため、第2周期の数千回、又は数万回分など適当な周期に相当する時間の間、自己校正モードでTDC1を動作させることにより、Dフリップフロップ17b~gの入力Dに入力される信号をランダムに相当数、抽出することができる。

【0042】

TDC1が完全に線形である場合、すなわち図1に示す複数の第1遅延素子11a~fの遅延量1に基づいてDフリップフロップ17がそれぞれ検出する遅延量が完全に等しい場合は、十分に多くのデータを収集するとDin2~7のヒストグラムの度数は、同一になると考えられる。しかしながら、実際には、ヒストグラムにはバラツキが生じる。これは、第1遅延素子11がそれぞれ有する遅延量1、及びDフリップフロップ17のオフセットが製造条件及び/又は動作電圧などの動作条件などでばらつくためである。またさらに各素子間の配線遅延量の相違もバラツキの原因になり得る。

【0043】

図6において、Dフリップフロップ17aに相当する「1」をヒストグラムの横軸に記載していない。Dフリップフロップ17aが検出する遅延量は、第1反転素子13、及び第1マルチプレクサ15のみに依存し、遅延量は1に依存しないためである。しかしながら、Dフリップフロップ17aの出力Qを使用して、検出される変化エッジの極性を判定することができる。Dフリップフロップ17aの出力Qが1である場合は、この周期で検出される変化エッジは、Dフリップフロップ17a~gの入力Dに入力される信号の立ち上がりエッジを検出することになる。反対にDフリップフロップ17aの出力Qが0である場合は、この周期で検出される変化エッジは、Dフリップフロップ17a~gの入力Dに入力される信号の立ち下がりエッジを検出することになる。

【0044】

検出される変化エッジの極性を判定することにより、立ち上がりエッジを検出したヒストグラムと、立ち下がりエッジを検出したヒストグラムとを分離して生成することができる。本発明に係るTDC1において、エンコーダ回路31を、「出力が1であるDフリップフロップ17の数を数える回路」として構成する場合、検出するエッジに基づいて別々のヒストグラムを生成することは重要である。変化エッジの双方の極性を混在させてヒストグラムを生成したときに、正確なデータを抽出できない可能性があるからである。

【0045】

図7、及び図8を参照して、その一例を説明する。図7、及び8は、自己校正モードにおいて、Dフリップフロップ17a~gの入力Dを、入力CKに入力されるテストクロック信号が検出するタイムチャートを示す。図7に示す例では、Dフリップフロップ17a

~ gのそれぞれの出力Qに接続されるエンコーダ回路31の入力Din1、及びDin2には1が入力され、Din3~7には0が入力される。エンコーダ回路31に入力される1の個数は、2個であるので、エンコーダ回路31を、「出力が1であるDフリップフロップ17の数を数える回路」として構成するとき、エンコーダ回路31の出力Doutは、2を出力する。一方、図8に示す例では、Din1~5には0が入力され、エンコーダ回路31の入力Din6、及びDin7には1が入力される。この場合も同様に、エンコーダ回路31に入力される1の個数は、2個であるので、エンコーダ回路31の出力Doutは、2を出力する。このように、図7、及び8に示す例の双方において、エンコーダ回路31は、2を出力する。しかしながら、双方の例において変化エッジが検出される時点は、異なる。図7に示す例では、Dフリップフロップ17bと17cの間、すなわち第1遅延素子11bの間に変化エッジが検出されるのに対し、図8に示す例では、Dフリップフロップ17eと17fの間、すなわち第1遅延素子11eの間に変化エッジが検出される。このように、エンコーダ回路31を、「出力が1であるDフリップフロップ17の数を数える回路」として構成するときは、エッジの極性を区別しなければ、異なる時点のデータを同一の時点のデータであると判断してヒストグラムを生成するおそれがある。このため、Dフリップフロップ17aの出力Qの値により、検出するエッジの極性を判定する必要がある。例えば、CPU33は、Dフリップフロップ17aの出力Qの値に基づいて、検出するエッジの極性を判定し、立ち上がりエッジ、又は立ち下がりエッジのいずれかの極性を有するデータのみにより、ヒストグラムを生成できる。

【0046】

ここで、先に表1を参照して説明したように、いずれかDフリップフロップ17が故障して、そのDフリップフロップに接続される入力Dinに0のみが入力される場合について検討する。図9を参照して、表1と同様に、Dフリップフロップ17dの出力Qに接続される入力Din4に、0のみが入力される場合を例に説明する。図9は、自己校正モードにおいて、Dフリップフロップ17a~gの入力Dを、入力CKに入力されるテストクロック信号が検出するタイムチャートを示す。Dフリップフロップ17dの入力Dに入力が期待される入力を破線で示す。また、Dフリップフロップ17dの入力Dの実際の入力に該当する、0の入力を実線で示す。Dフリップフロップ17dの入力Dが、期待されるように入力される場合(DFF17dの出力Qが破線に該当する場合)、エンコーダ回路31の入力Din1~4が1となり、入力Din5~7が0となるので、出力Doutは、4を出力する。一方、Dフリップフロップ17dの入力Dに0が入力される場合(DFF17dの出力Qが実線に該当する場合は、エンコーダ回路31の入力Din1~5が1となり、入力Din6、Din7が0となり、出力Doutは、5を出力する。したがって、立ち上がりエッジを検出する場合、本来は出力Doutが4になるべき時点のデータは、全て出力Doutが5になる時点に合計されることになる。

【0047】

CPU33は、自己校正モードで作成したヒストグラムをCPU33が有するキャッシュメモリ、又は記憶装置35などに記憶する。そして、CPU33は、このヒストグラムに基づいて、第1遅延素子11a~fが有する遅延量1の自己校正処理を実施する。図10~15を参照して、CPU33が実施する自己校正処理の一例について説明する。

【0048】

図10において、CPU33が実施する自己校正処理のフローの一例を示す。ステップS101において、CPU33は、図6に示すようなヒストグラムを生成する。このとき、それぞれの度数をDNL(Differential Non-Linearity)値として収集する。次いでステップS102において、CPU33は、取得したDNL値を蓄積することで、INL(Integral Non-Linearity)値を取得する(図11参照のこと)。そしてS103において、CPU33は、取得したINL値から、INLの逆関数を算出する(図12参照のこと)。S104において、CPU33は、算出したINLの逆関数を記憶部35に記憶する。図13において、算出したINLの逆関数を図6に示すヒストグラムに乗じた結果を示す。図13から明らかなように、逆関数を乗じた後のヒストグラムは、完全な線形性

10

20

30

40

50

を有する。

【0049】

MATLAB（登録商標）を使用して、非線形性の自己校正処理に関して、図10のフローに示す処理の動作確認シミュレーションを行った。図14に、シミュレーションに使用したヒストグラムを示す。また、図15に、算出したINLの逆関数を図14のヒストグラムに乗じた結果を示す。度数が様々に異なる図14に示すヒストグラムが、逆関数を乗じることにより、図15においては、ヒストグラムが均一性を有していることが分かる。

【0050】

図16において、CPU33が実施する自己校正処理のフローの他の例を示す。ステップS141において、CPU33は、図6に示すようなヒストグラムを生成する。次いでステップS142において、CPU33は、ヒストグラムの各度数の平均値を算出する。本実施例では、CPU33、又は記憶部35に記憶される度数からDフリップフロップ17aを出力する度数を減じた度数を、対象とする第1遅延素子の数に相当する数（本実施例では6）で除することにより、各度数の平均値を算出できる。図17において、各度数の平均値を破線で示す。

【0051】

ステップS143において、CPU33は、それぞれのヒストグラムについて度数の平均値の逆関数を算出する。度数の平均値の逆関数 $f^{-1}(x)$ は、

$$f^{-1}(x) = \text{Cavg} / Cx$$

で表される。ここで、Cavgは、ヒストグラムの度数の平均値を示し、Cxは、それぞれのヒストグラムの度数を示す。次いで、ステップS144において、CPU33は、算出した逆関数を記憶部35に記憶する。

【0052】

CPU33は、記憶装置35などの記憶部に記憶されるプログラムに基づいて、ヒストグラム処理、自己校正処理、及びその結果に基づくデジタル的に誤差補正を実行できる。また複数の論理回路素子を有する構成されるハードウェアにより、ヒストグラム処理、及び自己校正処理などを実行することも可能である。

【0053】

ここまで説明してきたように、本発明に係る時間デジタル変換回路(TDC)1は、時間-デジタル変換に使用する遅延量の非線形性を自己校正することにより、線形化することができる。さらに、本発明に係るTDC1の自己校正特性を利用すると、従来よりも低い消費電力でTDCを動作させることができる。以下、その理由を説明する。従来のTDCでは、使用する遅延量の非線形性を最小限に抑えるために、遅延素子を高速で駆動する必要があった。このため、CMOSプロセスのゲート長などのデバイスサイズを大きくする必要があり、その結果として消費電力が増加するという問題があった。しかしながら、本発明に係るTDC1では、遅延量の非線形性を自己校正処理できるため、遅延量が線形であるか否かに関わらず、適当なデバイスサイズを採用することが可能になる。このため、消費電力を考慮して、TDCを設計することができ、消費電力を低くすることが可能になる。

【0054】

さらに本発明に係るTDCは、従来のTDCが検出可能な時間分解能よりも細かい分解能を有することができる。本発明に係るTDCは、いずれの遅延量で時間分解能を実現した場合でも、遅延量の非線形性を自己校正することができるためである。例えば、Dフリップフロップのランダムオフセット(バラツキ)を積極的に利用することにより、それぞれのDフリップフロップの入力Dから出力Qまでの遅延量に基づくTDCが可能になる。これにより、従来のパーニア型TDCよりも、高精度なTDCを構成できる。本明細書では、このようなTDCを確率的TDC(Stochastic Time-to-Digital Converter)と称する。

【0055】

図18を参照して、確率的TDCについて説明する。図18において、確率的TDC2の回路構成を示す。確率的TDC2は、第1マルチプレクサ15を有する第1リング発振器10と、複数のDフリップフロップ17と、第2マルチプレクサ25を有する第2リング発振器20と、エンコーダ回路31と、CPU33と、記憶装置35と、を有する。図1に示すTDC1と比較すると、確率的TDC2は、複数のDフリップフロップ17の構成を除き、同一の構成を有する。しがたって、ここでは、図1に示すTDC1と相違する複数のDフリップフロップ17について詳細に説明する。

【0056】

Dフリップフロップ17は、第1ディレイラインに配置される複数の第1遅延素子11a~gの接続ノード、及び初段の第1遅延素子11aの入力ノードに複数接続される。図18では、1つのノードに接続されるDフリップフロップ17は、3個のみ記載されるが、第1マルチプレクサ15、及び第1遅延素子11の駆動能力などを鑑みて、適当な個数のDフリップフロップ17を接続することができる。例えば、1つのノードに40個のDフリップフロップ17を接続した場合、7段の第1遅延素子11を有する確率的TDC2では、合計280個のDフリップフロップ17の入力Dのランダムオフセットを利用した時間分解能を実現できる。

【0057】

確率的TDC2では、ランダムオフセットを利用した時間分解能を実現するため、バーニア式TDCより細かい時間分解能を得ることが可能である。上述のように、バーニア式TDCでは、遅延素子間の遅延量の差を利用してジッタを測定する。このため、制御可能な遅延素子間の遅延量の差が、最大の時間分解能になる。一方、確率的TDC2は、遅延素子間の遅延量の差よりもさらに細かい、Dフリップフロップ17の入力Dのランダムオフセット、すなわち1つの遅延素子に接続する複数の入力Dの遅延量の差を利用する。Dフリップフロップ17の入力Dのランダムオフセットの差は、非常に細かいが、制御が難しい。これは、入力Dのランダムオフセットが、遅延素子の駆動能力、Dフリップフロップの応答性能、配線容量、及び配線抵抗など製造条件、動作条件によって変動する確率的な要因により生じるためである。しかしながら、本発明に係るTDCでは、遅延量を制御する必要がない。本発明に係るTDCでは、自己校正により遅延量を校正することにより、入力Dのランダムオフセットのような、非常に小さな遅延量の差も定性化できるためである。このため、確率的TDC2では、バーニア式TDCよりも細かい時間分解能が実現できる。

【0058】

また、確率的TDC2では、Dフリップフロップ17のオフセット、第1遅延素子11の遅延量のバラツキ、及び配線遅延量のバラツキを積極的に利用するため、Dフリップフロップ17、第1遅延素子11などのゲートサイズは、最小で良い。このため、さらなる低消費電力化が可能である。また、確率的TDC2では、数10個、又は数100個のDフリップフロップ17を使用するため、回路規模が大きくなる可能性がある。しかしながら、プロセス技術の進展に伴う微細化により、この程度の回路規模は、許容されるようになるであろう。

【0059】

図19を参照して、自己診断回路付確率的TDC3を説明する。図19において、自己診断回路付確率的TDC3の回路構成を示す。自己診断回路付確率的TDC3は、図18に示す確率的TDC2が有する構成を全て有する。しかしながら、図19においては、エンコーダ回路31、CPU33、及び記憶装置35は、説明を簡単にするために記載が省略される。また、エンコーダ回路31に出力されるDフリップフロップ17の出力Qからの配線も同様に記載が省略される。

【0060】

自己診断回路付確率的TDC3は、スキャンパス回路と、正解パターン出力回路とを確率的TDC2に付加した回路である。CPU33は、自己診断回路付確率的TDC3を通常モードと自己診断モードとに切り替えることができる。また、CPU33は、自己診断

10

20

30

40

50

モードにおいて、自己診断回路付確率的TDC3が有するそれぞれのDフリップフロップ17の故障の有無を判定することができる。

【0061】

本実施例では、スキャンパス回路は、ジョンソンカウンタ回路を形成することにより、自己診断モードを実行する。ジョンソンカウンタ回路は、前段のDフリップフロップ17の出力Q、又はQBと後段のDフリップフロップ17の入力Dとの間にそれぞれ配置される第3マルチプレクサ65を適当に切り替えることにより構成される。すなわち、同一の行に配置されるDフリップフロップ17の出力Qをそれぞれ、第3マルチプレクサ65を介して後段のDフリップフロップ17の入力Dに入力し、最終段のDフリップフロップ17の出力QBを、第3マルチプレクサ65を介して初段の入力Dに入力することでジョンソンカウンタ回路を構成する。ここで、Dフリップフロップ17の出力QBは、入力Dの反転出力である。このように自己診断モードでは、自己診断回路付確率的TDC3が有する全てのフリップフロップは、行ごとにジョンソンカウンタ回路を構成する。

10

【0062】

自己診断回路付確率的TDC3は、適当な手段により全てのDフリップフロップ17をリセットした後に、自己診断モードを実行する。自己校正モードにより形成されるジョンソンカウンタ回路は、Dフリップフロップ17の段数で規定される周期で連続して1、又は0を最終段の出力Qから出力する。最終段の出力Qは、排他的論理和回路63の一方の入力にそれぞれ接続される。排他的論理和回路63の他方の入力には、正解パターン出力回路61からの出力が入力される。正解パターン出力回路61は、Dフリップフロップ17の段数で規定される周期に応じてジョンソンカウンタ回路が出力する1、又は0の配列に対応する正解パターンを出力するように構成される。また、正解パターン出力回路61は、第2リング発振器の出力に同期して、正解パターン信号を出力する。このように構成することで、排他的論理和回路63は、自己診断モードにより形成されるジョンソンカウンタ回路と、それに対応して出力される正解パターンとを比較することができる。

20

【0063】

排他的論理和回路63はそれぞれ、双方の入力信号が同一である限り、0をセットリセットフリップフロップ67の入力Sに出力し続ける。このため、自己診断モード時に形成されるジョンソンカウンタ回路と、それに対応して出力される正解パターンとが相違しない限り、セットリセットフリップフロップ67の出力Qは、0を出力し続ける。しかしながら、いずれか1つのDフリップフロップ17が故障している場合は、故障しているDフリップフロップ17を有する行のジョンソンカウンタ回路は、正解パターンと相違する信号を出力する。この結果、その信号を入力した排他的論理和回路63は、セットリセットフリップフロップ67の入力Sに1を出力し、セットリセットフリップフロップ67の出力Qが0から1に遷移する。

30

【0064】

セットリセットフリップフロップ67は、入力Sに1が入力されると、入力Rに1が入力されない限り、出力Qを1に保持する。このため、Dフリップフロップ17の故障などにより、いずれかの行のジョンソンカウンタ回路が一度でも1を出力した場合は、その行に接続されるセットリセットフリップフロップ67の出力Qは、入力Rに1が入力されない限り、1を保持し続ける。この結果、論理和回路69のいずれかの入力に1が入力され続け、論理和回路69の出力は1を示す。

40

【0065】

このように自己診断回路付確率的TDC3では、Dフリップフロップ17の少なくとも1つに故障が生じた場合に、その故障を検知できる。このため、自己診断回路付確率的TDC3は、確率的TDC2よりも高い信頼性を有する。したがって、自己診断回路付確率的TDC3は、車載用機器など高い信頼性を要求される用途に使用するのに適当である。

【0066】

以上、本発明の実施形態を説明したが、各種の変形例があり得るのはいうまでもない。

【0067】

50

例えば、本明細書では、6つの第1遅延素子11で第1ディレイラインを構成した実施例が説明される。しかしながら、6つ未満、又は6つよりも多い第1遅延素子11で第1ディレイラインを構成することができる。第2ディレイラインについても同様である。

【0068】

また、本明細書に記載された実施例では、自己校正モードにおいて、第2リング発振器20が生成する発振信号を利用してヒストグラムを生成したが、TDCは、第2リング発振器20を有さない構造にすることが可能である。この場合、自己校正モード時に、Dフリップフロップ17の入力CKに、第1リング発振器10の発振信号が有する第1周期と無相関な周期を有する信号を入力すれば良い。

【0069】

さらにまた、本明細書では、Dフリップフロップ17を利用して、自己校正に使用するヒストグラムを生成しているが、TDC外部に配置されるDフリップフロップなどの判定回路を利用することもできる。

【0070】

さらにまた、図4、及び5を参照してエンコーダ回路31の構成を説明したが、エンコーダ回路31の構成はこれに限定されない。例えば図20に示すエンコーダ回路61は、45個のDフリップフロップに対して、「出力が1であるDフリップフロップ17の数を数える回路」として機能する。図20における5ビット加算器53、6ビット加算器55、及び7ビット加算器57の回路構成はそれぞれ、図21、図22、及び図23に示す。このように全加算器41と、半加算器43とを多数組み合わせることにより、様々な「出力が1であるDフリップフロップ17の数を数える回路」を実現することができる。

【0071】

さらにまた、図19において、自己診断回路付確率的TDC3のスキャンパス回路は、ジョンソンカウンタ回路を構成することにより、実現されているが、LFSR、又はリングカウンタ回路などにより実現してもよい。

【符号の説明】

【0072】

- 1 時間デジタル変換回路(TDC)
- 2 確率的TDC
- 3 自己診断回路付確率的TDC
- 10 第1リング発振器
- 11 第1遅延素子(ノンインバータバッファ)
- 13 第1反転素子
- 15 第1マルチプレクサ
- 17 Dフリップフロップ
- 10 第2リング発振器
- 21 第2遅延素子(ノンインバータバッファ)
- 23 第2反転素子
- 25 第2マルチプレクサ
- 31 エンコーダ回路
- 33 CPU
- 35 記憶装置

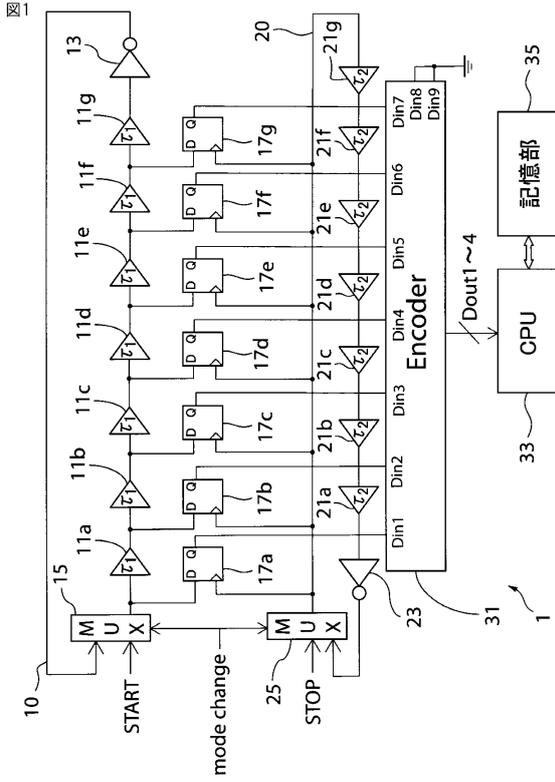
10

20

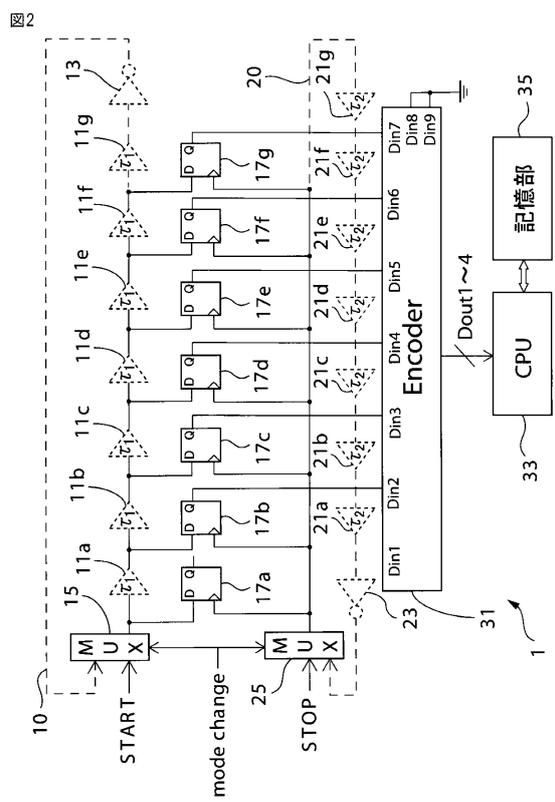
30

40

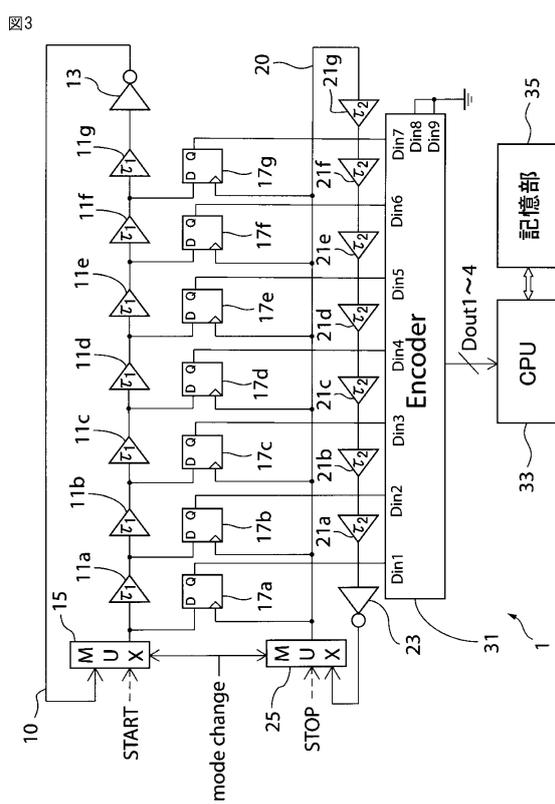
【図1】



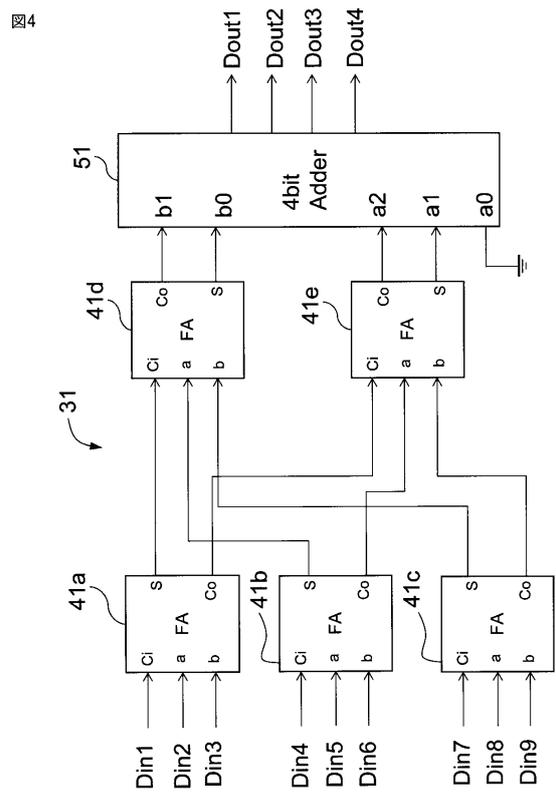
【図2】



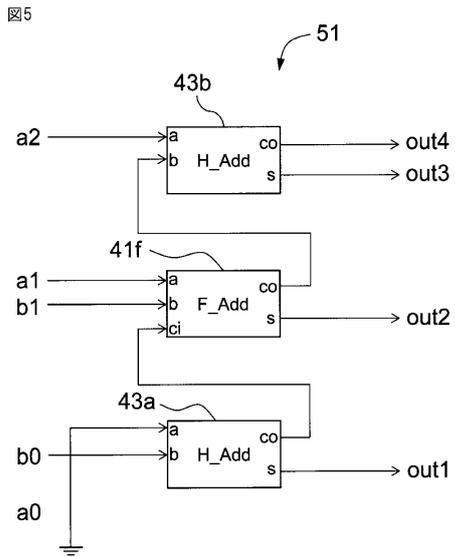
【図3】



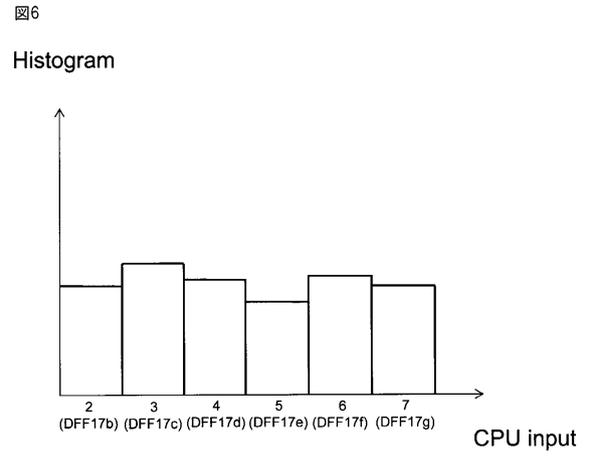
【図4】



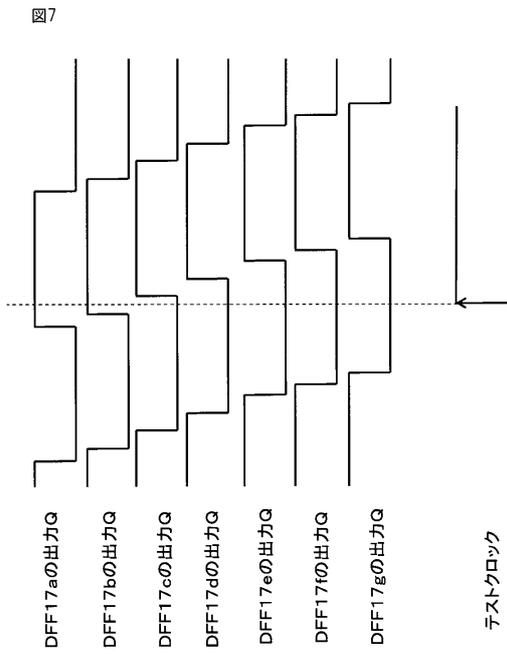
【 図 5 】



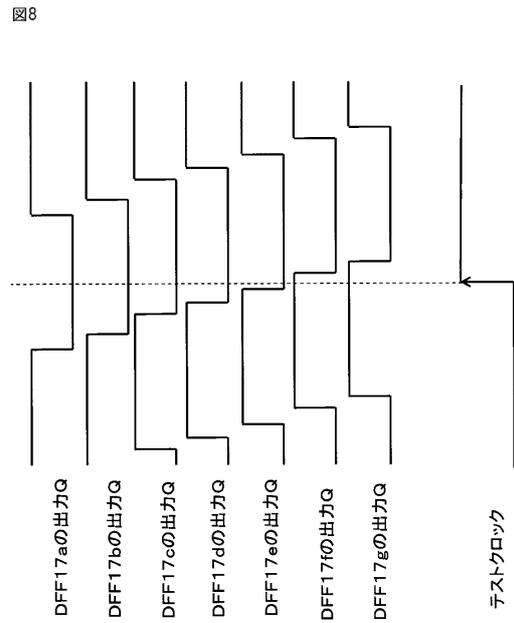
【 図 6 】



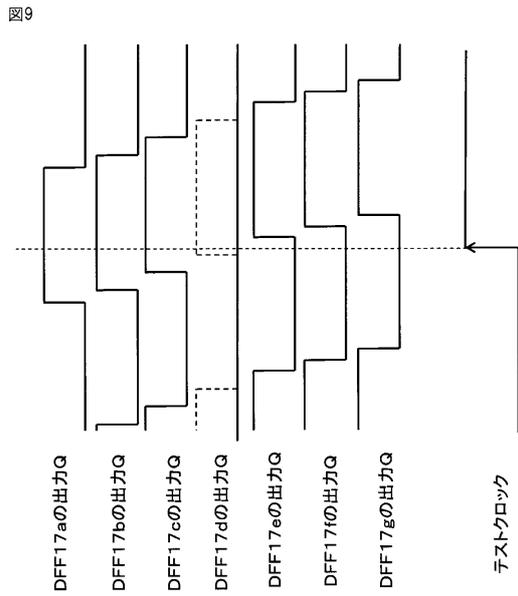
【 図 7 】



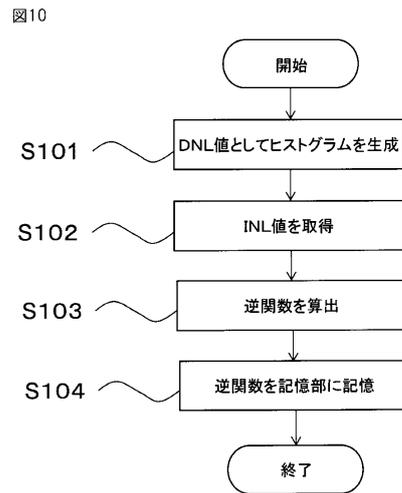
【 図 8 】



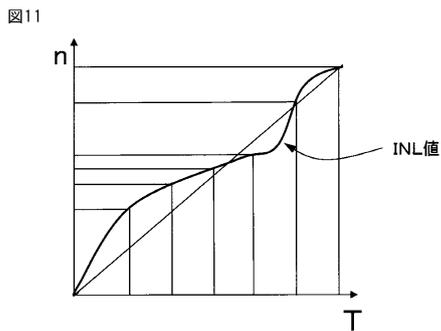
【図9】



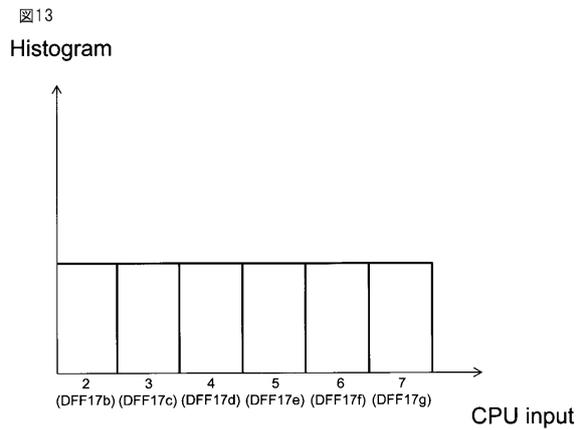
【図10】



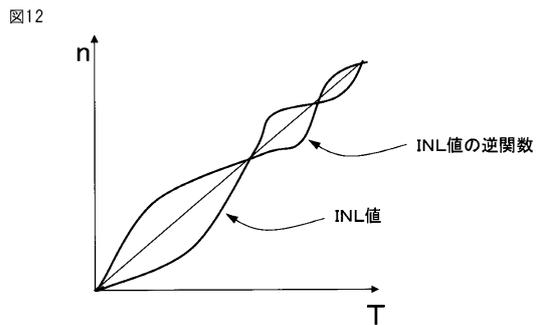
【図11】



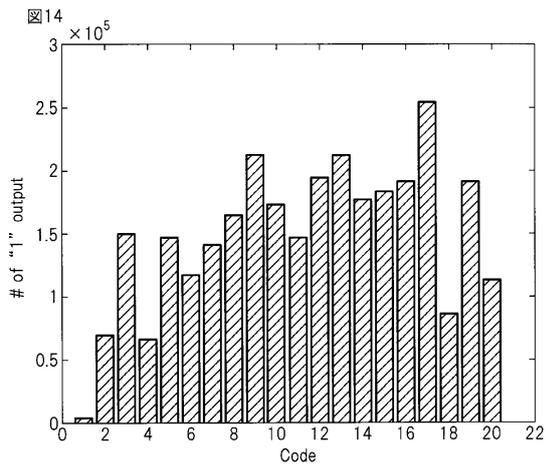
【図13】



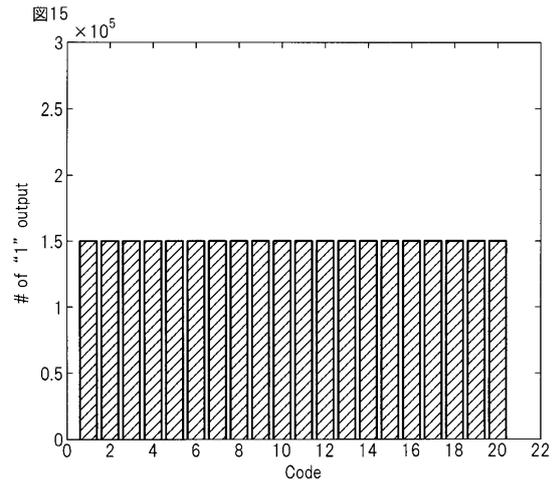
【図12】



【 図 1 4 】

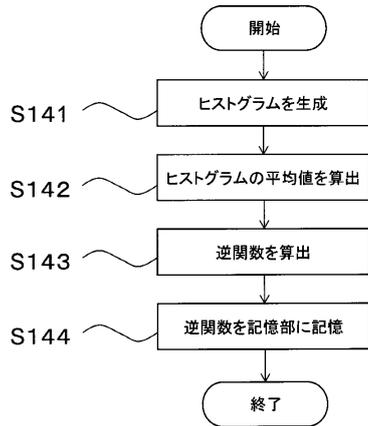


【 図 1 5 】



【 図 1 6 】

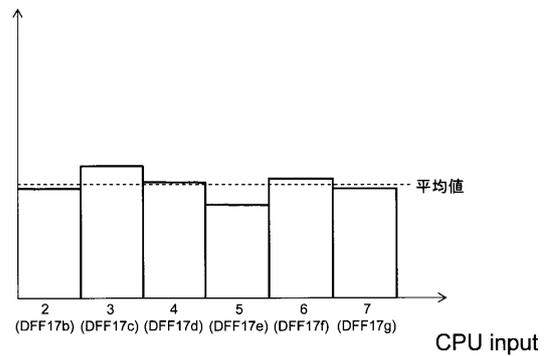
図16



【 図 1 7 】

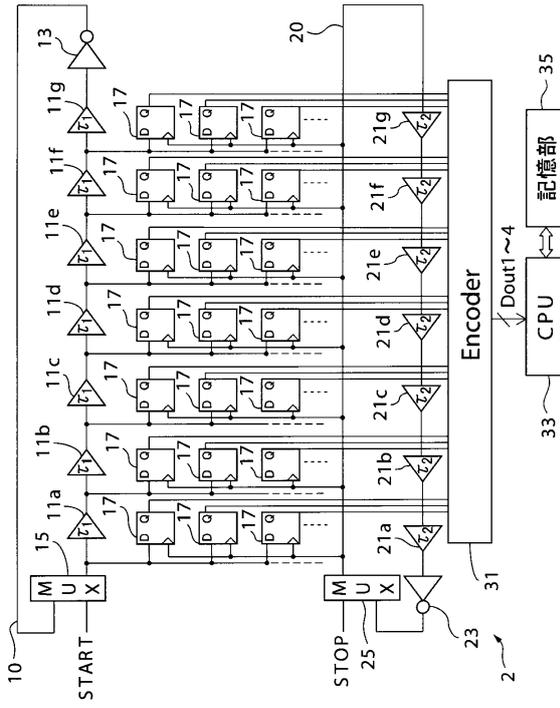
図17

Histogram



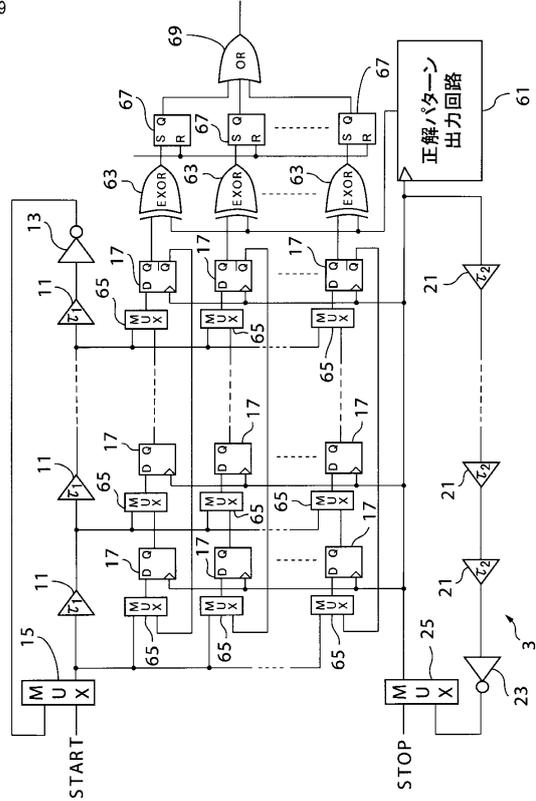
【図18】

図18



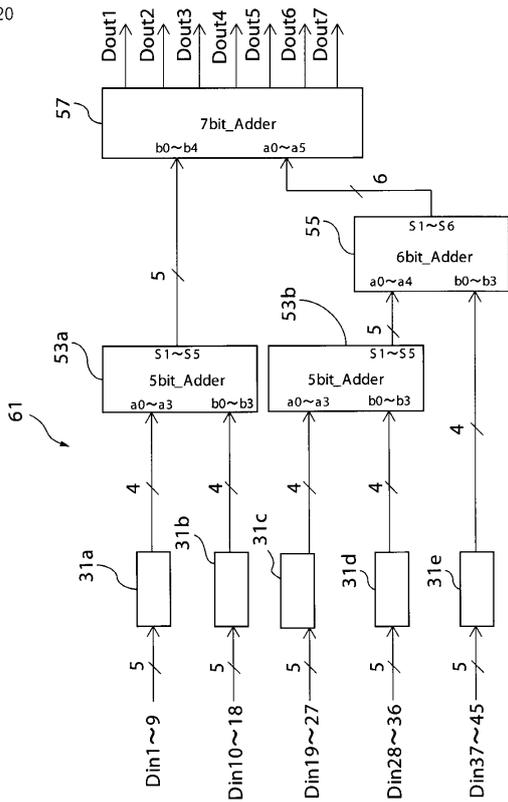
【図19】

図19



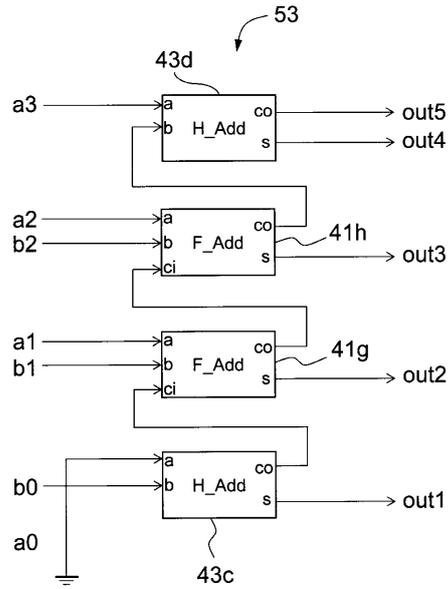
【図20】

図20



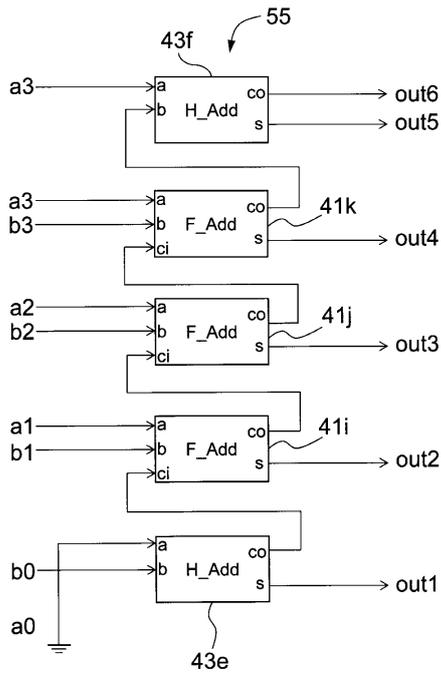
【図21】

図21



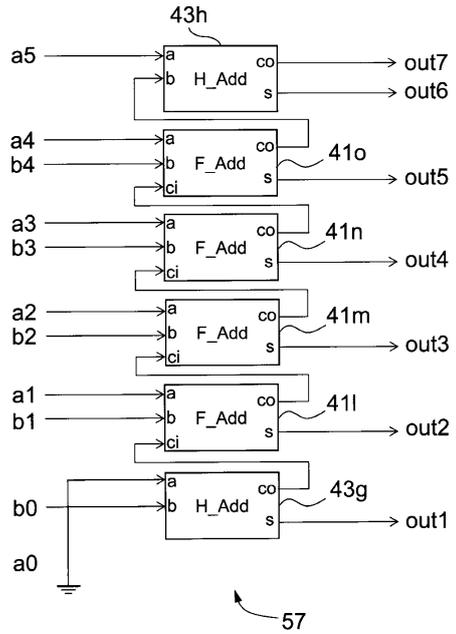
【図22】

図22



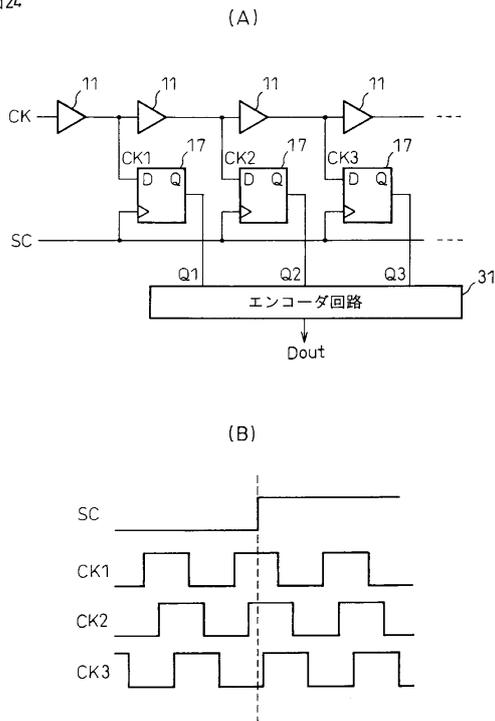
【図23】

図23



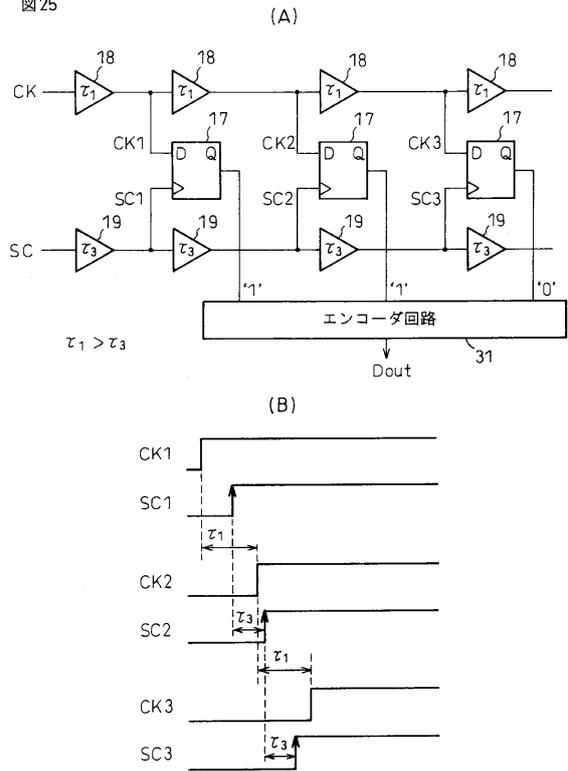
【図24】

図24



【図25】

図25



フロントページの続き

(72)発明者 伊藤 聡志

群馬県桐生市天神町1-5-1

(72)発明者 小林 春夫

群馬県桐生市相生町2-620-12相生住宅1-202

審査官 吉田 隆之

(56)参考文献 国際公開第2009/110172(WO, A1)

特開平8-54481(JP, A)

実開平1-168900(JP, U)

特開2005-156495(JP, A)

(58)調査した分野(Int.Cl., DB名)

G04F

G01R

H03K 21