

デルタシグマ TDC を用いた位相ノイズ測定

大澤 優介*, 平林 大樹, 針谷 尚裕

小林 春夫 (群馬大学), 新津 葵一 (名古屋大学), 小林 修 (STARC)

Phase Noise Testing Using Delta - Sigma TDC

Yusuke Osawa*, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi (Gunma University)
Kiichi Niitsu (Nagoya University), Osamu Kobayashi (STARC),

This paper describes two phase noise measurement and testing techniques for a clock using a delta-sigma time-to-digital converter (TDC). One is with a reference signal (which has only very small phase noise), and the other is without a reference signal. Both proposed techniques can be implemented with relatively small circuitry, based on the following: (i) The clock under test (CUT) is a repetitive signal. (ii) The time resolution with CUT and a reference clock can be finer with longer measurement time with the delta-sigma TDC. (iii) The phase noise power spectrum can be calculated from the delta-sigma TDC output data using FFT. High performance spectrum analyzers with long measurement time (about 10 seconds order due to average of several times phase measurement results), which are very costly, are not be needed for phase noise measurement with the proposed technique. The second method which is similar to the above but does not require a reference signal by employing a self-reference clock technique, would have potentials for wide applications.

キーワード : 位相ノイズ測定, 時間-デジタル変換器, シグマデルタ変調, PLL テスト

(Phase Noise Measurement, Time-to-Digital Converter, Delta -Sigma Modulation, PLL testing)

1. はじめに

近年、半導体製造プロセスの微細化に伴い、トランジスタ 1 つあたりの半導体製造コストは減少しているが、テストコストは増加している。それに伴い、低コスト・高品質であるテスト技術が要求される⁽¹⁾。PLL (Phase Locked Loop) をテストする際に重要となるのが、ジッタ・位相ノイズの評価である⁽¹⁻⁶⁾。オンチップでジッタ・位相ノイズを試験する回路はすでに提案されている^(5,6)が、論文⁽⁵⁾のオンチップ・ジッタ測定回路では、周波数特性を得るのが困難である。また、論文⁽⁶⁾に示されている PLL の位相ノイズ測定では、通常のフラッシュ型 TDC (Time-to-Digital Converter) が用いられているが、フラッシュ型 TDC では測定分解能を高くすることが困難である。

そこで本研究では、高時間分解能で位相ノイズ測定を可能にするために、デルタシグマ TDC を用いる手法を提案し、MATLAB を用いてシステムレベルでの検討を行った。シグマデルタ TDC は小面積で実装可能であり、測定時間が長くすれば時間分解能が向上する⁽⁴⁾⁽⁵⁾。デルタシグマ TDC の出力波形を FFT (Fast Fourier Transform) することによって、1 MHz の入力クロックの位相ノイズを測定できることを確認した。提案手法により位相ノイズ測定・テストのための高価なスペクトラムアナライザが不要になり、低コストテストが実現できる。

本論文ではデルタシグマ TDC を用いた位相ノイズ測定について 2 つの手法を述べる⁽⁹⁻¹¹⁾。1 つ目は基準クロックを使用した手法であり⁽¹¹⁾、2 つ目は基準クロックを使用せずに実現できる手法である。2 つ目の手法は幅広い用途への使用が期待できる。

本論文の構成は以下のとおりである。2 章でデルタシグマ TDC について説明する。3 章では提案する基準クロックを使用した位相ノイズ測定法について、4 章ではそのシミュレーション結果を示す。5 章では基準クロックを使用しないクロック自己参照型の位相ノイズ測定法について、6 章ではそのシミュレーション結果を示す。最後に 7 章にて結論を述べる。

2. デルタシグマ TDC

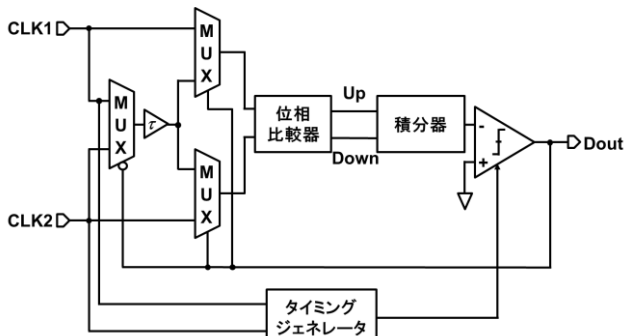
検討したデルタシグマ TDC の全体構成を図 1 に示す。シグマデルタ TDC は、遅延素子 τ 、マルチプレクサ、位相比較器、タイミングジェネレータ、積分器、比較器から構成される。クロック信号 CLK1 と CLK2 を入力されると、立ち上がり時間差 ΔT を測定する。

入力された CLK1、CLK2 はそれぞれ比較器出力 D_{out} に応じて経路が制御される。その結果得られる信号をそれぞれ CLK1a、CLK2a とする。位相比較器によりこれらの信号の時間差 CLKin を出す。この時間差 CLKin を電圧に変換

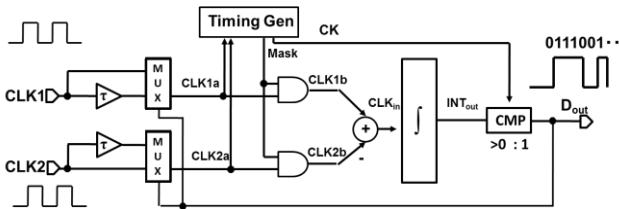
し、電圧モードで積分し INT_{out} を出力させる。この出力 INT_{out} を比較器によりゼロと比較し最終的な出力 D_{out} を求める。CLK1 が速い場合には時間差を求めたときに正となるため積分後の比較器出力は 1 となり、次のクロックでは CLK1 は遅延の経路、CLK2 はそのまま信号を通す経路がそれぞれ選択される。CLK2 が速い場合には時間差を求めたときに負となるため積分後の比較器出力は 0 となり、選択される経路は逆となる。入力の時間差に比例して 1 が出力されるため、比較器から出力された 1 の数からクロック間の立ち上がり時間差 ΔT を計測することができる。

図 2 に比較器出力 D_{out} が 0、1 それぞれの場合のタイミングチャートを示す。

デルタシグマ TDC における入力クロックの時間差 ΔT の測定範囲は $-\tau < \Delta T < \tau$ である(図 3)。つまり、測定範囲は遅延素子の遅延量 τ によって決まる。



(a) 提案回路のブロック図



(b) シミュレーション時の構成 (MATLAB)

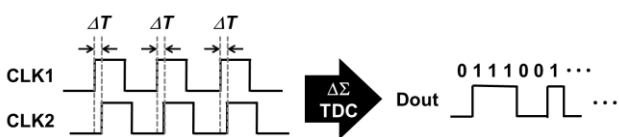


図 1 デルタシグマ TDC の構成

Fig. 1. Block diagram of Sigma-Delta TDC.

デルタシグマ TDC を用いた位相ノイズ測定における測定時分解能 (時間分解能) は次のように与えられる。

$$T_{resolution} = \frac{2\tau}{N_{DATA}}$$

測定分解能は、遅延素子 τ と出力で得られるデータ点数 N_{DATA} で決定される。つまり、測定時間を長くすることで、 N_{DATA} が多く取れるため、測定分解能がより細くなる。

3. デルタシグマ TDC を用いた基準クロックによる位相ノイズ測定

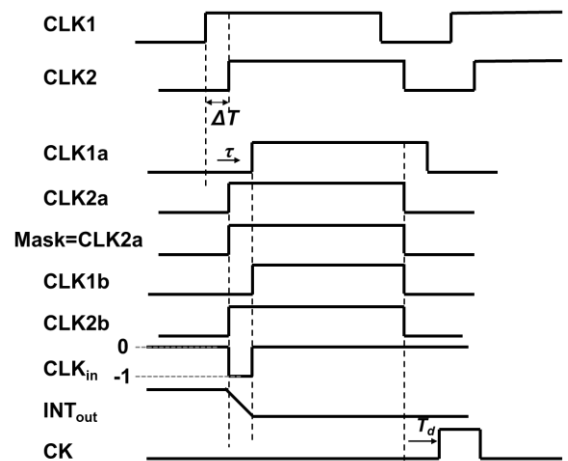
(3・1) 位相ノイズ測定原理

デルタシグマ TDC を用いた位相ノイズの測定原理を図 4 に示す。図 4 において、CLK1 は位相ノイズを含む被試験クロックであり、CLK2 は位相ノイズを含まない基準クロックである。また、CLK1 と CLK2 の周波数は等しい。

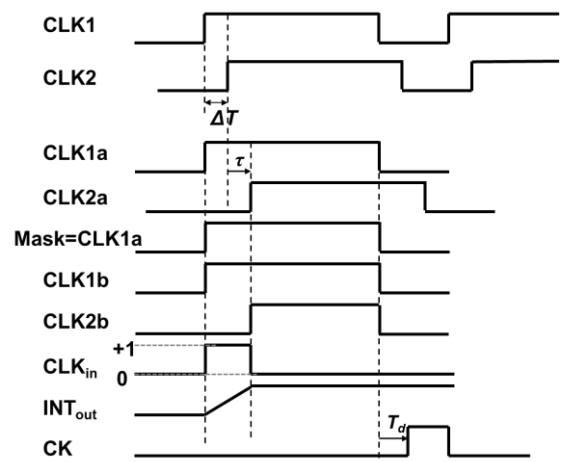
CLK1 が位相ノイズのない信号の場合、2つの入力クロック CLK1 と CLK2 の時間差は常に一定であるため、デルタシグマ TDC の出力スペクトルは DC 成分のみ出現する。

一方、CLK1 に位相ノイズが存在する場合、2つの入力クロックの時間差はクロック周期毎に変化する。したがって、デルタシグマ TDC の出力スペクトルには2つの入力クロックの時間差の変動が現れることになるため、位相ノイズの測定が可能となる。

比較器により生じる量子化ノイズのノイズフロア成分は、デルタシグマ変調によってノイズシェープがかかるため、周波数が高くなるにつれてフロアが上昇する。



(a) In case $D_{out}=1$



(b) In case $D_{out}=0$

図 2 デルタシグマ TDC のタイミングチャート
Fig. 2. Timing chart of the delta-sigma TDC in Fig.1 (b).

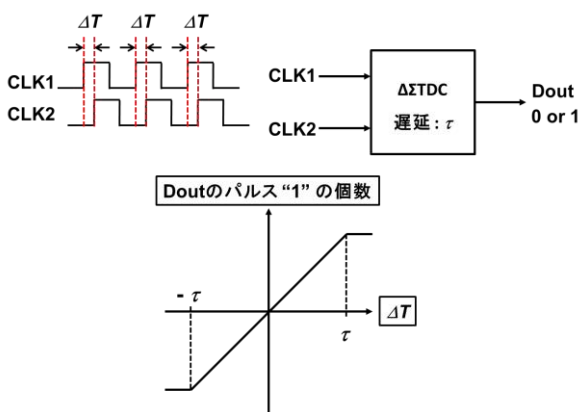


図3 デルタシグマ TDC の入出力特性

Fig.3. Input-output characteristics of the delta-sigma TDC.

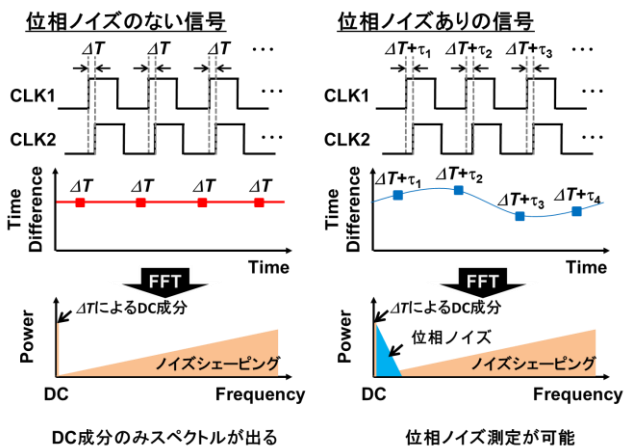


図4 デルタシグマ TDC を用いた位相ノイズ測定原理

Fig. 4. Principle of the proposed phase noise measurement using the delta-sigma TDC with a reference clock.

〈3・2〉 数式解析

図5にデルタシグマ TDC を用いた位相ノイズ測定の構成を示す。位相ノイズを含む被試験クロック (Clock Under Test : CUT) と位相ノイズを含まない基準クロック REF との時間差をシグマデルタ TDC により測定する。シグマデルタ TDC の出力信号から得られるデジタルコードを FFT することで、被試験クロックの位相ノイズを測定できる。本節では数式を用いて、位相ノイズが測定できることを述べる。

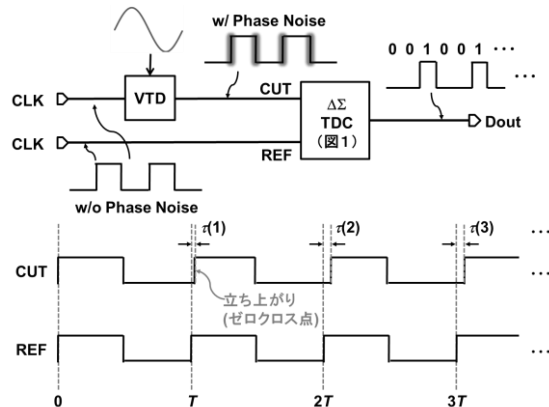


図5 デルタシグマ TDC を用いた位相ノイズ測定の構成

及びゼロクロス点変動関数 $\tau(m)$

Fig. 5. Phase noise measurement system using the delta-sigma TDC and zero-cross variation function $\tau(m)$.

図5において、2つのクロック CUT と REF の周期を T とした時、クロック CUT の正弦波近似は以下の式で表すことができる。

$$\text{CUT} \approx \sin(2\pi f_{in} t + \phi(t)) \quad \dots\dots\dots (1)$$

(where, $f_{in} = 1/T$)

ここで、 $\phi(t)$ は時間領域で表した位相ノイズである。また、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ とすると、立ち上がりエッジの m 番目のゼロクロス点は、

$$2\pi f_{in}(mT + \tau(m)) + \phi(mT) = 2\pi m \quad \dots\dots (2)$$

$$\therefore \phi(mT) = -2\pi f_{in} \tau(m) \quad \dots\dots (3)$$

となる。 $\phi(mT)$ が時間領域で表した位相ノイズである。したがって式(3)より、 $\tau(m)$ の成分によって位相ノイズが決定される。

$\tau(m)$ が単一正弦波の位相変動である場合を考える。このとき、

$$\tau(m) = T \cdot \alpha_1 \cdot \sin(\omega_1 \cdot mT) \quad \dots\dots\dots (4)$$

と表すことができる。このとき、時間領域における位相ノイズは、

$$\phi(mT) = -2\pi \alpha_j \cdot \sin(\omega_1 \cdot mT) \quad \dots\dots\dots (5)$$

となる。これより、周波数領域における ω_1 のパワースペクトラムは次の式で表せる。

$$\Phi(\omega_1) = \frac{1}{2} (2\pi \alpha_1)^2 \quad \dots\dots\dots (6)$$

式(6)の $\Phi(\omega)$ は周波数領域で表した位相ノイズである。

次に、 $\tau(m)$ が正弦波合成の位相変動である場合を考える。このとき、

$$\tau(m) = \sum_{j=1}^N T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \quad \dots\dots\dots (7)$$

と表すことができる。このとき、時間領域における位相ノイズは、

$$\phi(mT) = -2\pi \sum_{j=1}^N \alpha_j \cdot \sin(\omega_j \cdot mT) \quad \dots\dots\dots (8)$$

となる。これより、周波数領域における ω_j のパワースペクトラムは次の式で表せる。

$$\Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \quad \dots\dots\dots (9)$$

以上より、デルタシグマ TDC 出力の FFT 解析から位相ノイズ $\phi(\omega_j)$ を算出することが可能である。

4. 位相ノイズ測定シミュレーション (基準クロック有)

提案手法の有効性を、MATLAB を用いたシミュレーションにより確認した。シミュレーションの回路構成は図 5 のようにした。入力クロック CUT の位相変動は、VTD(Variable Time Delay)を用いて理想的に与えている。入力クロック CUT と REF の周波数は 1 MHz とし、入力クロック CUT にのみ位相変動を与えた。シグマデルタ TDC の遅延素子 τ は 200 ns に設定した。また、シグマデルタ TDC の出力で得られるデータ点数は 4096 点とした。シミュレーション条件を Table. 1 に示す。入力クロック CUT に単一正弦波と正弦波合成 2 つの位相変動を与えてシミュレーションを行った。

表 1 与えた位相変動に関するシミュレーション条件

Table 1. Simulation conditions.

位相変動に関するシミュレーション条件	
1. 単一正弦波 $\tau(m) = T \cdot \alpha_1 \cdot \sin(\omega_1 \cdot mT) \dots (4)$ $T \cdot \alpha_1 = 100 \text{ [ns]}$ $f_1 = \frac{\omega_1}{2\pi} = 10 \text{ [kHz]}$ & $f_2 = \frac{\omega_2}{2\pi} = 50 \text{ [kHz]}$	2. 正弦波合成 $\tau(m) = \sum_{j=1}^2 T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots (7)$ $T \cdot \alpha_1 = T \cdot \alpha_2 = 50 \text{ [ns]}$ $f_1 = \frac{\omega_1}{2\pi} = 10 \text{ [kHz]}$ $f_2 = \frac{\omega_2}{2\pi} = 50 \text{ [kHz]}$

〈4・1〉単一正弦波の位相変動シミュレーション結果

10kHz と 50kHz の単一正弦波の位相変動を、それぞれ入力クロック CUT のエッジに加え MATLAB によりシミュレーションを行った。

a) 位相変動：10kHz

図 6 に位相ノイズなしの場合と 10kHz (式(4)において、 $\omega_1/(2\pi) = 10\text{kHz}$) の位相ノイズを含む場合、それぞれのデルタシグマ TDC の出力を FFT した結果を示す。図 6 より、10 kHz のスプリアスが現れていることが分かる。

b) 位相変動：50kHz

図 7 に 50kHz (式(4)において、 $\omega_1/(2\pi) = 50\text{kHz}$) の位相ノイズを含む場合のデルタシグマ TDC の出力を FFT した結果を示す。図 7 より、50 kHz のスプリアスが現れていることが分かる。

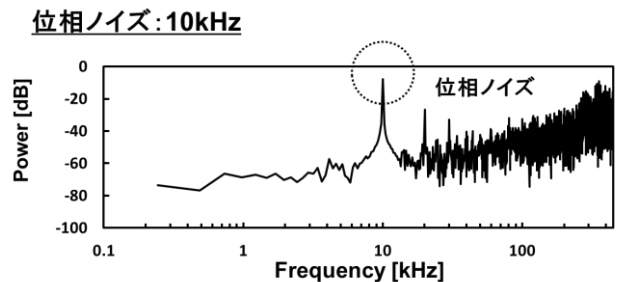
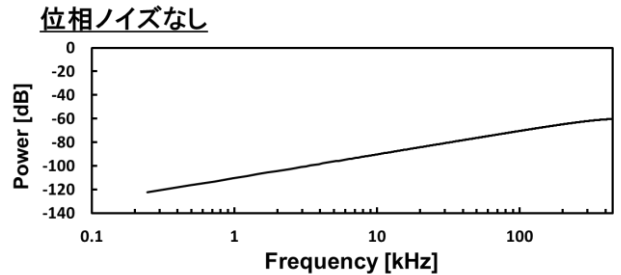


図 6 デルタシグマ TDC 出力のパワースペクトラム (MATLAB シミュレーション)
Fig. 6. Power spectrum of the delta-sigma TDC output (MATLAB simulation)

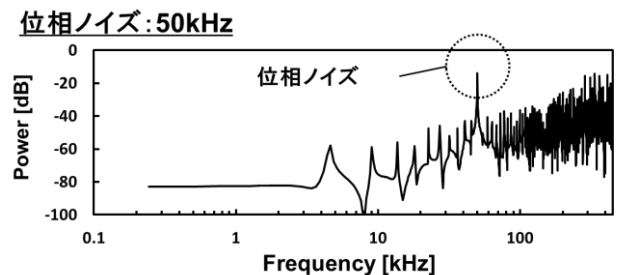


図 7 デルタシグマ TDC 出力のパワースペクトラム (MATLAB シミュレーション)
Fig. 7. Power spectrum of the delta-sigma TDC output (MATLAB simulation).

〈4・2〉正弦波合成の位相変動シミュレーション結果

10kHz と 50kHz の 2 つの正弦波合成の位相変動を入力クロック CUT のエッジに加え MATLAB によりシミュレーションを行った (式(8)において、 $N = 2, \omega_1/(2\pi) = 10\text{kHz}, \omega_2/(2\pi) = 50\text{kHz}$)。

図 8 にシミュレーション結果を示す。図 8 より、10kHz と 50kHz の周波数でスプリアスが現れていることが分かる。この結果から、CUT に複数の位相変動成分が含まれている場合でも、提案手法により複数の周波数成分を測定することが可能である。

〈2・3〉章における数式とシミュレーション結果の値を比較した結果、一致を確認した。

位相ノイズ: 10kHz & 50kHz

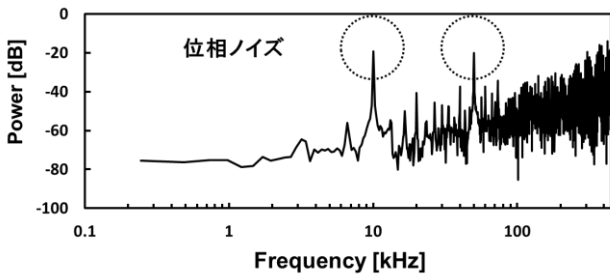


図8 デルタシグマ TDC 出力のパワースペクトラム (MATLAB シミュレーション)

Fig. 8. Power spectrum of the delta-sigma TDC output. (MATLAB simulation).

5. デルタシグマ TDC を用いた自己参照クロックによる位相ノイズ測定

〈5-1〉位相ノイズ測定原理

図9にデルタシグマ TDC を用いた自己参照クロックによる位相ノイズ測定の構成を示す。CLK は位相ノイズを含む被試験クロックである。この CLK と CLK を βT だけ遅延させた信号をデルタシグマ TDC に入力する。ここで T はクロックの周期であり、 β は 1 が望ましい。 β は正確に 1 や整数でなくても良いため実装が容易である。

この提案手法では CLK のピリオドジッタの測定が可能である(図 10)。測定対象である位相ノイズのパワースペクトラムは、図 9 に示されるデルタシグマ TDC の出力を FFT して求められたピリオドジッタのパワースペクトラムに $1/\omega^2$ を掛け合わせることで得ることができる(図 11)。

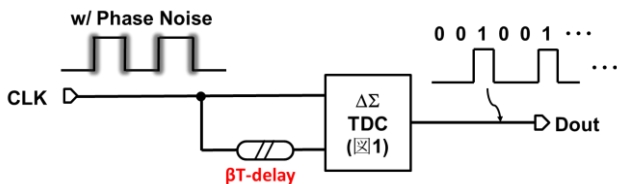


図9 デルタシグマ TDC を用いた自己参照クロックによる位相ノイズ測定の構成

Fig.9 Proposed phase noise measurement using delta-sigma TDC without reference clock.

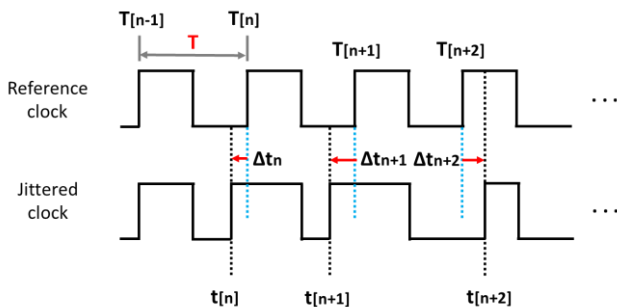


図 10 ピリオドジッタ

Fig. 10 Explanation of period jitter.

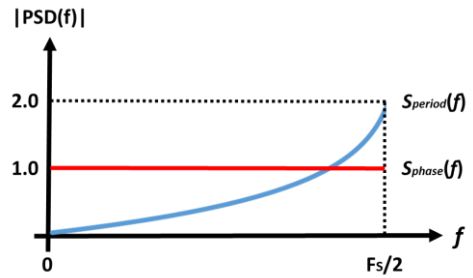


図 11 ピリオドジッタと位相ノイズのパワースペクトラム Fig.11 Power spectrum of period jitter and phase noise.

〈5-2〉数式解析

図 9 で示した回路において、数式を用いて位相ノイズが測定できることを述べる。〈2-3〉章の式(3)まで同様な導出であるため省略する。

$\tau(m)$ が単一正弦波の位相変動である場合を考える。このとき 〈2-3〉章と同様であるため式(4)となる。

$$\tau(m) = T \cdot \alpha_1 \cdot \sin(\omega_1 \cdot mT) \quad \dots\dots\dots (4)$$

図 9 のデルタシグマ TDC では次の時間を測定している。

$$\begin{aligned} &\tau(m+1) - \tau(m) + (\beta - 1)T \\ &= T \cdot \alpha_1 [\sin(\omega_1 (m+1)T) - \sin(\omega_1 \cdot mT)] + (\beta - 1)T \\ &= 2T \cdot \alpha_1 \sin(\omega_1 T/2) \cos(\omega_1 (m+1/2)T) + (\beta - 1)T \end{aligned} \quad (10)$$

ここで $(\beta - 1)T$ は図 4 の DC 成分である。すなわち、時間領域での周波数成分は、

$$\phi'(mT) = 2T \cdot \alpha_1 \sin(\omega_1 T/2) \cos(\omega_1 (m+1/2)T) \quad (11)$$

と表せる。これより、周波数領域では、

$$\Phi'(\omega_1) = \frac{1}{2} (2\pi\alpha_1)^2 [2 \sin 2(\omega_1 T/2)]^2 \quad \dots\dots\dots (12)$$

と表せる。 ω_1 における位相ノイズのパワースペクトラムは、

$$\Phi(\omega_1) = \frac{\Phi'(\omega_1)}{[2 \sin(\omega_1 T/2)]^2} \quad \dots\dots\dots (13)$$

と表せる。

ここで前提として、 ω_1 は $2\pi f_{in}$ より十分小さいとして考える。発信器の位相ノイズに関して、位相ノイズの周波数特性は発信器の信号の周波数に比べ十分に小さい。このことから前提は妥当性のあるものだと言える。

上記の前提が成り立っている場合、 $\omega_1 T/2 \ll 1$ である。これより $2 \sin(\frac{\omega_1 T}{2}) \cong \omega_1 T$ であるため、位相ノイズのパワースペクトラムは、

$$\Phi(\omega_1) \cong \frac{\Phi'(\omega_1)}{\omega_1^2 T^2} \quad \dots\dots\dots (14)$$

と表せる。

6. 位相ノイズ測定シミュレーション (基準クロック無)

図 9 に示した提案手法の有効性を、MATLAB を用いたシミュレーションにより確認した。シミュレーションの回路構成は図 9 のようにした。

入力クロック CLK の周波数は 1 MHz とし、位相変動を加えた。デルタシグマ TDC の遅延素子 τ は 100 ns に、 β は 1 に設定した。また、デルタシグマ TDC の出力で得られるデータ点数は 4096 点とした。単一正弦波と正弦波合成の位相変動を加えてシミュレーションを行った。

〈6・1〉単一正弦波の位相変動シミュレーション結果

図 12 は CLK に単一正弦波の位相変動 (1kHz、10kHz、100kHz) を加え、出力を FFT した結果である。

図 12 より、1kHz、10kHz、100kHz それぞれのスプリアスが現れていることが分かる。また、位相ノイズの周波数が高くなるほどパワースペクトラムが上昇していることが確認できる。これは図 11 で示したとおりの結果となっている。

図 13 に単一正弦波の位相変動 (10kHz~100kHz:10kHz 刻み) のシミュレーション結果と理論値との比較を示す。

図 13 より、シミュレーションの値が理論値の特性を示すように変化していることが分かる。

〈6・2〉正弦波合成の位相変動シミュレーション結果

図 14 は CLK に 2 つの正弦波 (10kHz と 50kHz) の合成波を加え、出力を FFT した結果である。

図 14 より、10kHz と 50kHz の周波数でスプリアスが現れていることが分かる。この結果から、CLK に複数の位相変動成分が含まれている場合でも、提案手法により複数の周波数成分を測定することが可能である。

〈6・3〉遅延量 β 変動のシミュレーション結果

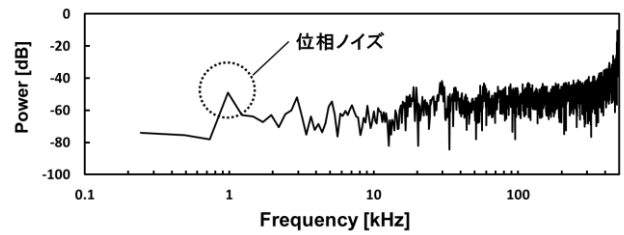
自己参照クロックを実現させるために用いる βT -delay 部分を実装する場合 (図 9)、製造によってばらつきが出ることが予想される。そこで遅延部分で製造ばらつきが存在しても提案手法によって位相ノイズが測定可能であることを確認するためシミュレーションを行った。

製造ばらつきによる遅延量の誤差を $\pm 5\%$ と仮定し、 β を 0.95、1.05 のそれぞれの値でシミュレーションを行った。CLK に加える位相変動は 10kHz の単一正弦波である。

図 15 は遅延量 β の誤差を $\pm 5\%$ としたときのデルタシグマ TDC 出力の FFT 結果である。

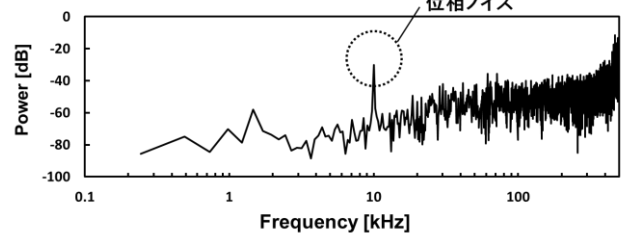
図 15 より、 β が 0.95 や 1.05 の値であっても 10kHz の周波数でスプリアスが現れていることが分かる。この結果から、 β が“1”でなく、遅延量に誤差が生じてても位相ノイズを測定することが可能である。

位相ノイズ:1kHz



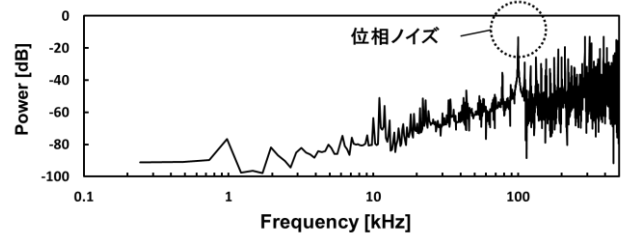
(a) 1kHz

位相ノイズ:10kHz



(b) 10kHz

位相ノイズ:100kHz



(c) 100kHz

図 12 自己参照クロックによるデルタシグマ TDC 出力のパワースペクトラム (MATLAB シミュレーション)

Fig.12 MATLAB simulation results of phase noise measurement without a reference clock (delta-sigma TDC output power spectrum).

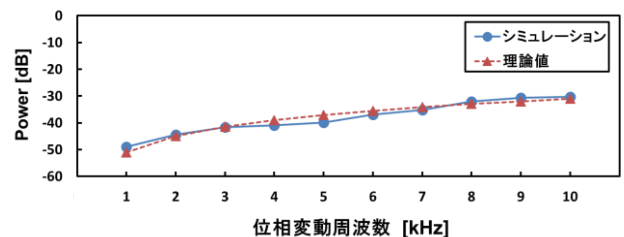


図 13 シミュレーション結果と理論値との比較
Fig.13 MATLAB simulation results and theoretical analysis of TDC output power versus phase variation frequency with the proposed phase noise measurement technique without a reference clock.

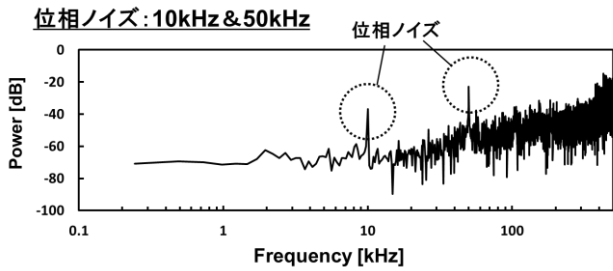
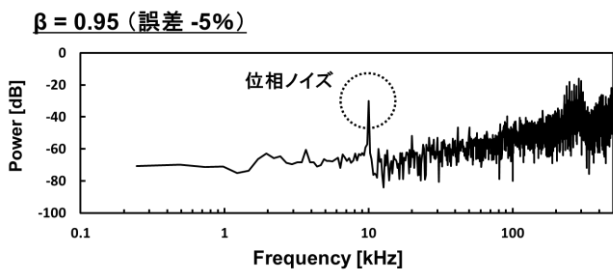
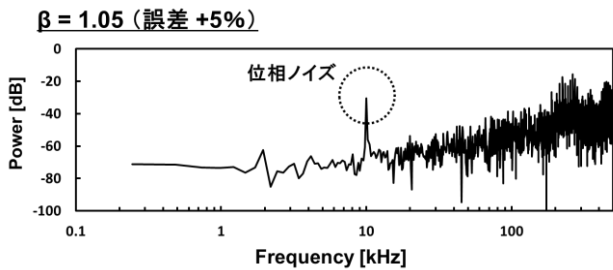


図 14 自己参照クロックによるデルタシグマ TDC 出力の
パワースペクトラム (MATLAB シミュレーション)

Fig.14 MATLAB simulation results of phase noise measurement
without a reference clock (delta-sigma TDC output power
spectrum).



(a) $\beta = 0.95$



(b) $\beta = 1.05$

図 15 遅延量 β の誤差 $\pm 5\%$ におけるデルタシグマ
TDC 出力のパワースペクトラム
(MATLAB シミュレーション)

Fig.15 MATLAB simulation results of phase noise
measurement without a reference clock in $\pm 5\%$ error of β
(delta-sigma TDC output power spectrum).

7. 結論

本論文では、デルタシグマ TDC を用いた位相ノイズ測定を可能にする手法を 2 つ (基準クロック使用、自己参照クロック使用) 提案し、それらの有効性を MATLAB を用いたシステムレベルのシミュレーションによって検証を行った。また、提案した位相ノイズ測定のための理論式を導出し、シミュレーション結果と比較してこれらの一致を確認した。提案手法を用いることで、高価なスペクトラムアナライザを使用することなく、低コストで高品質の位相ノイズ測定及びテストが可能である。

ここでは 1MHz クロックのシミュレーションを行ったが高速クロックの場合も間引き (Under-sampling) により位相ノイズ測定可能である。また提案手法ではクロック周波数近傍周波数帯の位相ノイズも測定可能である。

謝辞

本研究は半導体理工学センターにより支援されています。

文 献

- (1) G. Roberts, F. Taenzler, M Burns, An Introduction to Mixed-Signal IC Test and Measurement, Oxford University Press, (2011).
- (2) R. B. Staszewski, P. T. Balsara, All-Digital Frequency Synthesizer in Deep-Submicron CMOS, Wiley-Interscience (2006).
- (3) A. W. Scott, R. Frobenius, RF Measurements for Cellular Phones and Wireless Data Systems, Jon Wiley & Son. Inc. (2008).
- (4) K. Niitsu, N. Harigai, D. Hirabayashi, D. Oki, M. Sakurai, O. Kobayashi, T. J. Yamaguchi, H. Kobayashi, "A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges," VLSI Circuits Symposium, Honolulu, Hawaii (June 2012).
- (5) K. Niitsu, M. Sakurai, N. Harigai, T. J. Yamaguchi, H. Kobayashi, "CMOS Circuits to Measure Timing Jitter Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," IEEE J. of Solid-State Circuits, vo. 47, no.11, pp. 2701-2710 (Nov. 2012).
- (6) A. Ecker, B. Blakkan, M. Soma, "A Digital Method for Phase Noise Measurement," IEEE International Test Conference, Anaheim, CA (Sept. 2012).
- (7) S. Uemori, M. Ishii, H. Kobayashi, D. Hirabayashi, Y. Arakawa, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Yano, T. Gake, T. Yamaguchi, N. Takai, "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," J. of Electronic Testing : Theory and Applications, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).
- (8) D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi, O. Kobayashi, K. Niitsu, T. Yamaguchi, N. Takai, "Phase Noise Measurement with Sigma-Delta TDC", IEEE International Test Conference, Poster Session, Anaheim, CA (Sept. 2013).