

BSIM4 による 90nm n-channel MOSFET の Hot Electron の劣化特性モデル化に関する研究

戸塚 拓也* 青木 均 安部 文隆 Khatami Ramin 新井 薫子
轟 俊一郎 香積 正基 王 太峰 小林 春夫 (群馬大学)

BSIM4 Modeling of 90nm n-MOSFET Characteristics Degradation Due to Hot Electron

Takuya Totsuka*, Hitoshi Aoki, Fumitaka Abe, Khatami Ramin, Yukiko Arai,
Shunichiro Todoroki, Masaki Kazumi, Wang Taifeng, Haruo Kobayashi (Gunma University)

Abstract- The final purpose of this study is to model the drain current and 1/f noise degradation characteristics of n-channel MOSFETs. In this report, we present the implementation of hot carrier degradation into drain current equations of BSIM4 model. Then, we show simulation results of the DC drain current degradation, and also 1/f noise voltage density simulation results affected by the drain current degradation. We have extracted BSIM4 model parameters extensively with the measured data including I-V and 1/f noise measurement of our TEGs.

キーワード : MOS トランジスタ, モデリング, ホットエレクトロン, 1/f 雑音, 劣化, BSIM4
(MOSFET, Modeling, Hot Electron, 1/f noise, degradation, BSIM4)

1. はじめに

本研究の最終目的はSTARC ISプログラム [1] より支援されている「nチャネルMOSFETの1/fノイズ・熱雑音信頼性解析とシミュレーションモデル開発」である。1/fノイズはMOSFET, バイポーラトランジスタ, ダイオードなどの能動素子で発生するノイズであり, 特に低周波数帯で支配的となるノイズである。1/fノイズは, 比較的古くから界面順位密度に起因すると言われており, Interfacial Trapが影響するのは, MOSFETにおいて弱, 中反転領域から飽和領域であるため, 高電流での電流パラメータには影響しない。

1/fノイズの経時・温度劣化をモデル化するには, デバイスのバイアス劣化についてモデル化することが不可欠である。これは, 1/fノイズモデル式にドレイン電流の項があることから明らかである [2]。

nチャネルMOSFETの経時, 温度劣化には, 飽和領域の高ドレイン電流において起こる, Hot Carrier Injection (HCI)や正の電圧ストレスを長時間かけることで発生するPositive Bias Temperature Instability (PBTI)現象がある。筆者らはここで より支配的であるとされるHCI現象に焦点を当て特性解析化を行う。

本研究ではこのHCI現象を回路シミュレータSPICEで回路設計者がシミュレーションを行い, 劣化前, 劣化後の直流電圧・電流特性を事前に予想できるよう, nチャネルMOSFETのデバイスモデルに組み込むことを目的としている。本研究で使用するMOSFETモデルはBSIM4モデル [3] を採用した。

HCI現象のモデルは, カリフォルニア大学バークレイ校 (UCB) のHu教授によって最初に導入された。[4] 後に発表されたHCIモデルは, Hu教授と同じ理論に基づいているが, 異なる分析方法を考察し, より高度なCMOS技術にモデルを適用

することを意図している.[5] 本HCIモデルはInterface Trap Number を算出しており, キャリアの移動度についても導出を行っている. そこで今回は本モデル式を利用する. また, HCI現象をSPICE上でシミュレーションするため, DC劣化現象をBSIM4モデルに取り込む. 我々が使用しているSPICEモデルのBSIM4パラメータを用いて計算を行えるようにする. 作成したトランジスタTEGを用いてフレッシュな状態のモデルパラメータを抽出し, シミュレーション上でチャネル長依存の劣化DC特性を示す. また, DCでの時間及び温度劣化に影響される1/fノイズのシミュレーションを示す.

2. HCIによる劣化式の検討

文献[5]のDCモデルの式は, 0.25 μm プロセスのCMOSを考えている. 今回使用するものはRDモデルと呼ばれ, 2004年にKuflluoglu と Alamによって開発された.[6] 本RDモデルはトランジスタのドレイン近傍で発生するホットキャリア効果を, 修復されることなくモデル化する事が出来る. RDモデルはチャネル/酸化膜界面及びゲートの接合部分付近の水素拡散粒子の生成を方程式で表しており, 劣化を単純化することができる. RDモデルでは N_{it} すなわち界面トラップ数, チャネル/酸化膜界面での水素反応式は以下のように表す事が出来る.

$$N_{H(0)}N_{it} \approx \frac{k_F}{k_R}N_0 \quad (1)$$

$N_{H(0)}$ は界面における水素濃度の初期値, N_{it} は界面トラップ数, k_F は酸化膜電界依存フォワード解離速度定数, k_R はアニーリング速度定数, N_0 はSi-H結合の初期値を示している.

$$N_{H_x} = k_H N_H^{n_x} \quad (2)$$

N_H は体積あたりの水素粒子の濃度, k_H は反応定数, n_x は水素粒子あたりの水素原子数を示している.

界面トラップの数も破線のSi-H結合の数を積算することにより算出することができ, 水素粒子は, ゲート酸化膜にそれら

が作成されドレインから拡散する. したがってH原子は界面トラップ数の平均数として計算で以下のように表せる.

$$\begin{aligned} N_{it} &= \frac{\pi W}{2A_{tot}} n_x \int_0^{\sqrt{D_{Hxt}}} \left(N_{H_x(0)} \left[r - \frac{r^2}{\sqrt{D_{Hxt}}} \right] \right) dr \\ &= N_{H_x(0)} \frac{\pi n_x}{12L} D_{Hxt} \quad (3) \end{aligned}$$

D_{Hxt} は N_H の密度, A_{tot} ゲート下の総面積, L はMOSFETの長さ, W は幅を示している.

(1)(2)(3)式を組み合わせると以下ようになる.

$$N_{it} = \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (4)$$

容量特性から, 界面トラップによる電荷の電圧依存特性は, しきい値電圧近傍のSub-threshold特性カーブのずれとして表され, 以下ようになる.

$$\begin{aligned} \Delta V_{thDEGRADATION} &= \\ C_{HCI} &\left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (5) \end{aligned}$$

D_H は水素原子の密度, t は時間, C_{HCI} は技術依存なパラメータである. 式(5)のしきい値電圧のずれを移動度モデルの式に代入できれば, 移動度劣化現象もモデル化できる.

BSIM4モデルの移動度モデル式は, 以下のように3種類が搭載されており, MOBMODというパラメータで切り替えて使用可能である.

MOBMOD=1

$$\mu_{eff} = \frac{U0}{1 + (UA + UC * V_{bseff}) \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)}$$

$$\frac{*f(L_{eff})}{+UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2} \quad (6)$$

MOBMOD=2

$$\mu_{eff} = \frac{U0}{1 + (UA + UC * V_{bseff})}$$

$$\frac{*1}{\left[\frac{V_{gsteff} + C_0 (V_{TH0} - V_{FB} - \phi_s)}{TOXE} \right]^{EU}} \quad (7)$$

MOBMOD=3

$$\mu_{eff} = \frac{U0}{1 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2 + (1 + UC * V_{bseff})}$$

$$\frac{*f(L_{eff})}{\left[UA \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right) + UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 \right]} \quad (8)$$

式 (8) の $f(L_{eff})$ は以下の式で表す。

$$f(L_{eff}) = 1 - UP * \exp\left(-\frac{L_{eff}}{LP}\right) \quad (9)$$

$U0$ はキャリア移動度, UA は移動度劣化の一次係数, UB 移動度劣化の二次係数, UC は移動度劣化の基板効果係数, UD はクーロン散乱移動度劣化係数, UP は移動度チャンネル長係数, LP は移動度チャンネル長指数, $TOXE$ は電気ゲート酸化膜厚, V_{TH0} はドレイン電圧がゼロにおけるしきい値電圧, V_{th} はしきい値電圧, V_{FB} はフラットバンド電圧, V_{gsteff} は $V_{gs} - V_{th}$ の実効値, L_{eff} は実効チャンネル長, V_{bseff} は実効基板・ソース電圧, ϕ_s は表面電位, C_0 は定数で nMOS のとき 2.0, pMOS のとき 2.5 である。

この3つの移動度モデルの中で, しきい値のパラメータが直接使用されているのは式 (7) のみである。よって MOBMOD=2 を選択して, モデルパラメータを抽出・最適化すれば移動度

の劣化が直接シミュレーションできる。

次にしきい値電圧劣化をモデル式に反映させる。BSIM4モデルのしきい値式に式 (5) の $\Delta V_{th_DEGRADATION}$ を加えることで, 直接しきい値を可変にすることができる。

$$V_{th} = V_{TH0} + \Delta V_{th, body_effect}$$

$$- \Delta V_{th, carges_sharing} - \Delta V_{th, DIBL}$$

$$+ \Delta V_{th, reverse_short_cannel} + \Delta V_{th, narrow_width}$$

$$+ \Delta V_{th, small_size} - \Delta V_{th, pocket_implant}$$

$$+ \Delta V_{th_DEGRADATION} \quad (10)$$

3. シミュレーションでの劣化DC特性及び

1/fノイズの劣化特性

BSIM4モデルのDCのモデルパラメータを抽出・最適化して, その劣化をSPICEによりシミュレートする。

本実験では, チャンネル長依存の劣化DC特性をシミュートしていく。作成したTEGの, 90 nmプロセスを用いたnチャンネルMOSFETで, チャンネル幅10.0 μm , チャンネル長10.0 μm デバイスとチャンネル幅10.0 μm , チャンネル長0.3 μm デバイスの測定データを使用した。チャンネル幅10.0 μm , チャンネル長10.0 μm デバイスをLarge, チャンネル幅10.0 μm , チャンネル長0.3 μm デバイスをShortとして示す。

[6]の文献で記述されている式 (5) に65 nmのデバイスの実験によるパラメータ値を入力して, 室温300.15 Kでのしきい値電圧劣化を1,000秒後について求めた。このしきい値電圧をBSIM4のVTH0に加えることで, 1,000秒後の劣化後シミュレーションを行った。使用した測定データに比べて, [6]の実験データはより微細なプロセスを用いているため, 誤差が発生している可能性がある。図1ではLargeでのid-vg特性, 図2ではShortでのid-vg特性を示している。図3ではLargeでのid-vd特性, 図4ではShortでのid-vd特性を示している。図1, 2を比べて, LargeとShortでは電流量としきい値に短チャンネル効果が現れている。図3, 4を比べてみても同様に短チャンネル効果により電流量が約1.0E-03[A]変化している。劣化後のシミュレーションは, 測定前のシミュレーションと比べてズレが生

じている。ズレの大きさは、平均して図1では $1.32\mu\text{A}$ 、図2では $2.93\mu\text{A}$ 、図3では $1.36\mu\text{A}$ 、図4では $2.51\mu\text{A}$ となっており、Shortのほうが大きく影響を受けている。Vthのパラメータのみを劣化させているのだが、図1, 2のid-vg特性ではしきい値だけでなく、傾きも変化していることが見て取れる。これは、主に移動度のモデル式にもVTH0のパラメータが用いられているからであり、移動度の劣化が起きていることを示す。図3, 4のid-vd特性では、電流量の減少がある。これは、HCIがドレイン端の高電界によってチャンネル内の電子がホットエレクトロンとなり、ゲート酸化膜への注入、基板でのイオン化が起これドレインチャンネルに到達する電子が減少するという理論[2]に一致している。

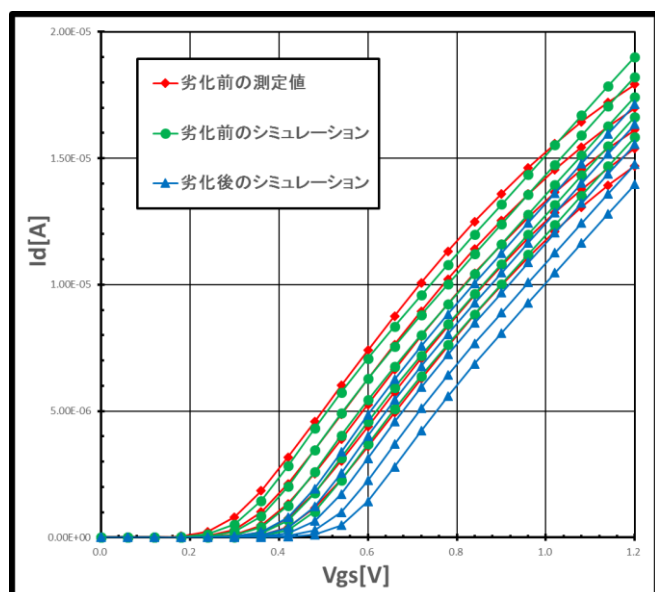


図 1. Large での劣化前, 劣化後の Ids-Vgs 特性 ($V_{ds} = 0.01\text{ V}$)

Fig.1 Ids vs. Vgs characterizations of fresh and degraded n-MOSFET of Large ($V_{ds} = 0.01\text{ V}$)

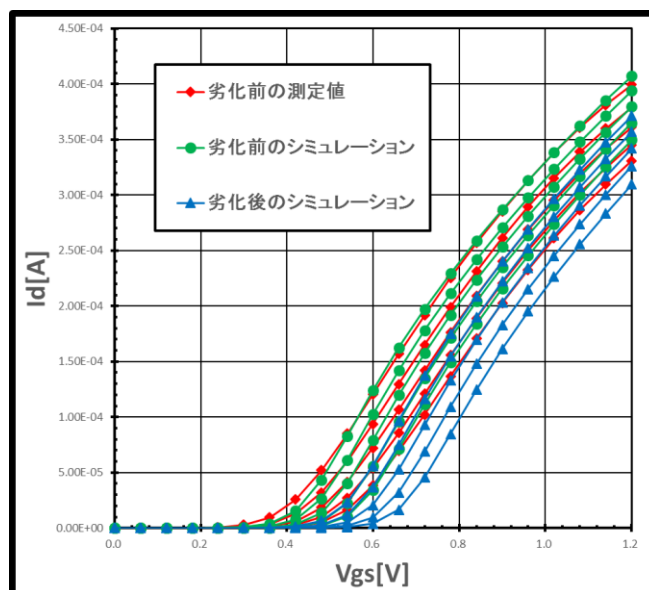


図 2. Short での劣化前, 劣化後の Ids-Vgs 特性 ($V_{ds} = 0.01\text{ V}$)

Fig.2 Ids vs. Vgs characterizations of fresh and degraded n-MOSFET of Short ($V_{ds} = 0.01\text{ V}$)

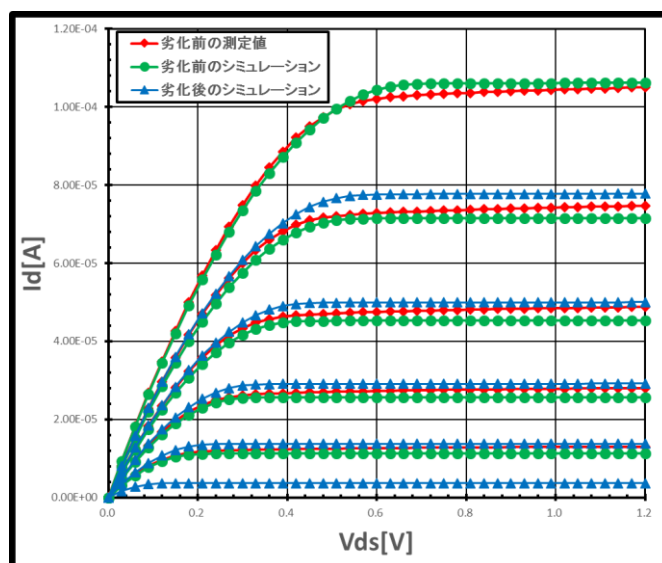


図 3. Large での劣化前, 劣化後の Ids-Vds 特性 ($V_{bs} = 0.0\text{ V}$)

Fig.3 Ids vs. Vds characterizations of fresh and degraded n-MOSFET of Large ($V_{bs} = 0.0\text{ V}$)

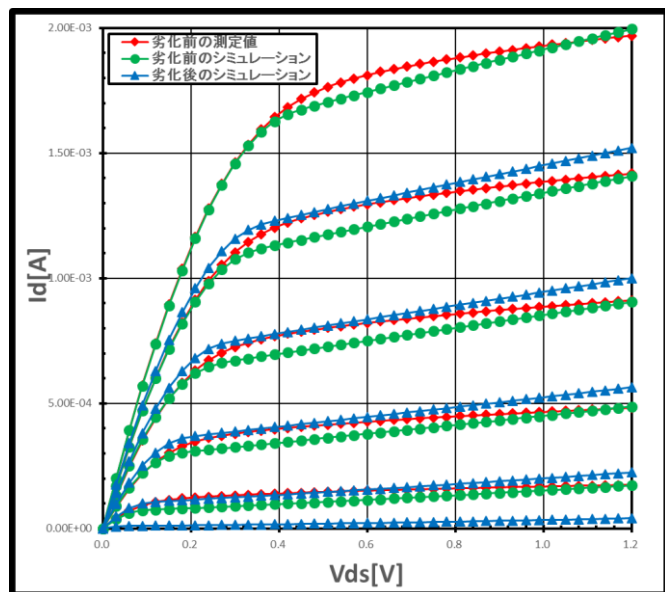


図 4. Short での劣化前, 劣化後の Ids-Vds 特性 ($V_{bs} = 0.0$ V)

Fig.4 Ids vs. Vds characterizations of fresh and degraded n-MOSFET of Short ($V_{bs} = 0.0$ V)

TEGでの実測で1/fノイズの測定を行った。図5では1/fノイズ特性を示している。劣化させた条件は上記と同じとし、[6]の文献で記述されている式 (5)に65 nmのデバイスの実験によるパラメータ値を入力して、室温300.15 Kでのしきい値電圧劣化を1,000秒後についてである。このしきい値電圧をBSIM4のVTH0に加えることで、1,000秒後の劣化後シミュレーションを行った。劣化後が劣化前に比べ、0.53[dB]ノイズが大きくなった。現段階ではノイズ劣化の測定環境に制限があり、ノイズにのみ起こりうる劣化現象については測定環境の制約により定量的な解析はできておらず、今後の課題である。

4. まとめ

本研究ではnチャンネルMOSFETのHCI現象を回路シミュレータSPICEを用い、劣化前, 劣化後の直流電圧・電流特性を事前に予想するための手法を開発した。nチャンネルMOSFETのデバイスモデルにはBSIM4モデルを採用した。TEGを設計し、DC特性及び1/fノイズ特性の測定を行い、モデルパラメータの抽出を行った。DC特性のモデルパラメータをHCI劣化式で計算することで劣化をシミュレーションした。DC特性及び1/fノイズ特

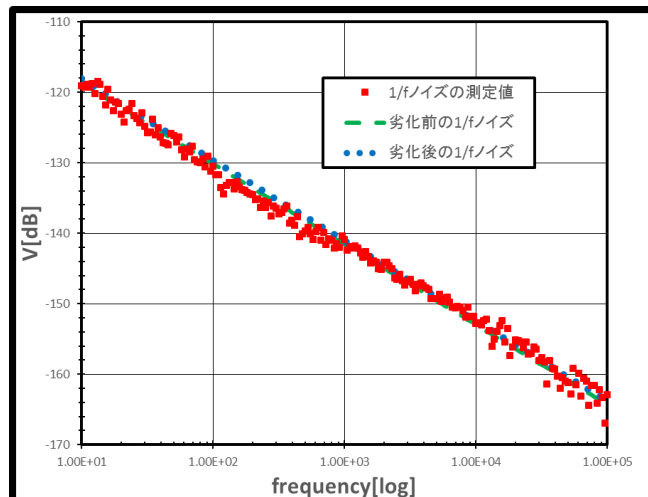


図 5. 劣化前, 劣化後の 1/f ノイズ特性

Fig.5 1/f noise characterizations of fresh and degraded n-MOSFET

性では、しきい値が劣化したときの様子を示した。

本論文では、HCI現象による直流電流に関する経時劣化のシミュレーションを1/fノイズ特性に適用させた。今後は1/fノイズの劣化測定・解析を行って、1/fノイズを劣化させるメカニズムを解析し、1/fノイズの温度・経時劣化モデルを完成させていきたい。

参考文献

- [1] 轟俊一郎, 安部文隆, ハタミラミン, 新井薫子, 香積正基, 戸塚拓也, 青木均, 小林春夫「nチャンネルMOSFETのゲート電圧による1/fノイズばらつきモデルの検討」電気学会 電子回路研究会 ECT-14-010 金沢 (2014年1月23日)
- [2] 青木均, 駕末政憲, 川原康雄, *CMOSモデリング技術*, 丸善出版, 2006.
- [3] Information on <http://www-device.eecs.berkeley.edu/bsim/>
- [4] C. Hu, et al, "Hot-electron induced MOSFET degradation model, monitor, and improvement," IEEE Trans. Electron Devices, 32(2), 375-385, 1985.
- [5] E. Maricau and G. Gielen, *Analog IC Reliability in Nanometer CMOS*, Springer Science+Business Media, New York, 2013.
- [6] H. Kufluoglu, M. A. Alam, "A unified modeling of NBTI and hot carrier injection for MOSFET reliability." 10th International Workshop on Computational Electronics, pp. 28-29, Oct. 2004.