

マルチビット デルタシグマ型 タイムデジタイザ回路の FPGA実現・測定検証

中條剛志¹ 平林大樹¹ 荒船拓也¹
佐藤幸志² 小林春夫¹

1:群馬大学 2:光サイエンス

Supported by STARC

アウトライン

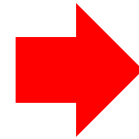
- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ、今後の課題

アウトライン

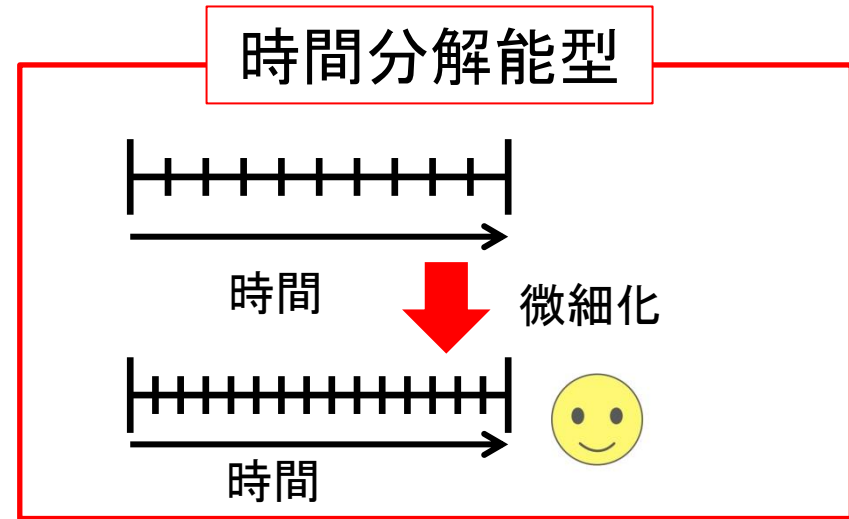
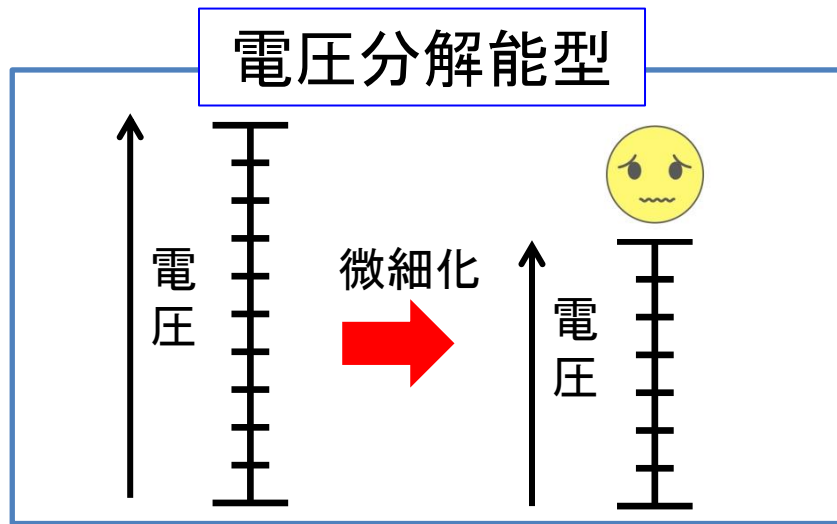
- **研究背景**
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ、今後の課題

研究背景

微細化CMOS LSI



電源電圧の低下
動作スイッチングスピードの向上

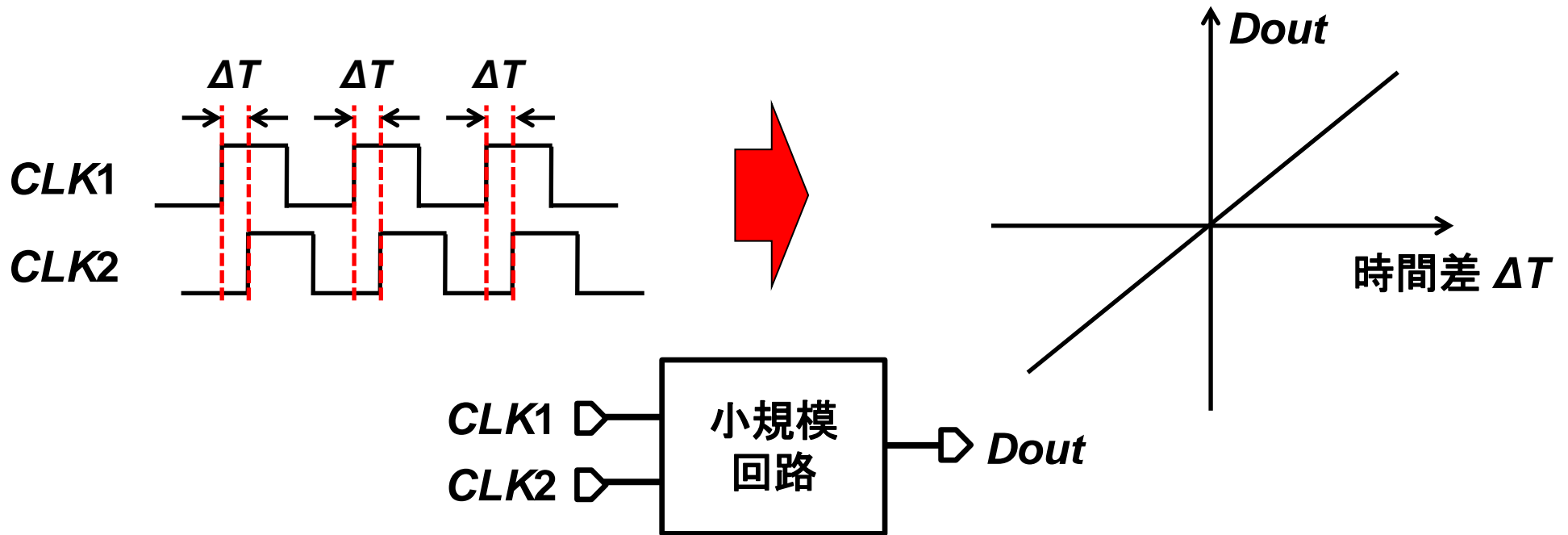


TDC (Time-to-Digital Converter) は2つのデジタル信号の時間差をデジタル値に変換



微細化CMOS LSIにおいて、TDCは時間領域アナログ回路のカギとなる
(センサ回路, All-Digital PLL, ADC, 変調回路等)

研究目的



- クロック間の時間差を
高時間分解能、高線形性
比較的短時間、デジタル値で計測する
小規模回路を開発

アプローチ

DWA を用いたマルチビット $\Delta\Sigma$ TDC回路を検討

- $\Delta\Sigma$ TDC 回路

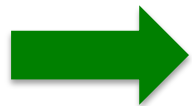
高時間分解能



小規模回路

デジタル値計測

- マルチビット



測定時間短縮

- DWAアルゴリズム



線形性向上

アウトライン

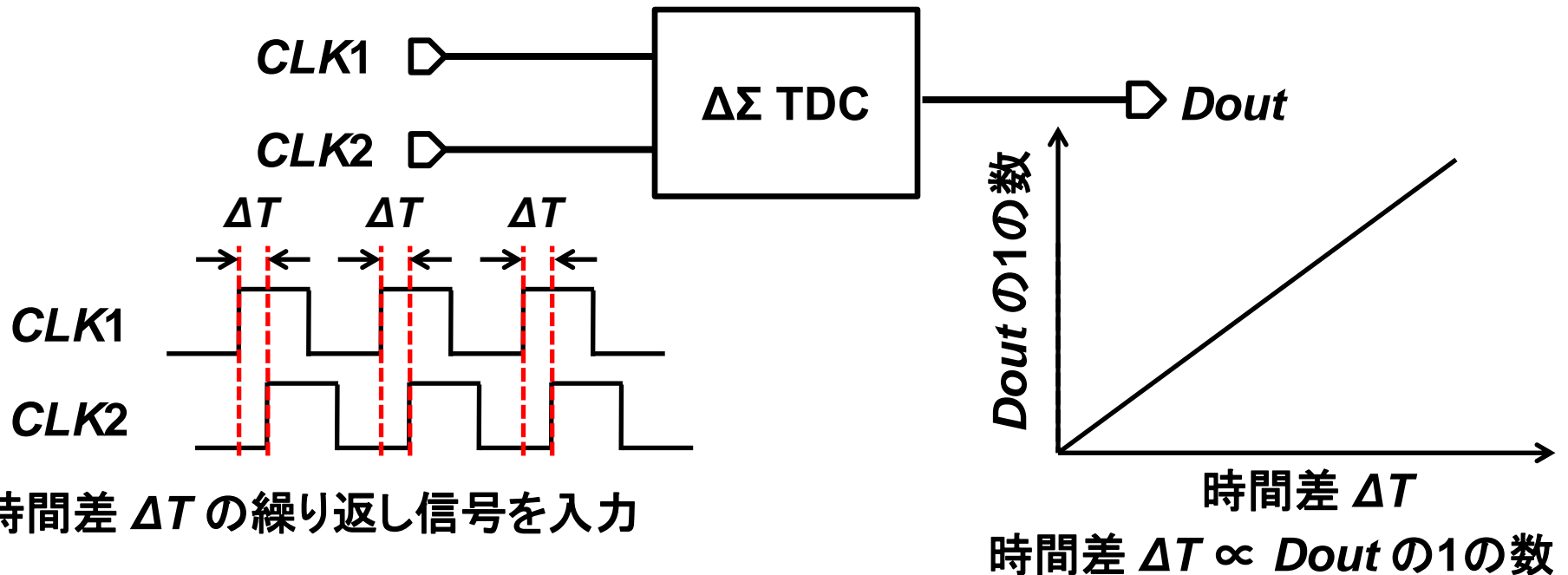
- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ、今後の課題

時間計測と $\Delta\Sigma$ TDC

繰り返し信号の時間差 ΔT の測定



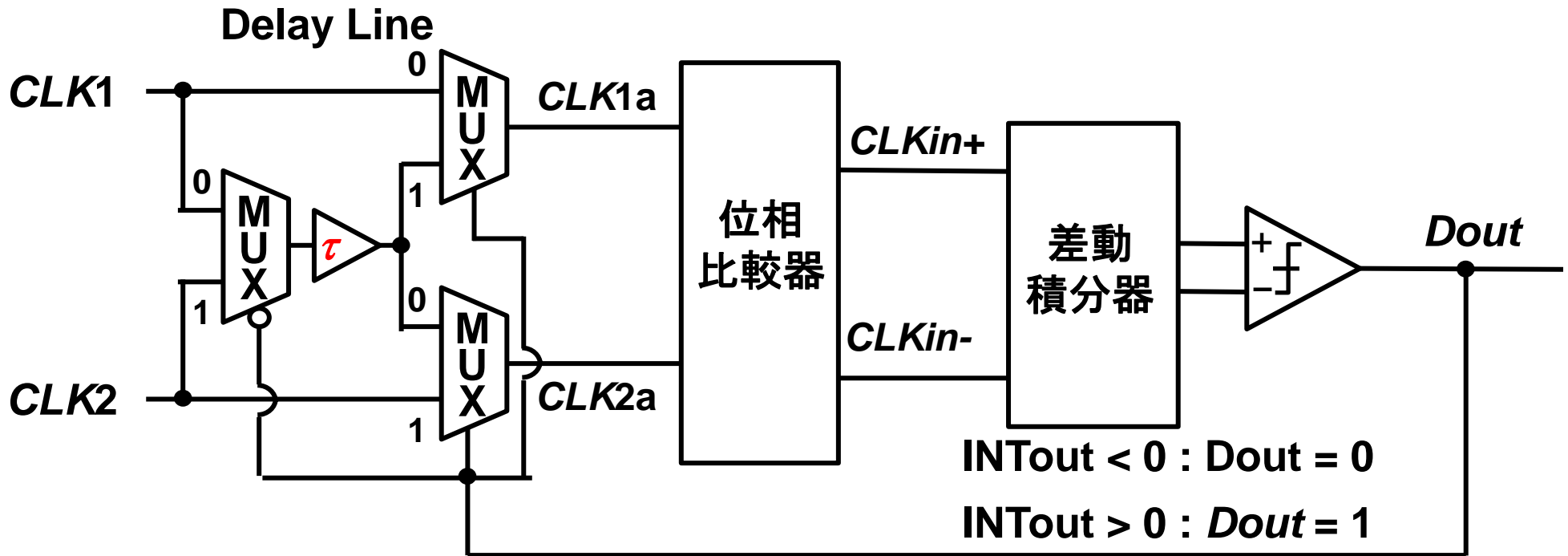
デルタシグマ型TDC ($\Delta\Sigma$ TDC)



$\Delta\Sigma$ TDCの特長

- 簡単な回路構成で回路量が少ない
- 高線形性
- 測定時間に比例して時間分解能が向上

シングルビット $\Delta\Sigma$ TDCの特徴



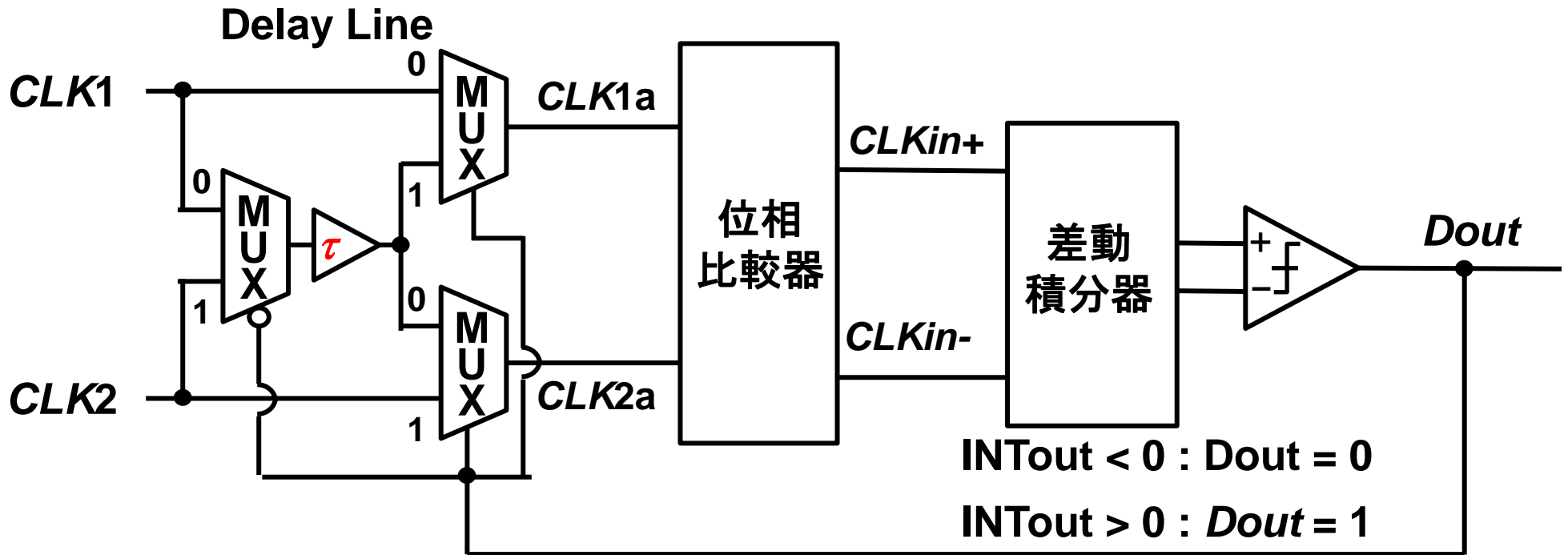
利点

- 測定時間を十分に取ることにより,高時間分解能
- 高精度
- 遅延素子を一つしか使用しないため,遅延素子ミスマッチは存在せず
- 簡単な回路

欠点

ややテスト時間が長い

シングルビット $\Delta\Sigma$ TDCの構成



ディレイライン, 位相比較器, 積分器, コンパレータによって構成

時間分解能 : $\frac{2\tau}{Doutの全体の数N_{DATA} (0と1の合計)}$

測定可能範囲 : $-\tau < \Delta T < +\tau$

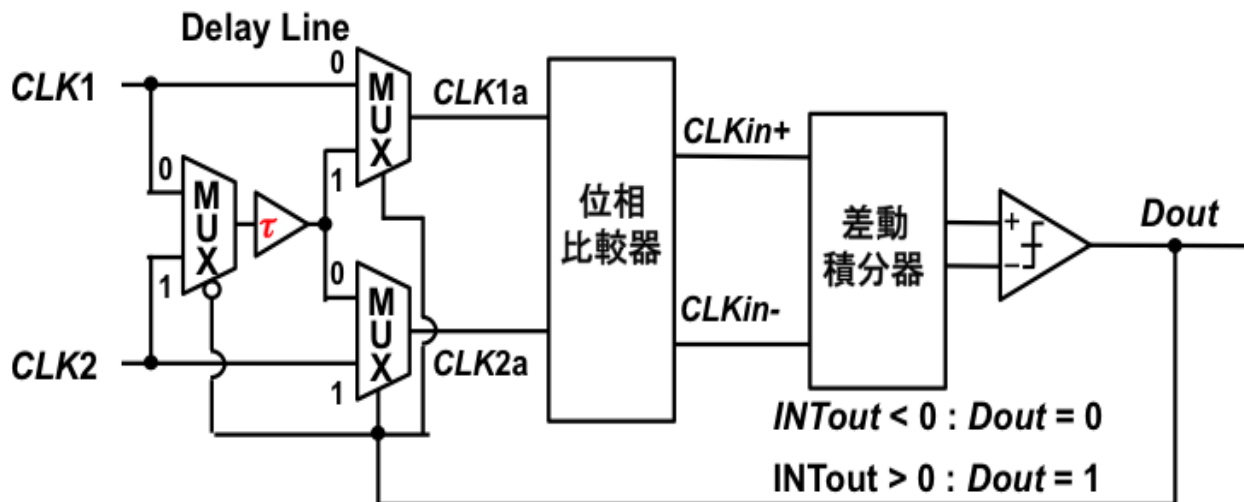
遅延時間 τ によって時間分解能と測定可能範囲が変化

アウトライン

- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ、今後の課題

研究目標

シングルビット $\Delta\Sigma$ TDC

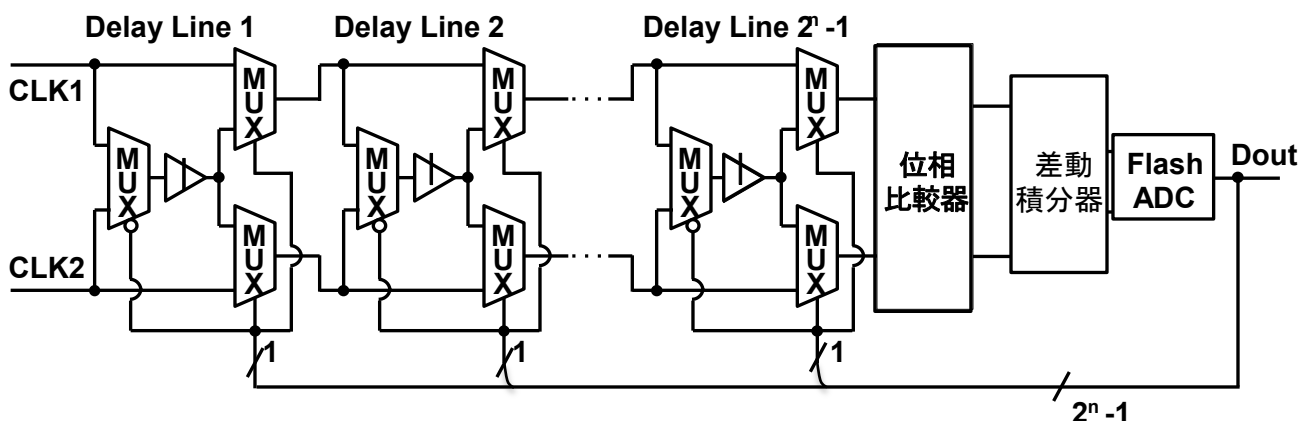


シングルビット $\Delta\Sigma$ TDC

- 簡単な回路
- 遅延ミスマッチは存在せず
- 高時間分解能
- 高精度
- ややテスト時間が長い

マルチビット化

マルチビット $\Delta\Sigma$ TDC



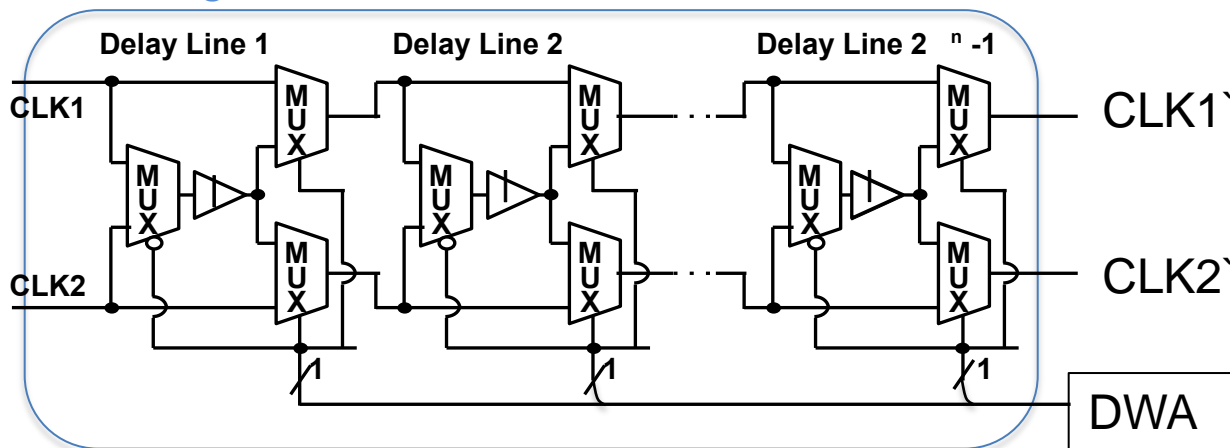
マルチビット $\Delta\Sigma$ TDC

- 簡単な回路
- 高時間分解能
- 短時間化(低コスト試験)
- 遅延素子のばらつきによる非線形性

PSoCで実現、評価を行う

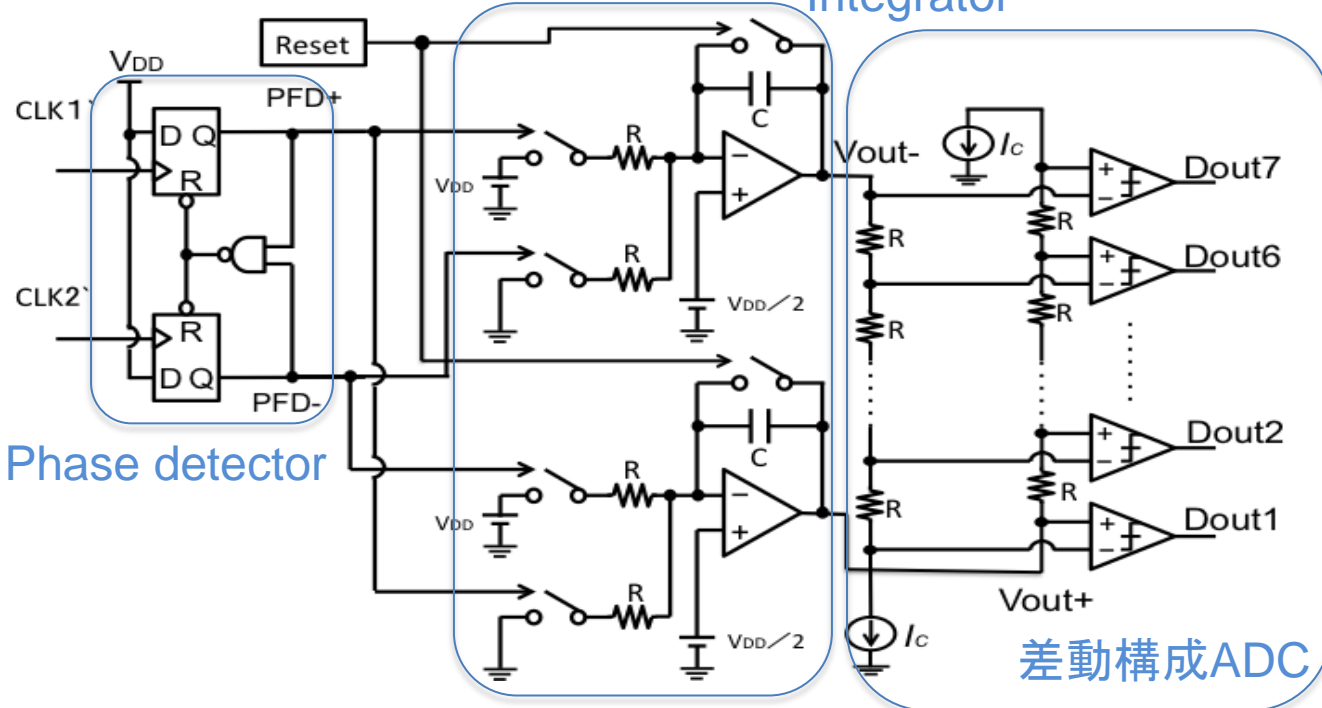
実装マルチビット $\Delta\Sigma$ TDC回路図

Digital to Time Converter



- 3bitで実装
- 遅延素子は7個
- A/D変換機は7bit温度計コード出力の差動構成A/Dコンバータ

Integrator



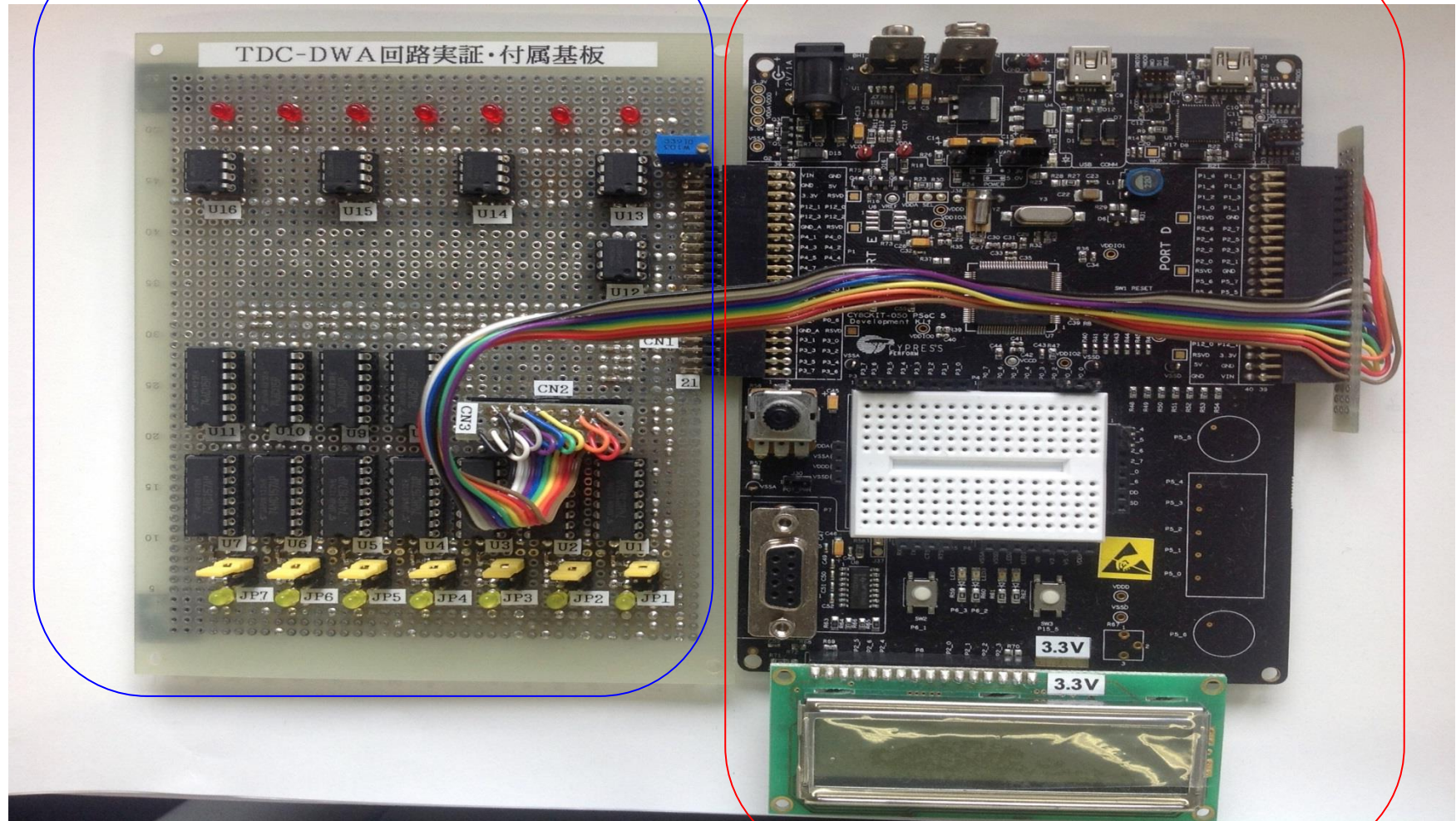
R=1k Ω
 C=0.1 μ F
 Vdd=5V
 Ic=720 μ A

差動構成ADC

製作した $\Delta\Sigma$ マルチビットTDC

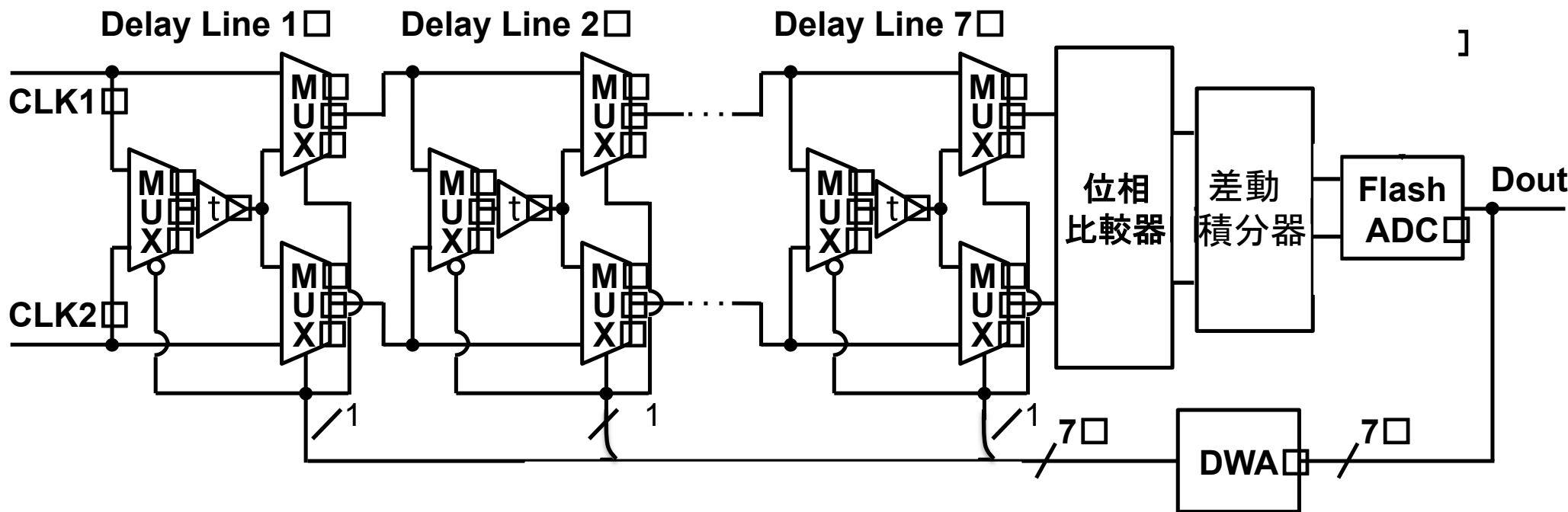
外部基板

PSoC



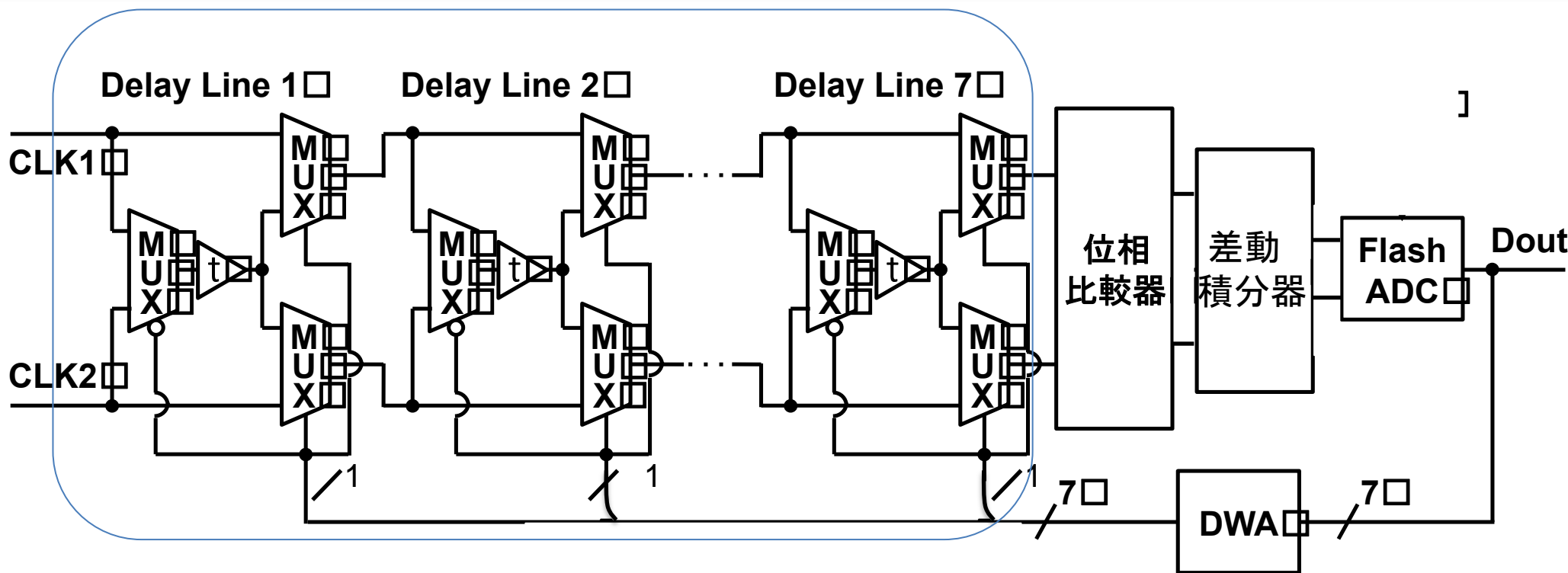
PSoC5LP(Programmable System-on-Chip, Cypress Semiconductor社)& 外部基板(遅延線,差動ADC,バッファ,DWA動作確認用LED)

回路構成



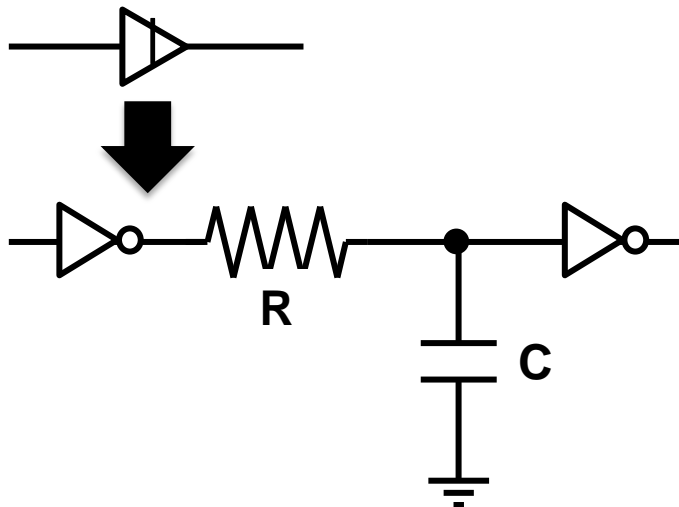
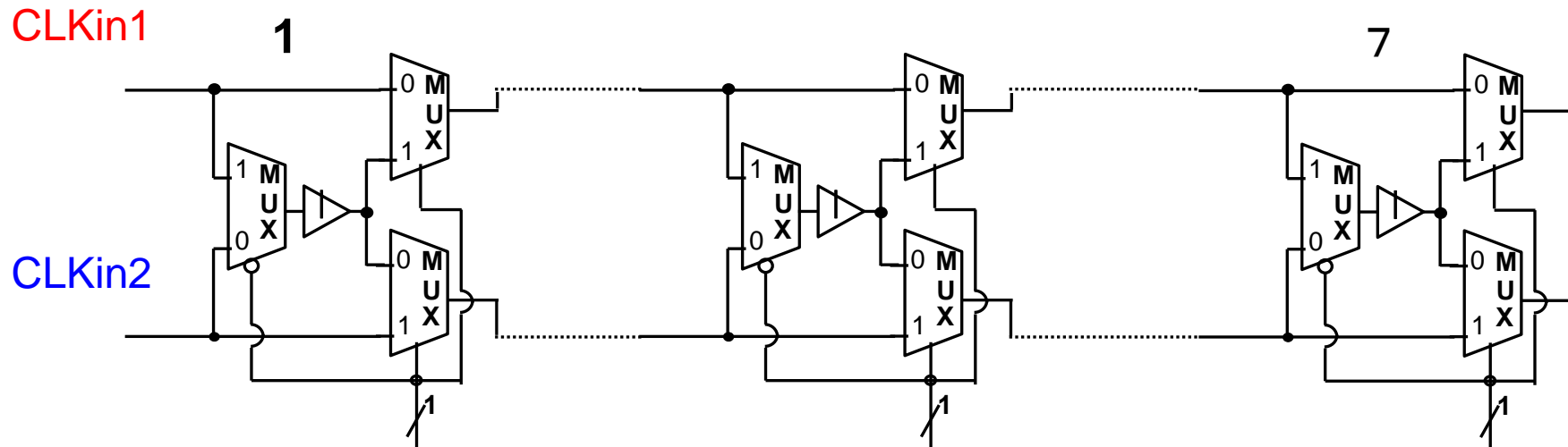
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

回路構成 (遅延)セル配列



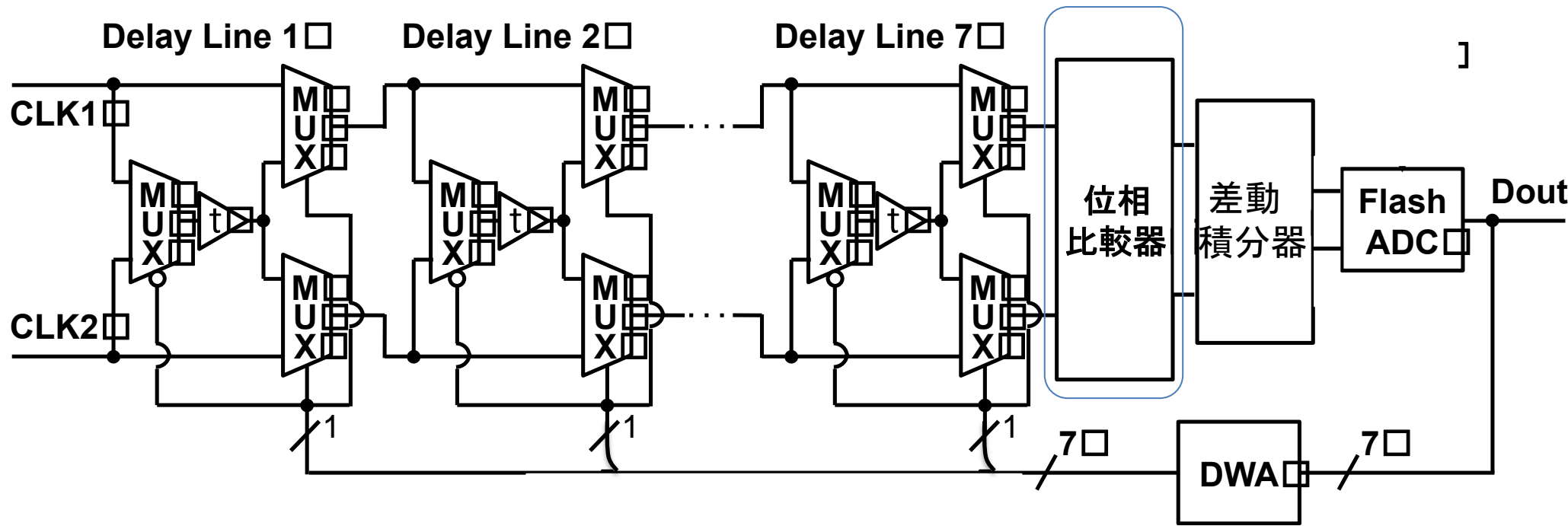
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

遅延セル配列



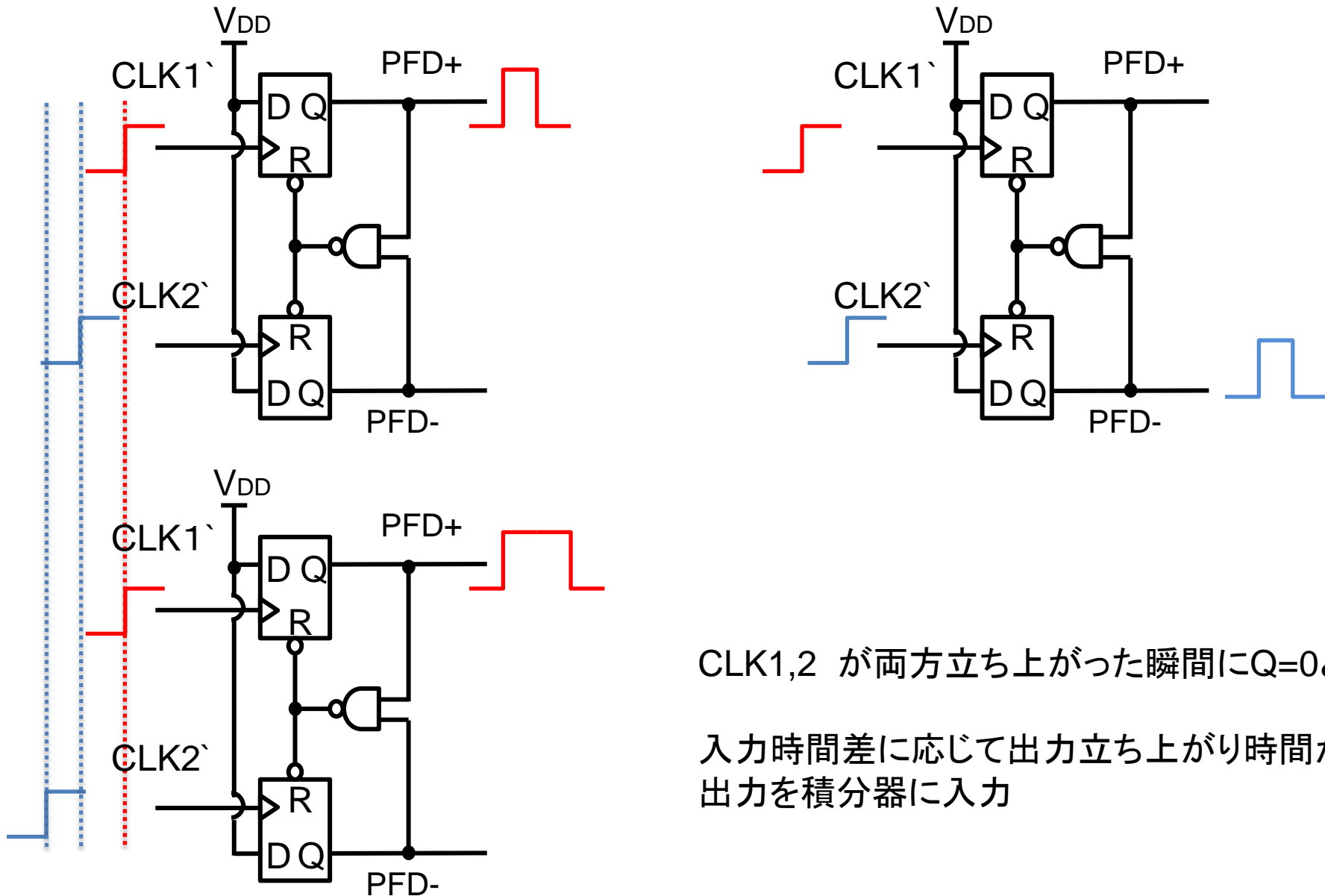
- Digital to Time Converter
- DWA出力に応じてMUXにより遅延させる信号線変化
- 遅延値は $R=\{75, 150, 220\}\Omega, C=1000\text{pF}$

回路構成 位相比較器



- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

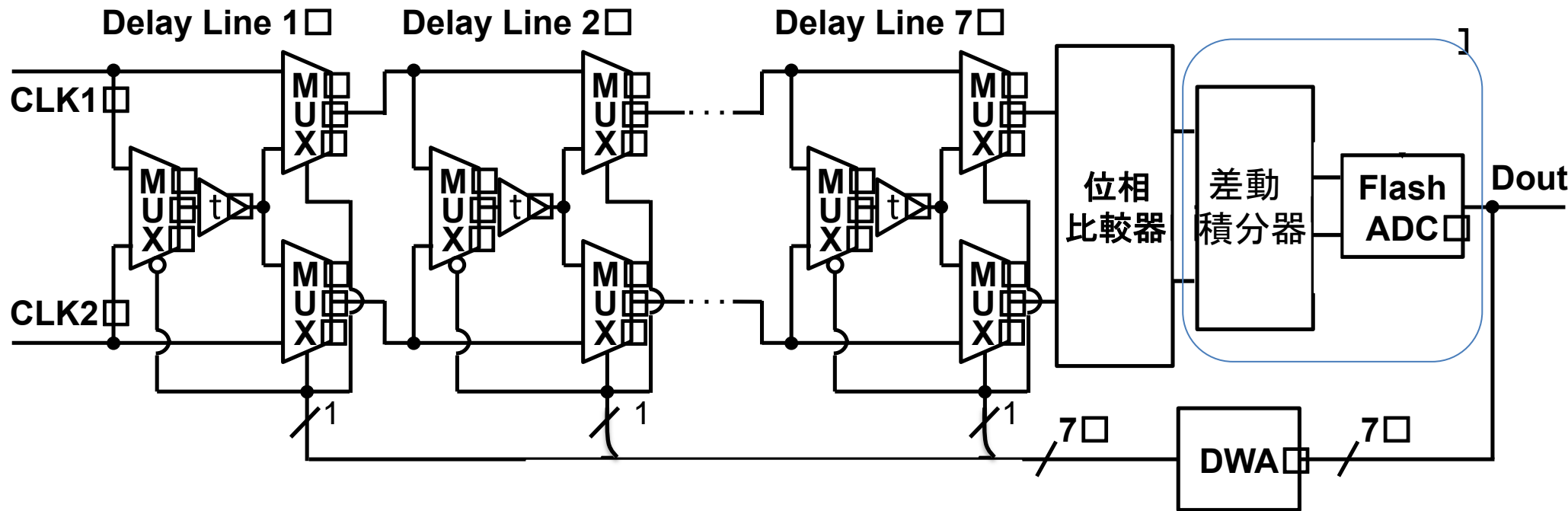
位相比較器



CLK1,2 が両方立ち上がった瞬間にQ=0とする

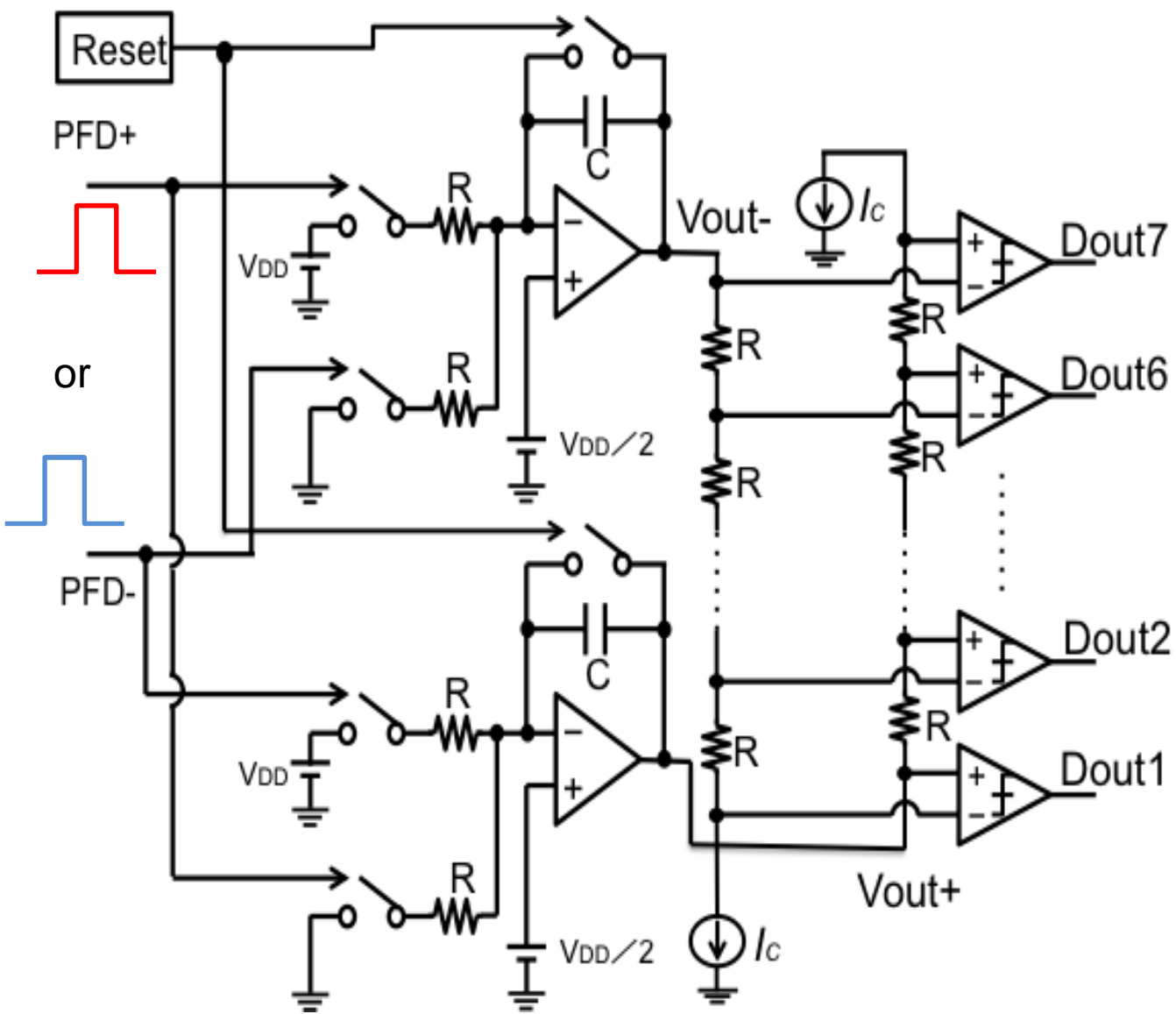
入力時間差に応じて出力立ち上がり時間が変化
出力を積分器に入力

回路構成 積分器&差動ADC



- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

積分器&差動ADC



PFD+に入力



上積分器出力減少
下積分器出力増加

PFD-に入力

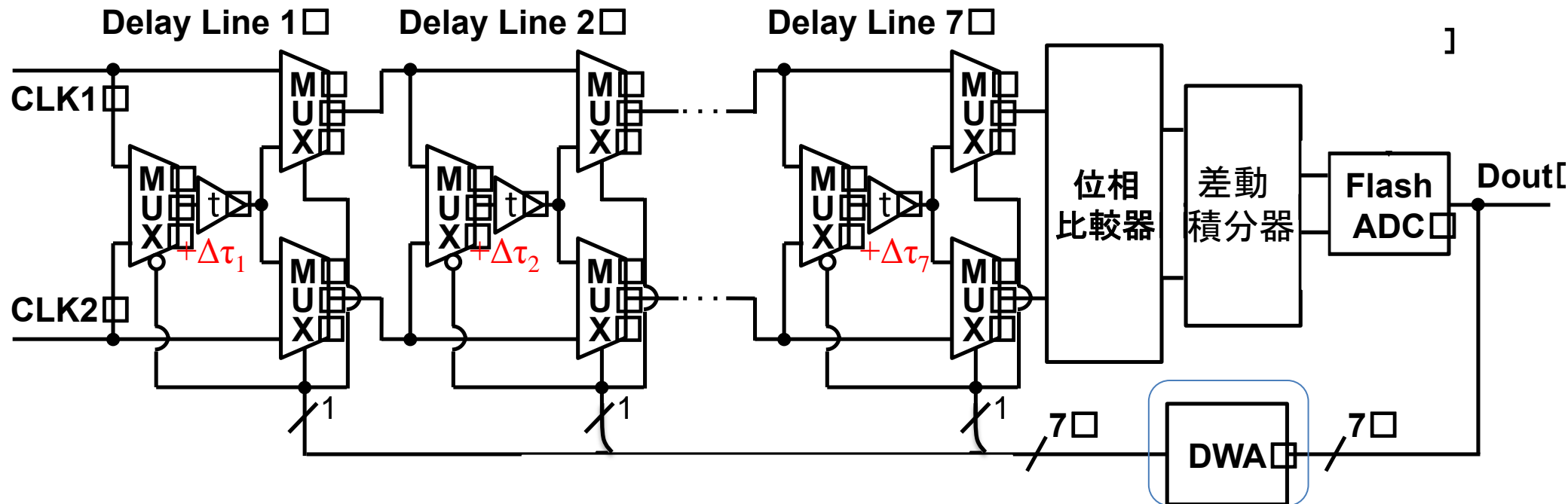


上積分器出力増加
下積分器出力減少

上下積分器出力に応じて差動
ADC出力値変化

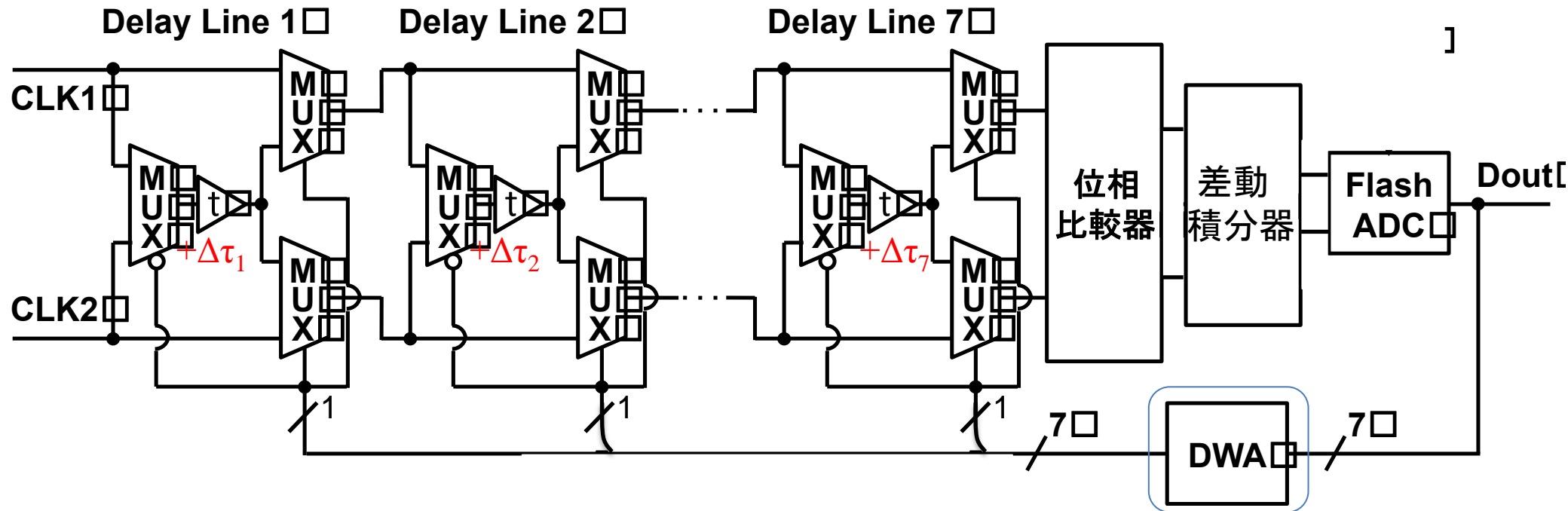
CLK入力ごとにDoutを
RAMで記憶

DWA回路の使用



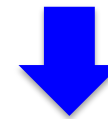
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- **DWA**

遅延素子間のばらつき



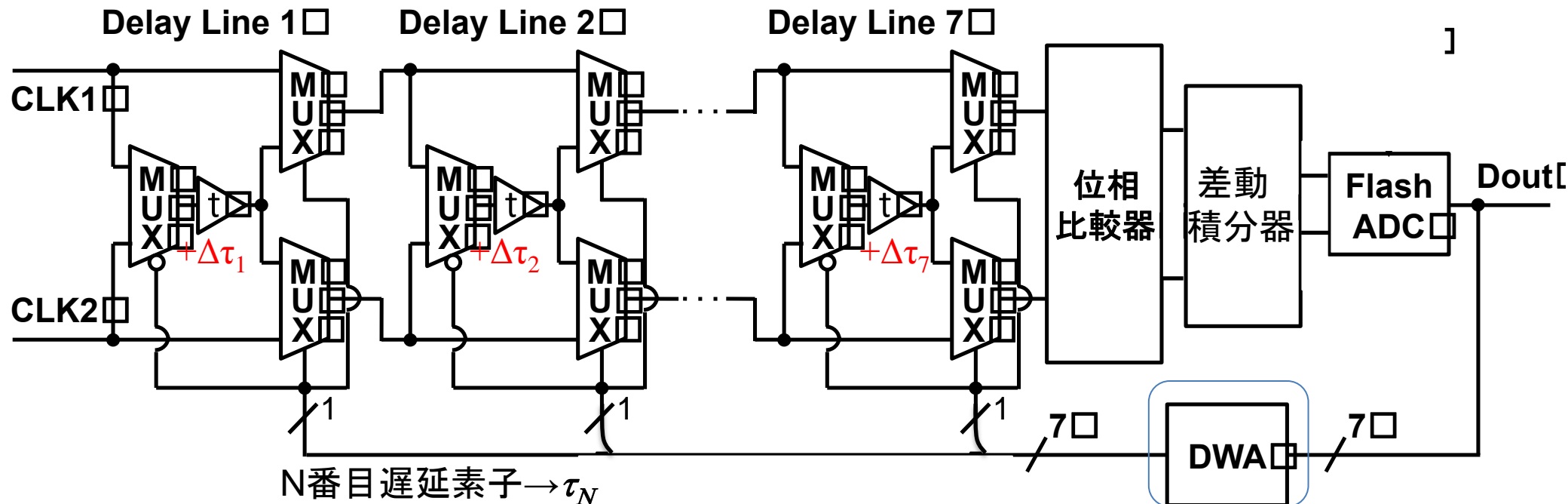
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

遅延素子ばらつき $\Delta\tau_1, \Delta\tau_2, \dots, \Delta\tau_7$



TDC 特性は非線形になる

対策を講じない場合 (DWA を使用しない)



←TIMES

	1	2	3	4	5	6	7
4							
3							
2							
2							
5							
3							
4							
6							

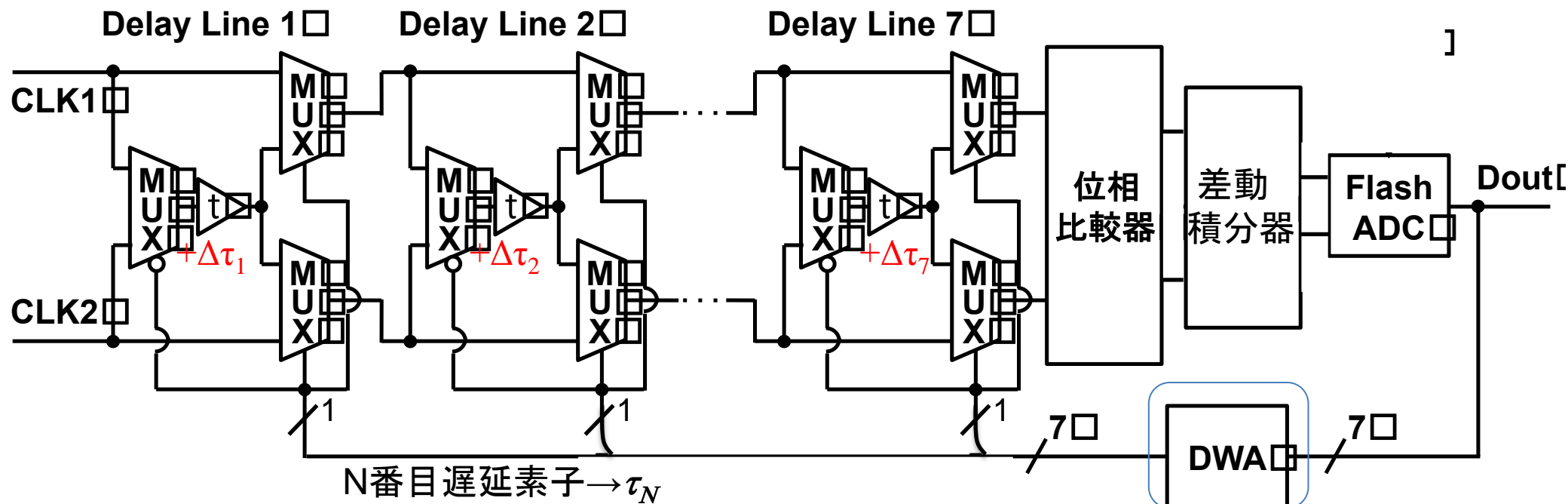
• 遅延素子のばらつきによる非線形性

特定遅延素子を使用



非直線性誤差

Data Weighted Averaging (DWA) 使用



- 遅延素子のばらつきによる非線形性
使用する遅延素子を順々に交代



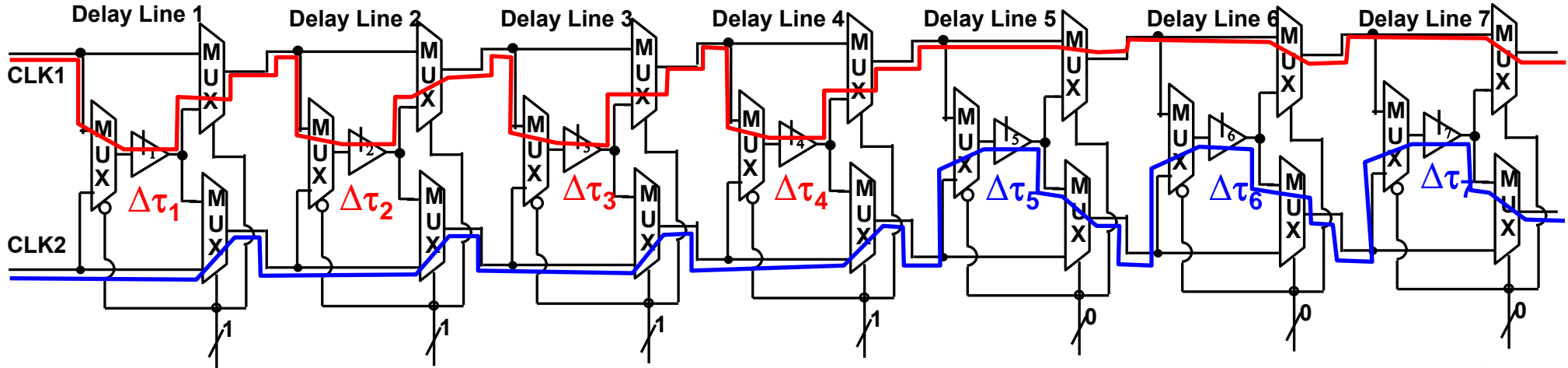
非直線性誤差の低減

←TIMES

Digital Input	1	2	3	4	5	6	7
4	→						
3					→		
2	→						
2			→				
5	→				→		
3			→				
4	→					→	
6	→		→				

DWA未使用時 遅延セル mismatch

DWA未使用 TIME N



$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

N回目入力が4、N+1回目入力が3
 DWA未使用時

位相比較器には

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7)$
 の遅延素子由来誤差発生

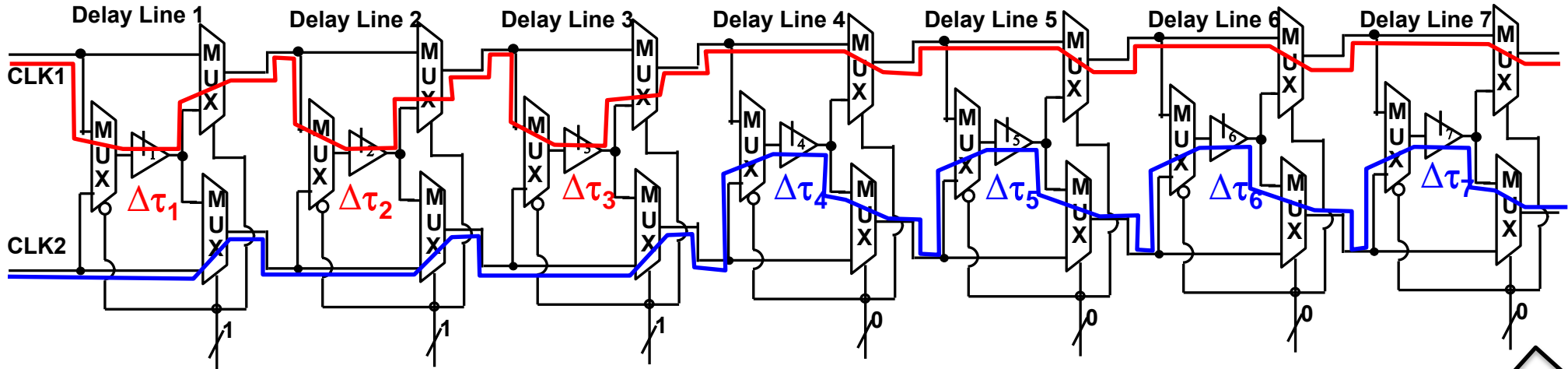
積分器では

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{1}$
 の誤差発生



DWA未使用時 遅延セル mismatch

DWA未使用 TIME N+1



$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

N回目入力が4、N+1回目入力が3
 DWA未使用時

位相比較器には

$$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 - (\Delta\tau_4 + \Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{2}$$

の遅延素子由来誤差発生

積分器は①+②より

$$2\{\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7)\}$$

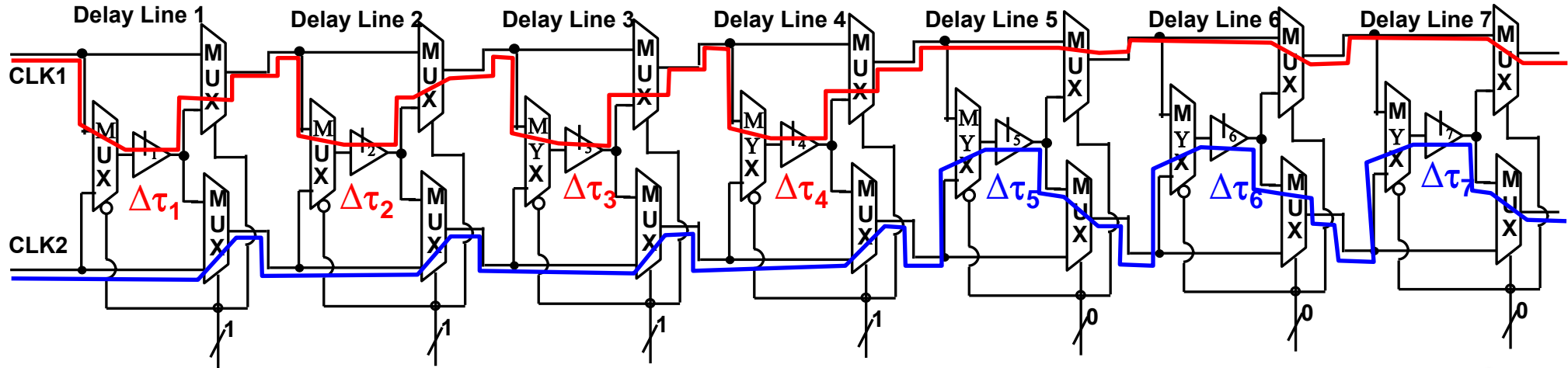
の誤差発生



線形性の劣化

DWA使用時 遅延セル mismatches

DWA使用 TIME N



$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

N回目入力が4、N+1回目入力が3
 DWA未使用時

位相比較器には

$$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7)$$

の遅延素子由来誤差発生

積分器では

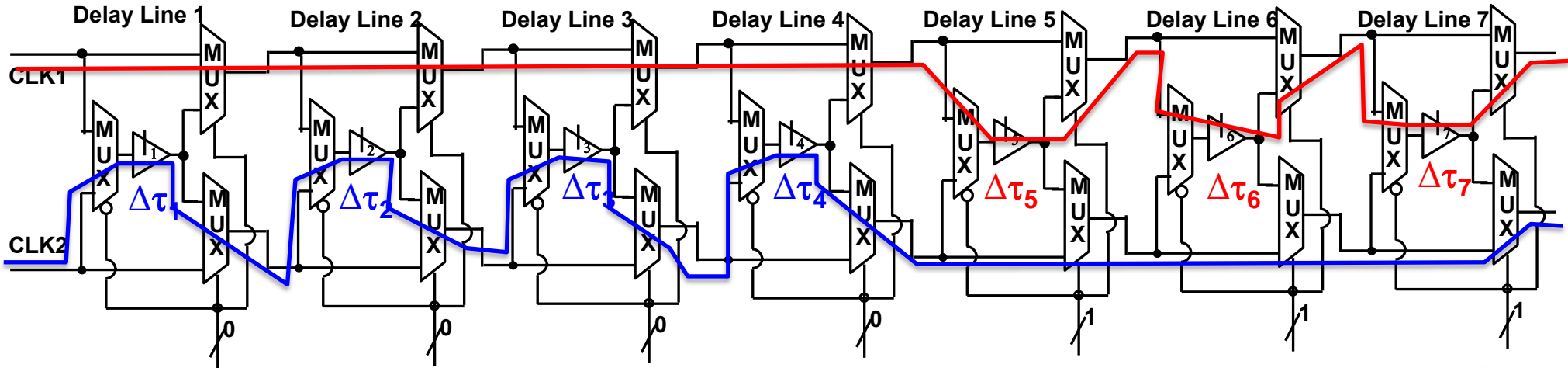
$$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{1}$$

の誤差発生



DWA使用時 遅延セル mismatches

DWA使用 TIME N+1



$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

N回目入力が4、N+1回目入力が3
 DWA使用時

位相比較器には

$$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{2}$$

の遅延素子由来誤差発生

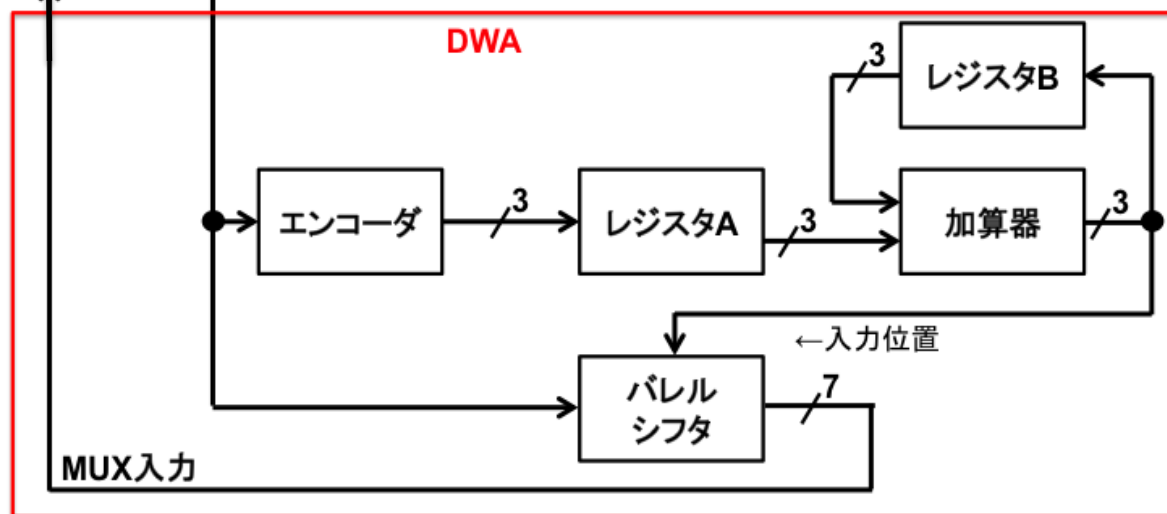
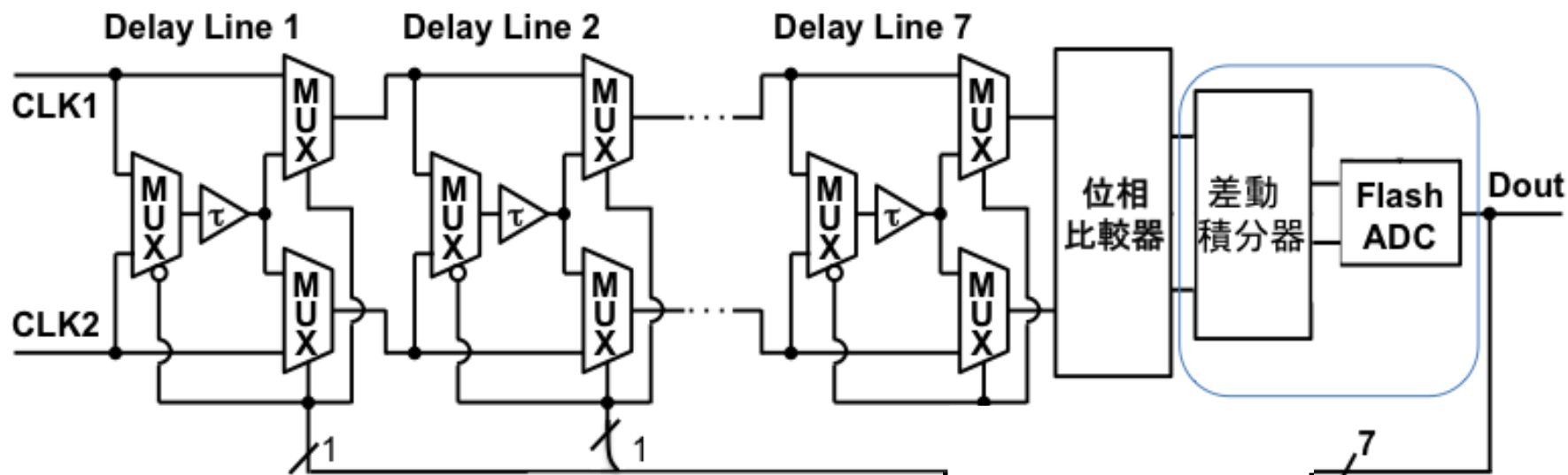
①+②より

積分器で誤差が打ち消される



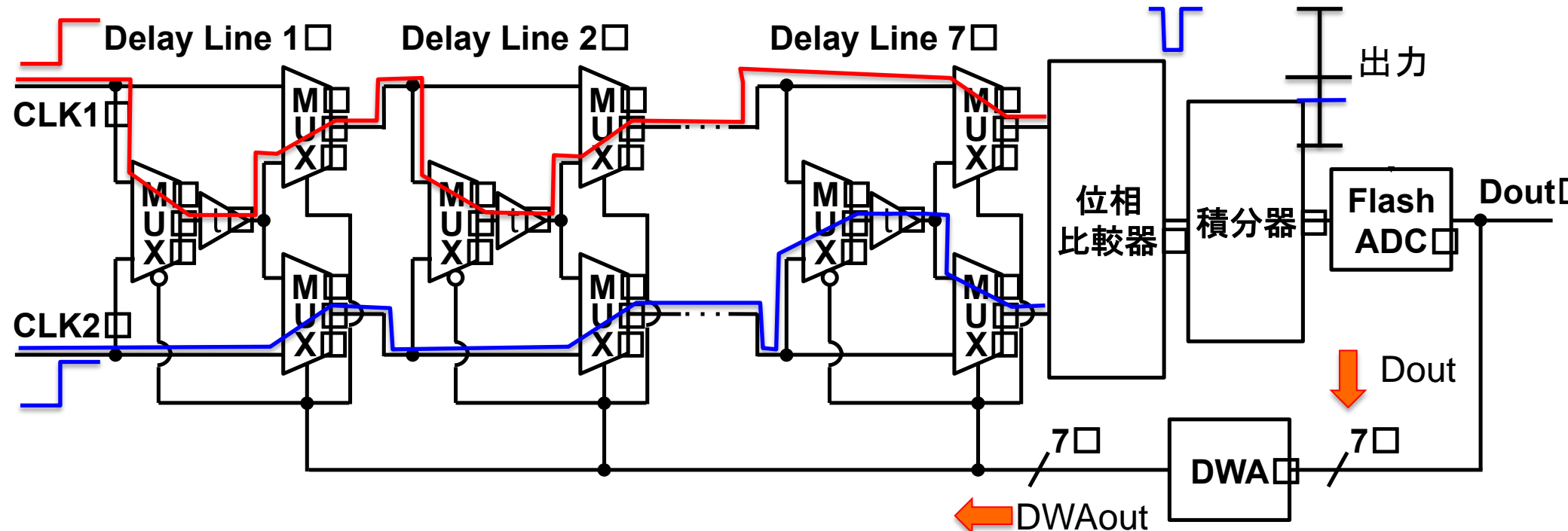
DWAで平均化
 線形性が向上

DWA実現回路



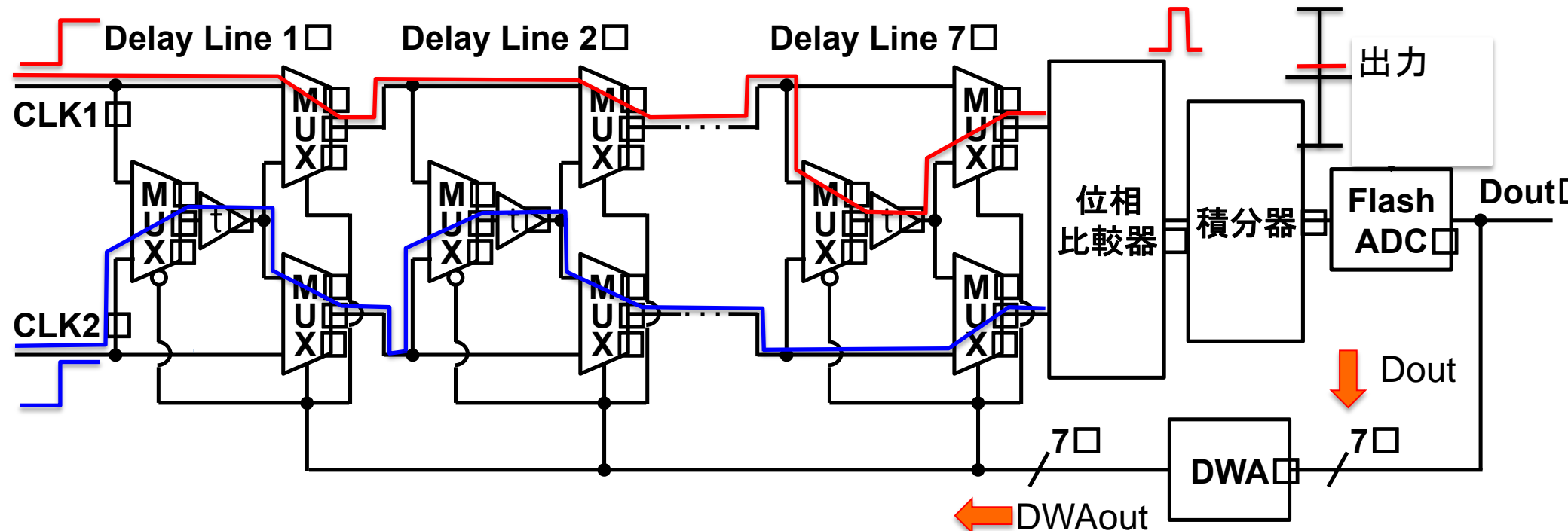
エンコーダ,レジスタ,
加算器,パレルシフタ
で実現可能

マルチビット $\Delta\Sigma$ TDC回路動作



- 時間差信号を入力
- 時間差に応じてADC出力変化
- DWAにより次回入力の使用遅延素子決定
- Dout を外部RAMで保持

マルチビット $\Delta\Sigma$ TDC回路動作



- 2回目の時間差信号を入力
- 前回のDWA出力によりローテーションした遅延素子を使用
- 積分器出力に応じてADC出力変化、Doutは前回出力値に加算
- DWAにより次回入力の使用遅延素子決定
- 予め決定した測定回数まで繰り返す

アウトライン

- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- **測定、評価**
- まとめ、今後の課題

マルチビット $\Delta\Sigma$ TDCの測定

- 実装したマルチビット $\Delta\Sigma$ TDCの実測を行う
- 予め入力する時間差、測定回数、DWAの使用を定め測定
- 入力は48ns刻み
- 遅延素子のRCローパスフィルタの抵抗は75,150,220 Ω から選択

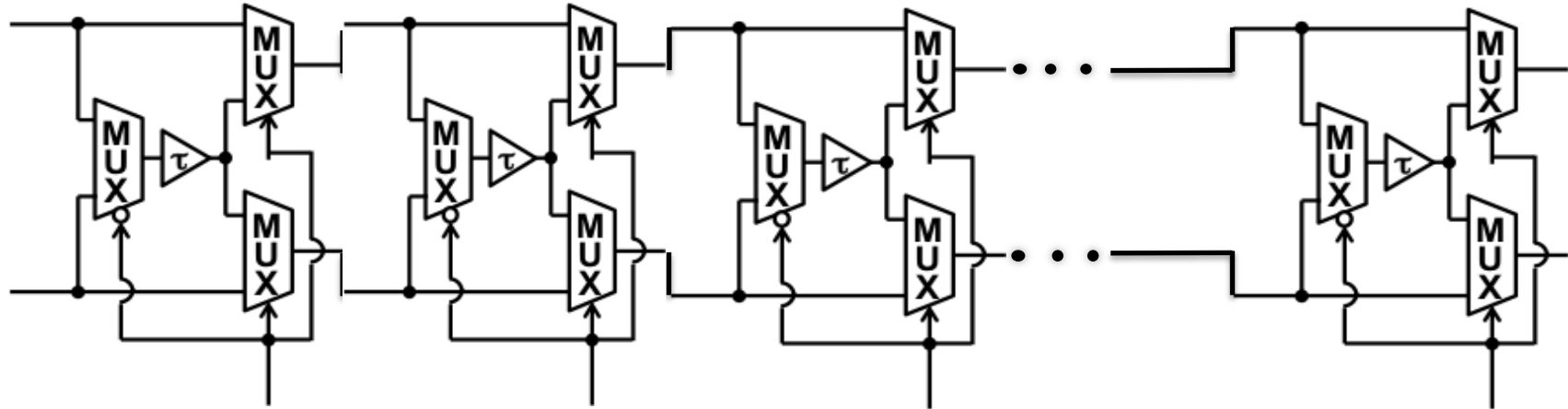
- 測定結果をINLで評価

マルチビット $\Delta\Sigma$ TDCの測定1

全遅延素子の抵抗に75 Ω 使用



RC遅延素子
チップの製造ばらつきによる
遅延量誤差発生



$T=RC$

遅延素子は誤差0.5%のチップ抵抗、誤差10%のチップコンデンサ使用

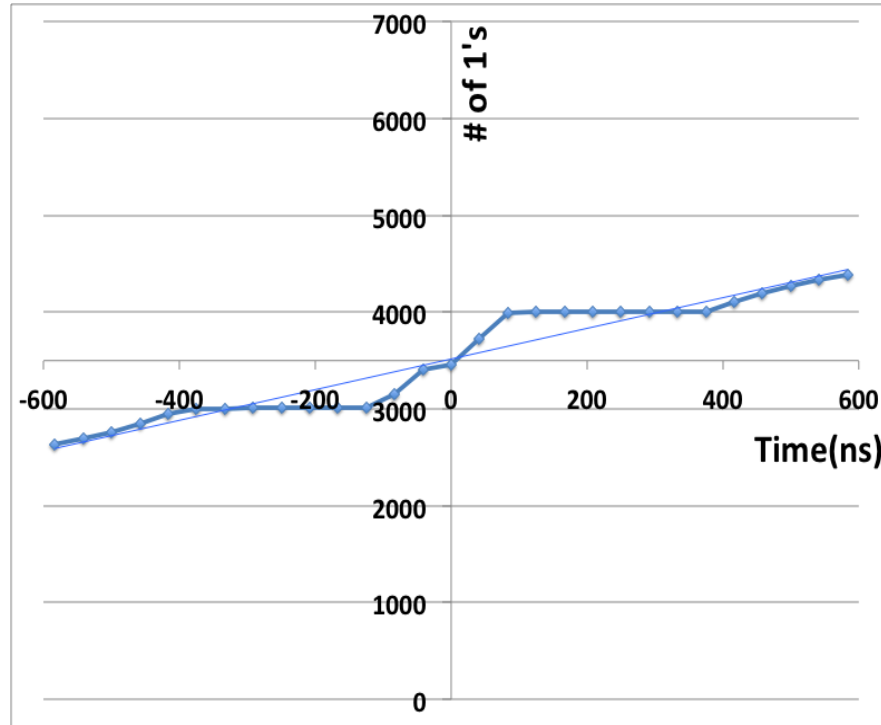
$$(R \pm 0.005R) \cdot (C \pm 0.1C) = (R \cdot C) \pm \sqrt{0.010025RC}$$
$$\gg RC \pm 0.1RC$$



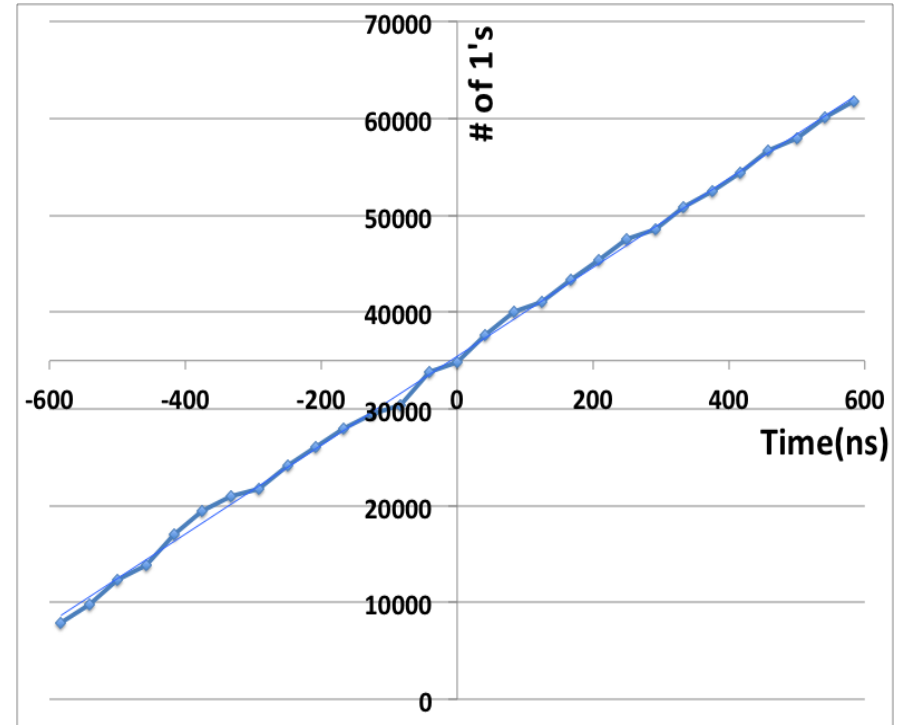
最大10%の誤差

測定結果1 入出力特性

測定回数1000回

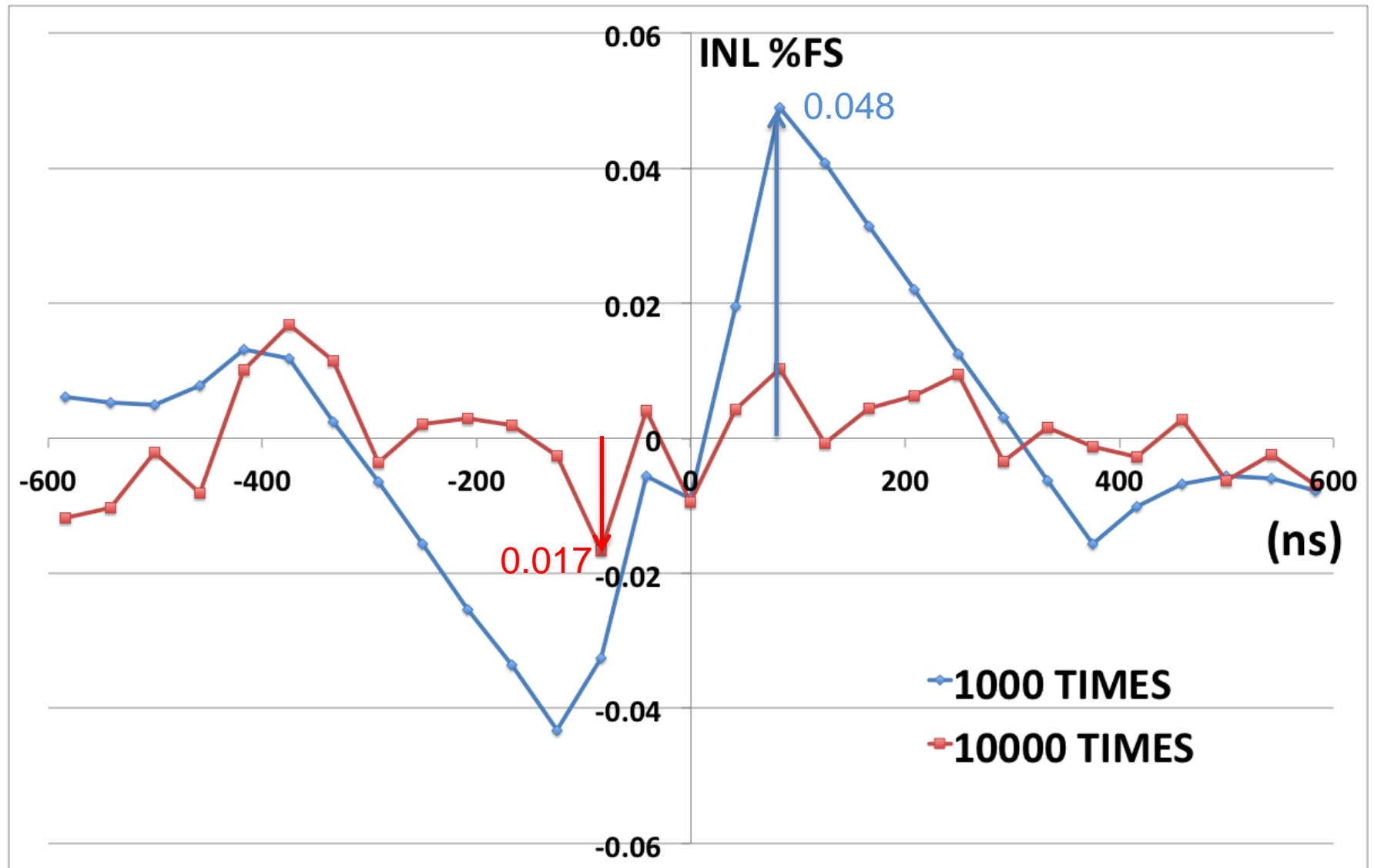


測定回数10000回



入力と出力に単純増加を確認
測定回数の増加により線形性の増加を確認

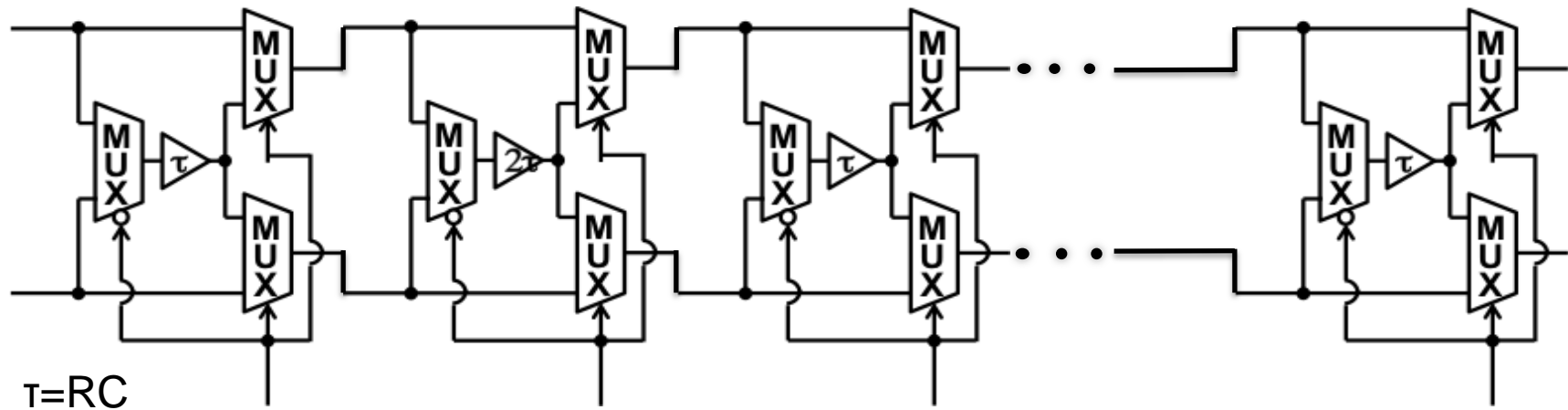
測定結果1 INL



測定回数の増加により最大INLが0.048から0.017にまで減少したことを確認

マルチビット $\Delta\Sigma$ TDCの測定2

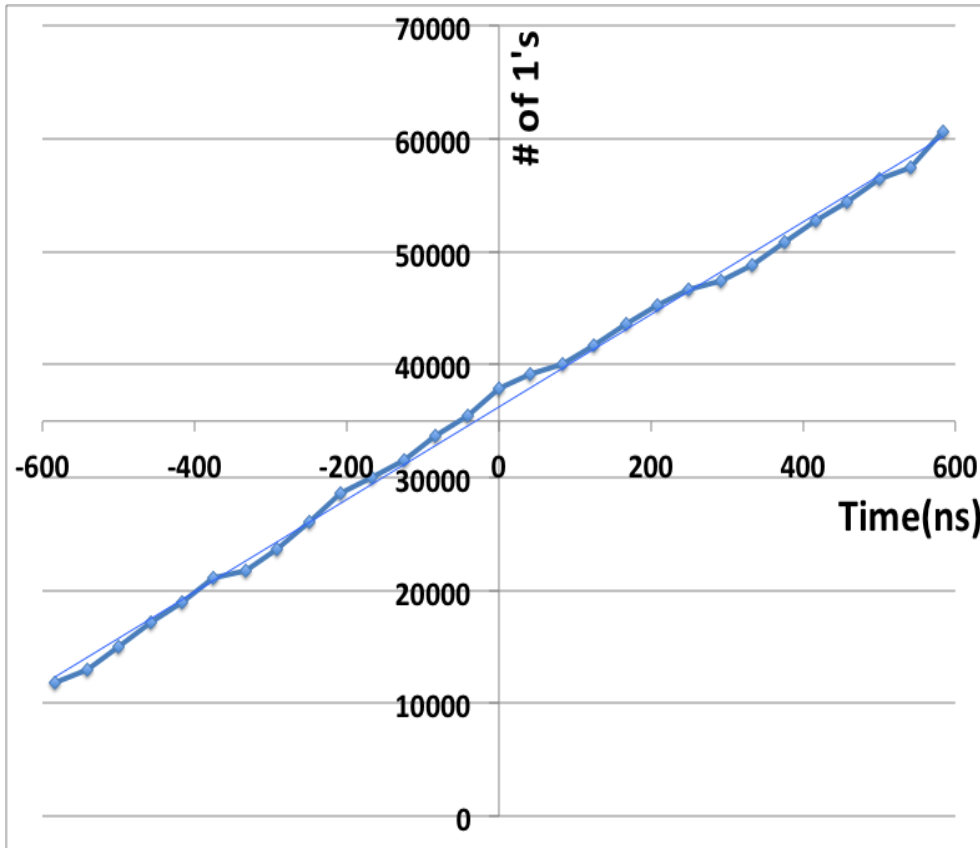
- 2個目の使用抵抗が 150Ω 、それ以外は 75Ω



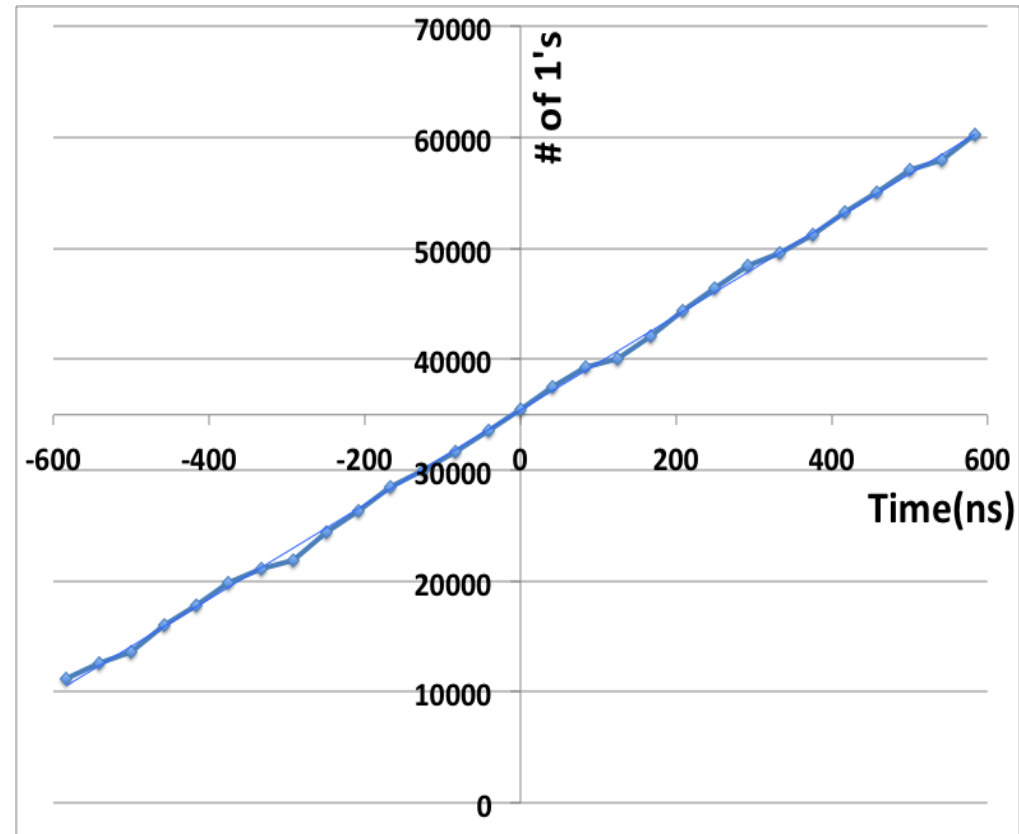
2番目遅延素子の時定数に2倍の差
遅延量誤差発生

測定結果2 入出力特性

DWA未使用

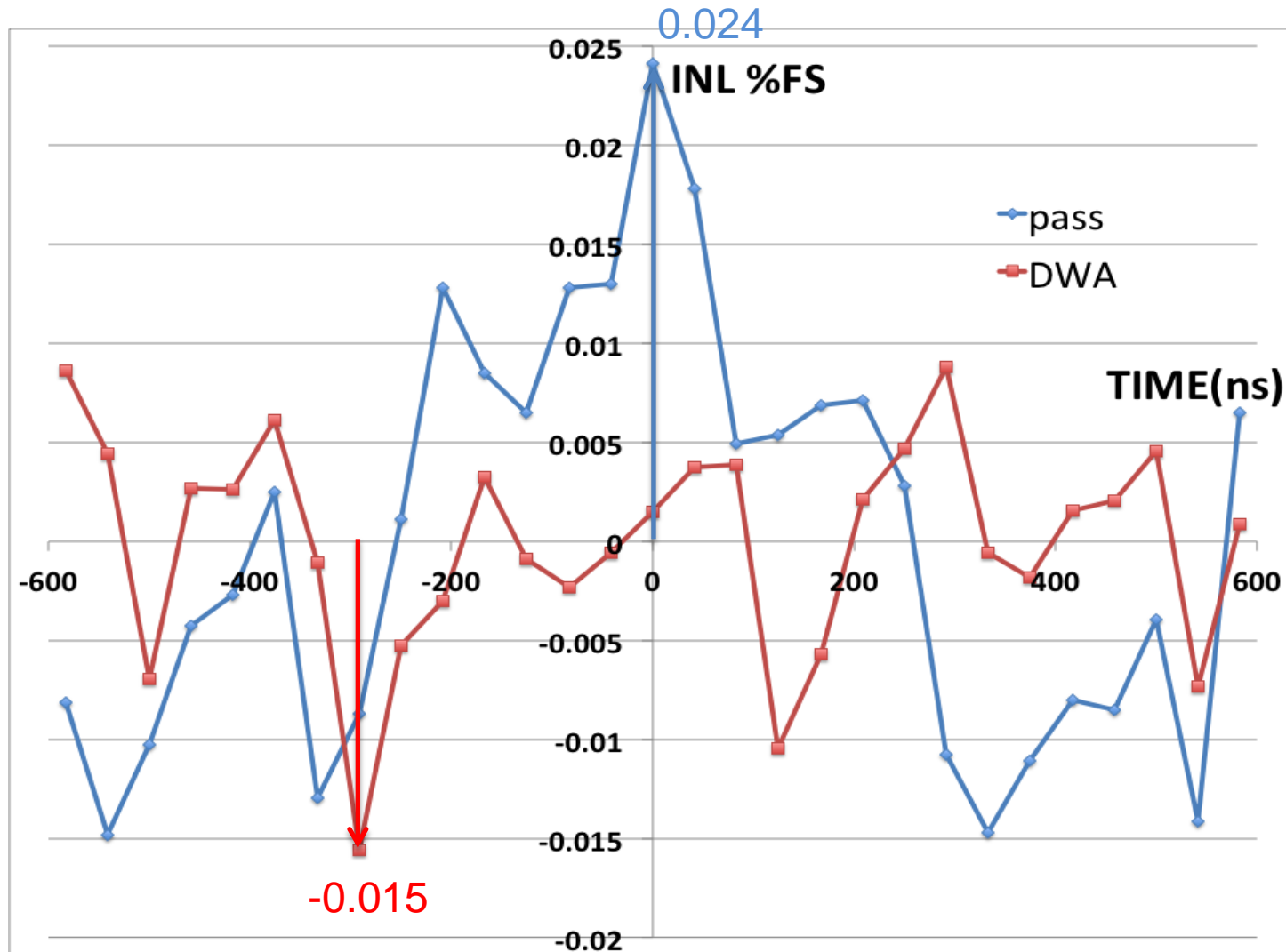


DWA使用



DWAの使用により線形性の増加を確認

測定結果2 INL



測定回数の増加により最大INLが0.024から-0.015にまで減少したことを確認

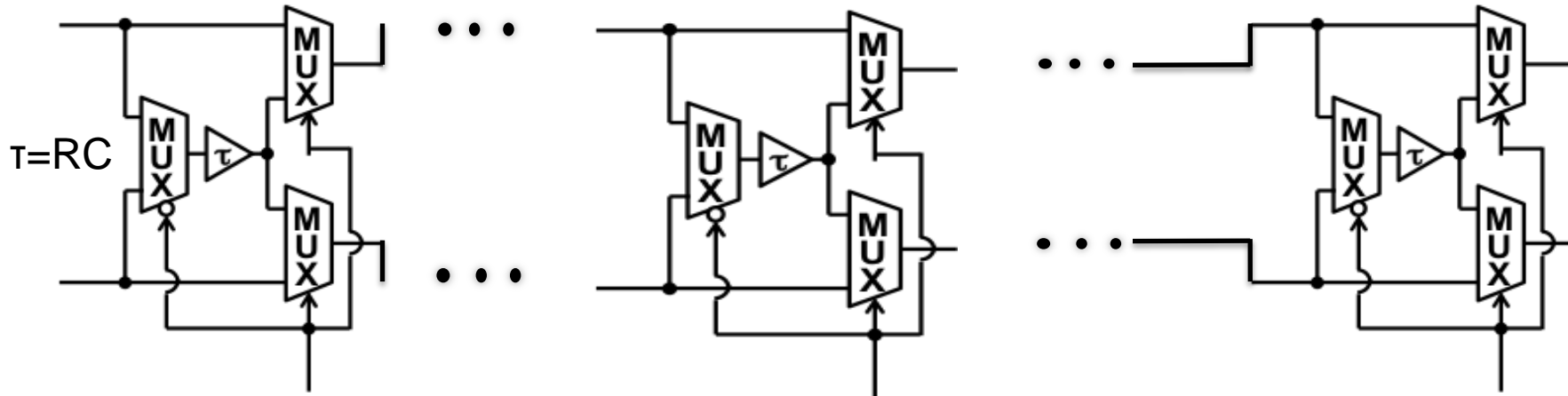
マルチビット $\Delta\Sigma$ TDCの測定3

- 1個目の使用抵抗が220 Ω
- 2個目の使用抵抗が75 Ω
- 3個目の使用抵抗が150 Ω
- 4個目の使用抵抗が220 Ω

- 5個目の使用抵抗が75 Ω
- 6個目の使用抵抗が150 Ω
- 7個目の使用抵抗が220 Ω



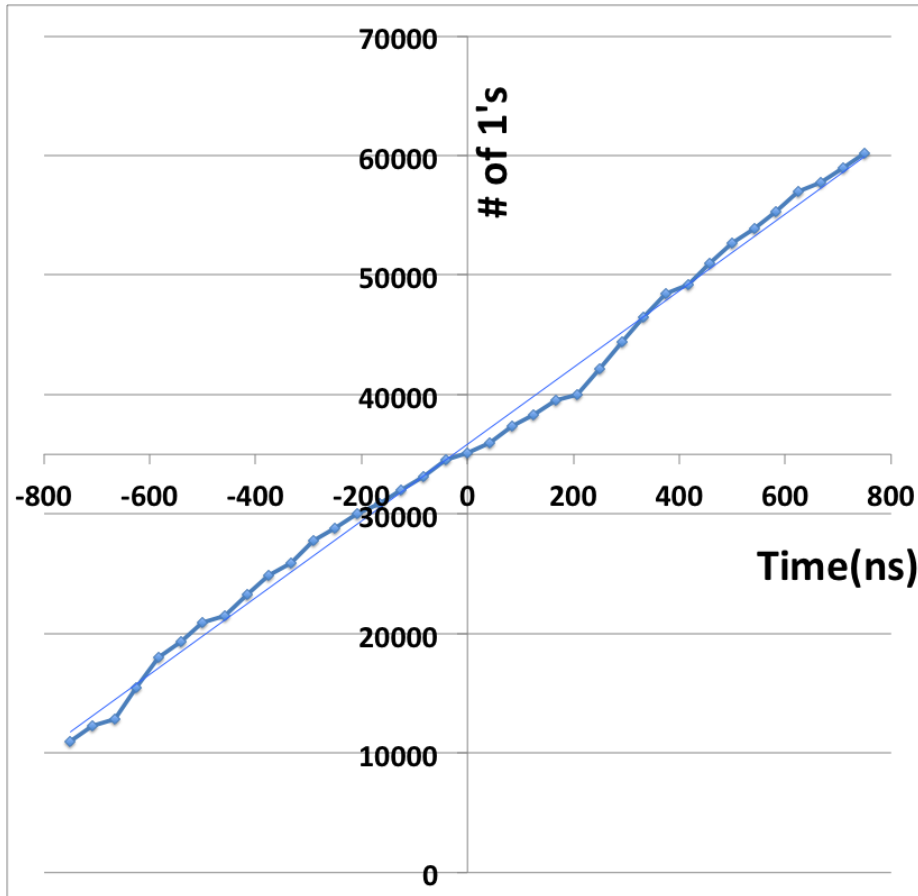
RC遅延素子
時定数に誤差
遅延量誤差発生



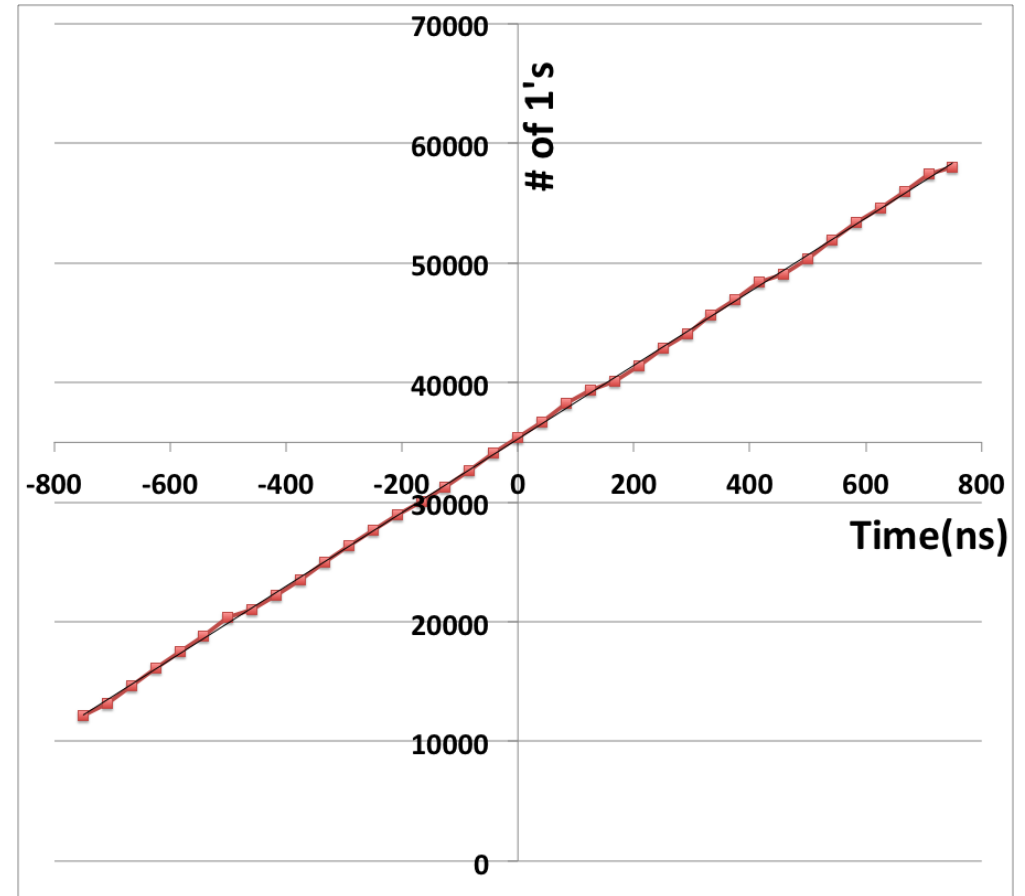
- 全遅延素子に誤差が発生

測定結果3 入出力特性

DWA未使用

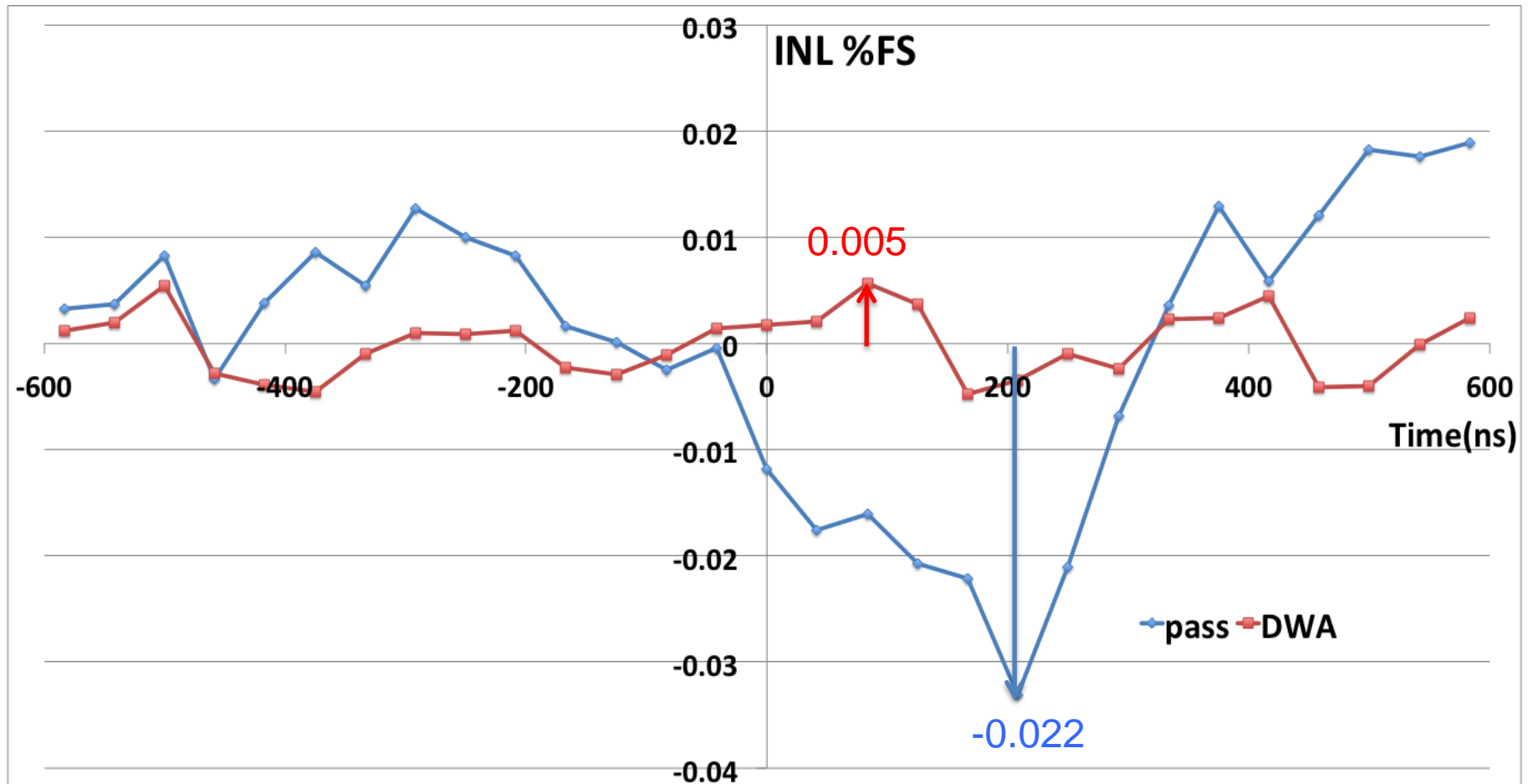


DWA使用



DWAの使用により線形性の増加を確認

測定状態3 INL



測定回数の増加により最大INLが0.0022から0.005にまで減少したことを確認

アウトライン

- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- **まとめ、今後の課題**

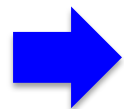
まとめ、今後の課題

まとめ

- マルチビット $\Delta\Sigma$ TDCをアナログFPGAに実装
- 入力時間差とデジタル出力が比例を確認
- DWAによる線形性の向上



クロック間タイミングの
高時間分解能,高精度,短時間測定



小規模回路で実現可能

今後の課題: 更なる測定データの収集/解析