

# マルチビット $\Delta\Sigma$ 型時間デジタルイザ回路の

## FPGA 実現・測定検証

中條剛志\*      平林大樹      荒船拓也 (群馬大学)

佐藤幸志 (光サイエンス)      小林春夫 (群馬大学)

### Experimental Verification of Multi-bit Delta-Sigma TDC

Takeshi Chujo, Daiki Hirabayashi, Arafune Takuya (Gunma University)

Koshi Sato (Hikari Science), Haruo Kobayashi (Gunma University)

**Abstract** — I/O interfacing circuits such as double-data-rate (DDR) memory interfaces are very important, and their low-cost, high-quality test is challenging. This paper describes simple test circuitry for measuring digital signal timing of I/O interfacing circuits with high resolution and good accuracy. We focus on Time-to-Digital Converter (TDC) applications of delta-sigma ( $\Delta\Sigma$ ) modulators (for fine-timing-resolution, digital output, and simple circuitry) and with multi-bit architecture (for short testing time). However, the multi-bit  $\Delta\Sigma$  TDC suffers from delay mismatches among delay cells. Then we propose to apply the data-weighted-averaging (DWA) algorithm for the delay cells in order to solve this problem. We have implemented a multi-bit  $\Delta\Sigma$  TDC with DWA as a BOST and our experimental results showed that the DWA algorithm improved the overall multi-bit  $\Delta\Sigma$  TDC linearity.

キーワード：時間-デジタル変換器, 時間測定, アナログ FPGA,  $\Delta\Sigma$

(Keywords: Time-to-Digital Converter, Time Measurement, Analog FPGA, Delta-Sigma)

## 1. はじめに

近年 DDR メモリインターフェース等での高速入出力インターフェース回路が重要となっており、それに伴いその低コスト・高品質テスト技術が必要になっている。時間デジタルイザ回路 (Time-to-Digital Converter: TDC) は 2 つの信号のエッジ間の時間を測定しデジタル値として出力する回路である。[1] アプリケーションとして、完全デジタル PLL の位相比較器, センサインターフェース回路, 変調回路, 復調回路, TDC ベース ADC などがあり, 現在活発に研究開発が行われている。TDC 回路は大半がデジタル回路で構成されているため微細デジタル CMOS プロセスで実装するのに適しており, ナノ CMOS 時代において, 重要な役割を果たすことが期待されている。

時間デジタルイザ回路には様々な種類がある。その中の一つ, シングルビット  $\Delta\Sigma$  型時間デジタルイザ回路は遅延ミスマッチがない, 高線形性, 簡単な回路などの特徴がある。欠点として高時間分解能のためには測定時間が長い。[2-9]

本論文では, 2 つの繰り返しクロック間の時間差 (DDR メモリでのデータ・クロック間の時間差等) を高時間分解能・短時間測定かつ簡単な回路で計測するためのデジタル信号タイミング試験用 Built-Out Self-Test (BOST) として, マルチビット  $\Delta\Sigma$  型時間デジタルイザ回路の設計, 実機での

検証を行ったので報告する。実機での動作確認はサイプレス社のアナログ FPGA である Programmable System-on-Chip (PSoC) 5LP に実装して行った。

## 2. $\Delta\Sigma$ TDC の構成

〈2・1〉フラッシュ型 TDC 図 1 にフラッシュ型時間デジタルイザ回路を示す。1 回のイベントで 2 つの信号間の立ち上がりタイミング時間差を測定できる。しかし回路規模が大きくなってしまい, 時間分解能はゲート遅延  $\tau$  で制限されてしまう。

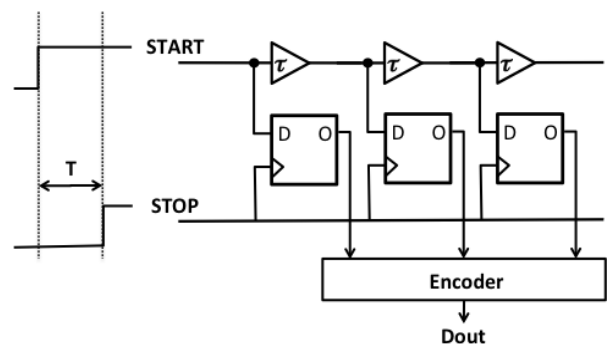


図 1 フラッシュ型 TDC  
Fig.1. Flash-type TDC.

〈2・2〉 シングルビット  $\Delta \Sigma$  型 TDC 連続で一定の時間差を持つ繰り返し信号を測定する場合は  $\Delta \Sigma$  型 TDC を用いることができる。この測定時間は長くなるが、簡単な回路により細かい時間分解能で時間間隔を測定できる。シングルビット  $\Delta \Sigma$  TDC の全体構成を図 2 に示す。シングルビット  $\Delta \Sigma$  TDC は遅延素子、マルチプレクサ、位相比較器、積分器、比較器で構成する。

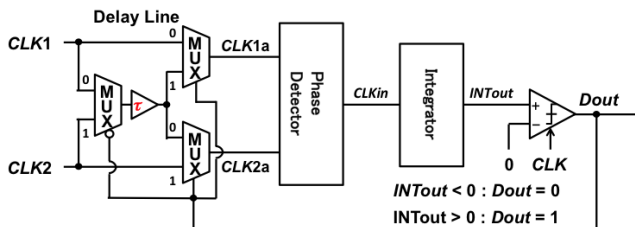


図 2 シングルビット  $\Delta \Sigma$  型 TDC  
Fig.2. Single-bit  $\Delta \Sigma$  TDC.

積分型 ADC と同様に、 $\Delta \Sigma$  TDC は測定時間を長くする高時間分解能で時間差  $T$  を測定することができる。また、時間差  $T$  の測定範囲は  $-\tau < T < \tau$  である。

このシングルビット  $\Delta \Sigma$  型 TDC は次の特徴がある。

- ・簡単な回路構成であり、アナログ回路は積分器およびコンパレータのみ
  - ・遅延素子の遅延量は測定範囲と分解能のみに影響し遅延素子は一つなので遅延ミスマッチが存在しない
  - ・測定回数が分解能となり、測定回数に比例して高時間分解能を得る
  - ・高線形性
- 一方、欠点として次のものがある。
- ・時間分解能を細かくするとやや測定時間が増加

### 3. マルチビット $\Delta \Sigma$ TDC の構成

#### 〈3・1〉 マルチビット $\Delta \Sigma$ 型 TDC

図 4 にマルチビット  $\Delta \Sigma$  型時間デジタル化回路の構成を示す。[4,5]

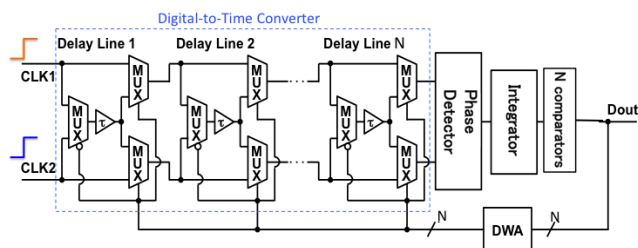


図 3 マルチビット  $\Delta \Sigma$  型 TDC  
Fig.3. Multi-bit  $\Delta \Sigma$  TDC.

マルチビット  $\Delta \Sigma$  型時間デジタル化回路はシングルビット  $\Delta \Sigma$  時間デジタル化回路をベースにして、マルチビット化のために次のように回路を変更・追加する。

- (1) コンパレータが  $N$  個の温度計コード出力となる差動入力フラッシュ型 AD 変換器を用いる。

- (2) 遅延セルを  $N$  個を用いる。
- (3)  $N$  個の遅延セルの遅延値ミスマッチの TDC 線形性劣化の影響を低減させるため **Data Weighted Averaging (DWA)** アルゴリズム回路を適用しノイズシェープを実現する。

積分器出力を  $N$  段階で  $A/D$  変換し温度計コードとして出力とする。それを遅延セル配列にフィードバックし、CLK1 と CLK2 の遅延量を制御する。CLK1, CLK2 間の時間差  $T$  の測定可能範囲は  $+N\tau$  から  $-N\tau$  となる。

マルチビット構成では一回の出力につきシングルビット  $\Delta \Sigma$  TDC の  $N$  倍の分解能を持つ出力が得られる。そのため、シングルビットと同じ測定時間で遅延素子の遅延量の  $N$  倍の入力可能範囲を得ることが可能である。遅延素子の遅延量を  $1/N$  とした場合、等しい分解能を取りつつ測定時間の短縮が可能となる。そのため、シングルビット  $\Delta \Sigma$  TDC の欠点であるやや測定時間が長くなるという欠点を克服することが可能である。

#### 〈3・2〉 DWA アルゴリズム

遅延セル配列で使用する遅延素子は実装した場合に製造ばらつきにより互いに相対誤差を生じる。この遅延素子の相対誤差により TDC の変換特性に非線形性が生じる。図 4 に遅延素子の誤差の影響を記す。

Digital Input	0	1	2	3	4	5	6	7	$\tau(N)$
4	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
3	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
2	$\Delta\tau_0$	$\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
2	$\Delta\tau_0$	$\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
5	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$\Delta\tau_4$	$\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
3	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
4	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
6	$\Delta\tau_0$	$\Delta\tau_1$	$\Delta\tau_2$	$\Delta\tau_3$	$\Delta\tau_4$	$\Delta\tau_5$	$\Delta\tau_6$	$-\Delta\tau_7$	
INTEGRAL)									
	$8\Delta\tau_0$	$+8\Delta\tau_1$	$+4\Delta\tau_2$		$-4\Delta\tau_4$	$-4\Delta\tau_5$	$-6\Delta\tau_6$	$-8\Delta\tau_7$	

図 4 遅延素子相対ばらつきでの積分誤差 (DWA 未使用時)  
Fig.4. Integrated delay errors (W/O DWA).

図 4 の赤色マスでは CLK1 に、白マスでは CLK2 に遅延を与えている。遅延素子の平均値に対する誤差を  $\Delta\tau$  とすると一回の測定毎に位相比較器で誤差が発生し、積分器で誤差が積分される、その結果入力時間時間差に対して適切な積分器出力を取ることが出来なくなり非線形性が生じる。図 4 では 8 回の測定により

$$(8\Delta\tau_0) + (8\Delta\tau_1) + (4\Delta\tau_2) - (4\Delta\tau_4) - (4\Delta\tau_5) - (6\Delta\tau_6) - (8\Delta\tau_7)$$

の誤差が積分器で発生する。

この非線形性を補正するため Data Weighted Averaging アルゴリズムを適用する。図 5 に 3bit  $\Delta \Sigma$  TDC の DWA 実現回路ブロック図を示す。

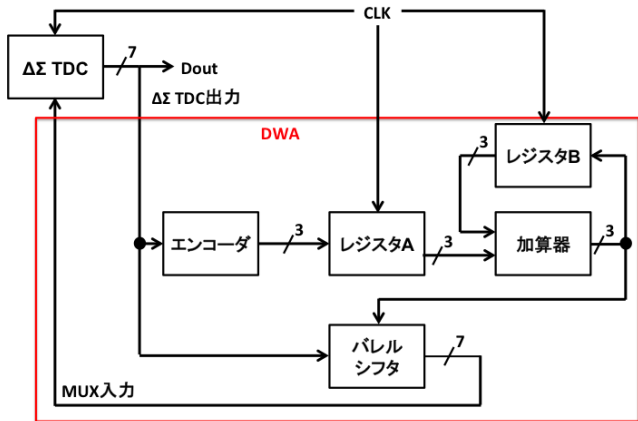


図5 DWA 実現回路ブロック.

Fig.5. Block diagram of DWA algorithm implementation.

図5においてTDC出力は温度計フォーマットの7つ、レジスタは3bitである。加算器で3bit以上のオーバーフローした値は全て切り捨てとしている。DWAは初回時間差入力においてTDC出力をレジスタBで記録するとともにTDC出力をそのままDWA出力し遅延素子を決定する。二回目以降の時間差入力ではTDCの出力とレジスタBに記録されたこれまでの入力を足し合わせ次回のTDC入力で使用される遅延素子を決定する。図6にDWAアルゴリズムによる使用遅延素子の変更の動作例を示す。

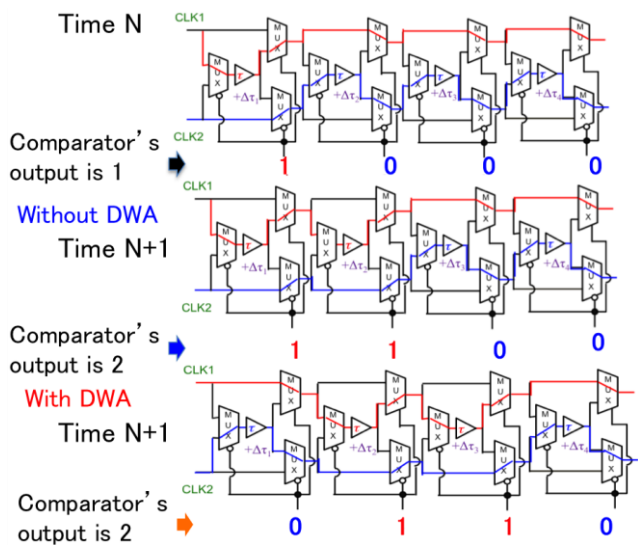


図6 DWAアルゴリズムの回路動作

Fig.6. Circuit operation of DWA algorithm.

エレメントローテーションでは、使用する遅延素子を順番に交換させていく。図6のTime NでDout=1が入力され、左端のMUX入力が1、他のMUX入力が0であったとする。Time N+1にて入力が2となった場合、DWA未使用では左2つのMUX入力が1、他のMUX入力が0となる。DWAを使用した場合、Time Nで使用した左端のMUXの次のMUXから入力される。図6のTime N+1場合、左端が0その右2つが1、その右が0となる。

DWAアルゴリズムの適用により遅延素子の相対誤差の積分値を減少させることができる。図7にDWAアルゴリズムによる積分器誤差について示す。

	0	1	2	3	4	5	6	7	$\tau(N)$	
Digital Input	4	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	3	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	2	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	2	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	5	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	3	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	4	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
	6	$-\Delta\tau_0$	$-\Delta\tau_1$	$-\Delta\tau_2$	$-\Delta\tau_3$	$-\Delta\tau_4$	$-\Delta\tau_5$	$-\Delta\tau_6$	$-\Delta\tau_7$	
INTEGRAL)							$-2\Delta\tau_5$	$-2\Delta\tau_6$	$-2\Delta\tau_7$	

図7 遅延素子相対ばらつきでの積分誤差 (DWA 使用時)

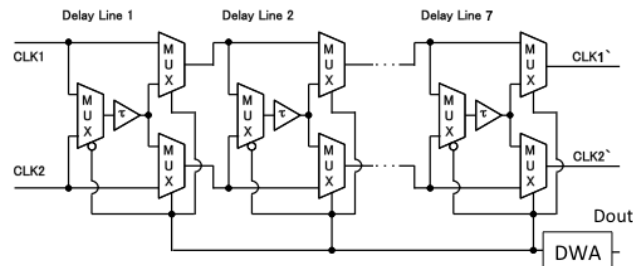
Fig.7. Integrated delay errors (With DWA).

図7の場合最初のデジタル入力が4、次の入力では3である。DWAにより1回目の入力に対し2回目入力では4番目の遅延素子から使用される。DWAアルゴリズムを適用した場合、図7の左上のようにN回目とN+1回目で入力数値が反転時、N回目の遅延素子誤差成分で積分器出力が上下してもN+1回目の入力で前回と逆の入力が発生し打ち消される。測定点数を十分に多く取った場合、DWAを使用しない場合に比べて線形性が向上する。図7の場合は8回の測定により $(2\Delta\tau_5) - (2\Delta\tau_6) - (2\Delta\tau_7)$ の誤差であり、DWAを使用しない場合に比べて誤差量が減少する。

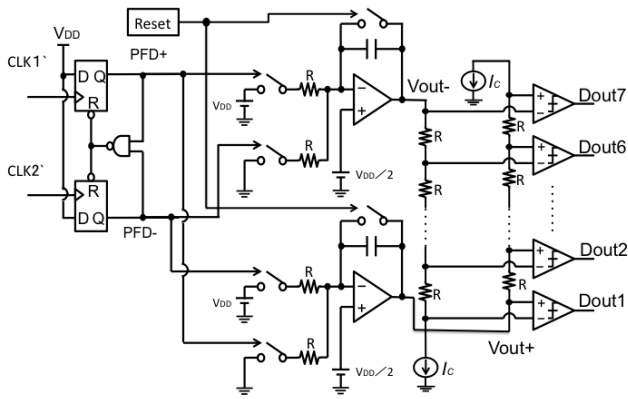
### 3. マルチビット $\Delta\Sigma$ TDCの実装実験

#### 〈3・1〉マルチビット $\Delta\Sigma$ TDCの実装

考案した自己校正TDC回路をPSoCに実装しその実機で動作確認を行った。図8に実装した3ビット $\Delta\Sigma$ TDCの回路を示す。今回は3bit構成としたためコンパレータおよび遅延セル配列は7個となった。遅延素子を7個使用したため測定可能範囲は+7 $\tau$ から-7 $\tau$ までとなる。図9にマルチビット $\Delta\Sigma$ TDCを実装したPSoCを示す。



(a) 7個の遅延セルからなる遅延線



(b)位相比較器,積分器,差動構成 ADC

図 8 設計した 3 ビット Δ Σ TDC

Fig.8. Designed 3 bit Δ Σ TDC.

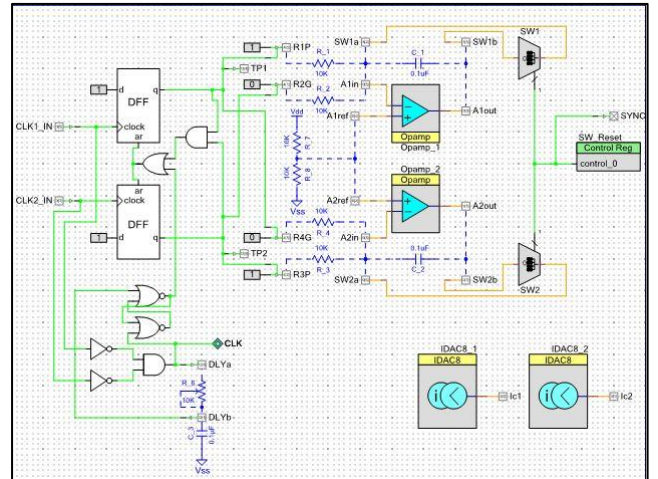


図 10 Δ Σ TDC 内の位相比較器と積分器

Fig.10. Phase detector and integrator inside Δ Σ TDC.

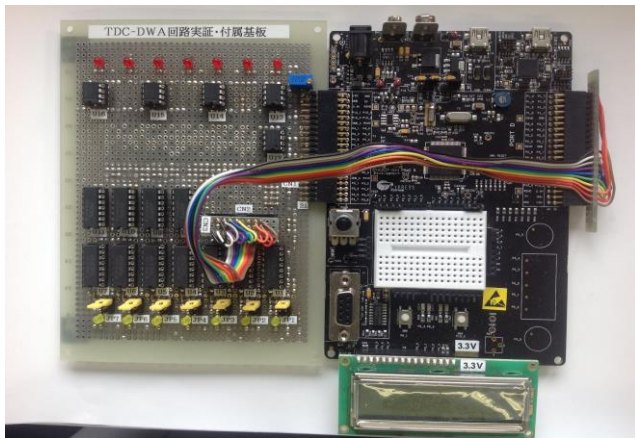


図 9 マルチビット Δ Σ TDC を実装した PSoC

Fig.9. PSoC implementation of our designed multi-bit Δ Σ TDC .

実装では時間差生成回路、位相比較器、積分器のオペアンプ部分、DWA 実現回路を PSoC 内部に実装し、外部基板に遅延線、積分器の抵抗およびコンデンサ、フラッシュ型 A/D 変換器を取り付けた。

回路全体の電源電圧は 5V とした。図 8 (a)における遅延素子は RC ローパスフィルタで実現し、抵抗は 75,150,220 Ω から選択可能としコンデンサは 1,000pF とした。

図 10 に位相比較器と積分器を示す。図 10 の点線部分である抵抗とコンデンサは回路内に実現出来なかった為、外部に取り付けた。使用した抵抗は 10kΩ、コンデンサ 0.1 μ F である。図 8 (b) における差動構成 A/D 変換機は抵抗に 1k Ω を使用した。

実装は外部基板にディスクリート部品を接続し回路を作成し、PSoC 外部入出力端子と接続した。パソコン上で回路図情報と C 言語で各部品動作内容を生成し、PSoC にインストールを行なった。C# 言語で測定ソフトを製作した。

### 〈3・2〉 マルチビット Δ Σ TDC の実験

実装したマルチビット Δ Σ TDC の実験を行なった。遅延セル配列は初期値で 0000111 としている。予め決めた時間差と連続で入力する繰り返し信号の入力回数をを入力し、測定を行なった

### 3. 測定結果,評価

測定および測定結果の評価を行なった。最小二乗法を用いて線形近似直線を求め、そこから積分非直線性 (INL) を計算した。INL は測定結果と線形近似直線との累積誤差を示す指標であり、0 に近いことが望ましい。線形近似直線のゲインとオフセットを以下の式で表す。

$$\text{gain} = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \quad (1)$$

$$\text{offset} = \frac{K_2}{N} - \text{gain} \cdot \frac{K_1}{N} \quad (2)$$

N=24 であり、K<sub>1</sub> から K<sub>4</sub> はそれぞれ以下の式で表す。

$$K_1 = \sum_{i=0}^{N-1} i \dots\dots\dots(3)$$

$$K_2 = \sum_{i=0}^{N-1} S(i) \dots\dots\dots(4)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \dots\dots\dots(5)$$

$$K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \dots\dots\dots(6)$$

S(i) は i 番目の出力コード数である。(1)式から(6)式より、INL (Integral Non-Linearity: 積分非直線性) を計算する式は以下ようになる。

$$\text{INL}(i) = \frac{S(i) - (\text{gain} \cdot i + \text{offset})}{FS} \dots\dots\dots(7)$$

ここで FS は出力のフルスケールであり、今回の 3bit Δ Σ TDC では測定回数 × 7 がフルスケールとなる。図 11 に入力回数 1,000 回、DWA 未使用の場合の入出力特性、図 12 に INL を示す。測定点数は 7,000 (=7 x 1,000) となる。

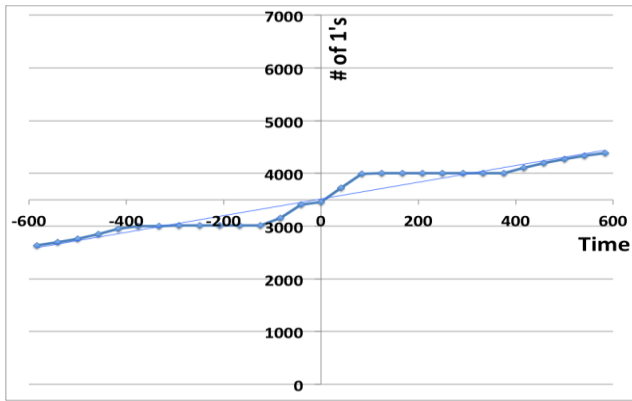


図 11 1,000 回測定結果 (DWA なし, サンプル no.1)  
Fig.11. Measurement results (1,000 times, w/o DWA, Sample #1)

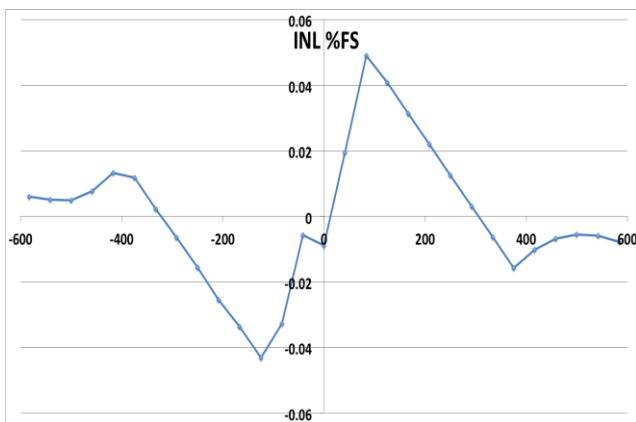


図 12 1,000 回測定データから得た INL  
Fig.12. INL obtained from 1,000 times measurement. (w/o DWA, Sample #1).

入力時間差に対して単調に出力点数が増加していることが分かる。しかし、測定点数が非常に少ない為-400~100ns および+100~400ns 付近において増加量が非常に小さくなった。INL は FS に対して最大 0.05 % となった。

図 13 に入力回数 10,000 回、DWA 未使用の場合の入出力特性、図 14 に INL を示す。測定点数は 70,000 点である。

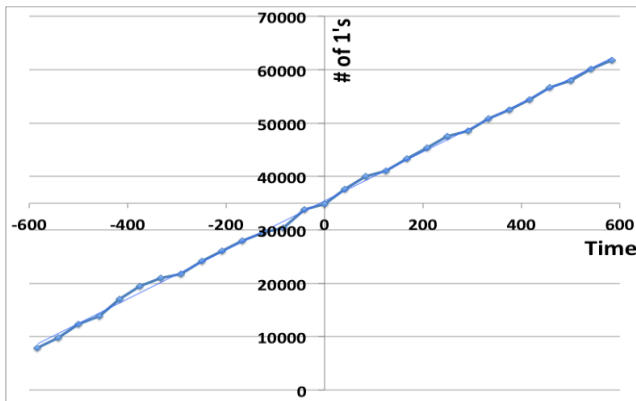


図 13 10,000 回測定結果 (DWA なし, サンプル no.1)  
Fig.13. Measurement results (10,000 times, w/o DWA, Sample #1).

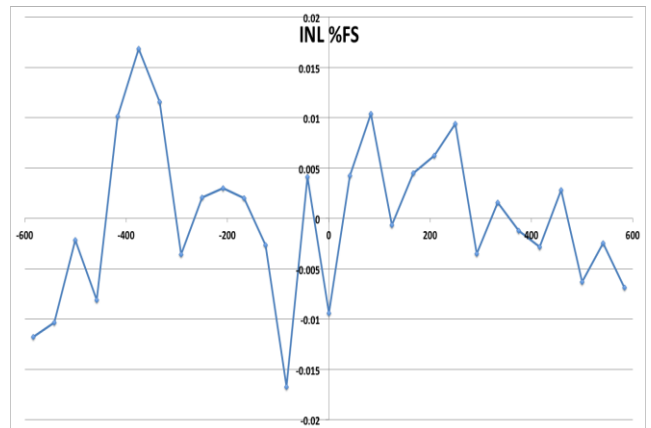


図 14 10,000 回測定の INL (DWA なし, サンプル no.1)  
Fig.14. INL obtained from 10,000 times measurement. (w/o DWA, Sample #1)

点数を 70,000 点に増加させると入力と出力の線形性が向上した。また、INL も FS に対して最大 0.017% まで減少した。

次に、3 番目で使用した遅延素子の抵抗を 75 Ω から 150 Ω に変更し遅延量に誤差を与え測定を行なった。図 15 に入力回数 10,000 回、DWA 未使用の場合の入出力特性を示す。測定点数は 70,000 点となる。

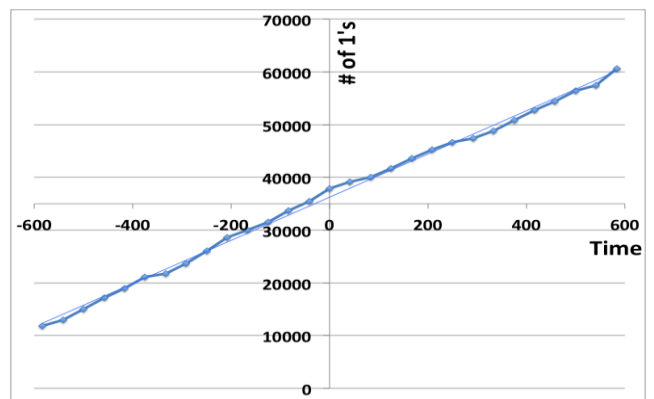


図 15 10,000 回測定結果 (DWA なし, サンプル no.2)  
Fig.15. Measurement results (10,000 times, w/o DWA, Sample #2).

遅延素子に誤差を与えたため、入出力間における非線形性および時間差 0ns の場合のオフセットが大幅に上昇した。INL は最大 0.025%FS となった。図 16 に入力回数 10000 回、DWA 使用の場合の入出力特性、図 17 に校正前後の INL を示す。測定点数は 70,000 点である。

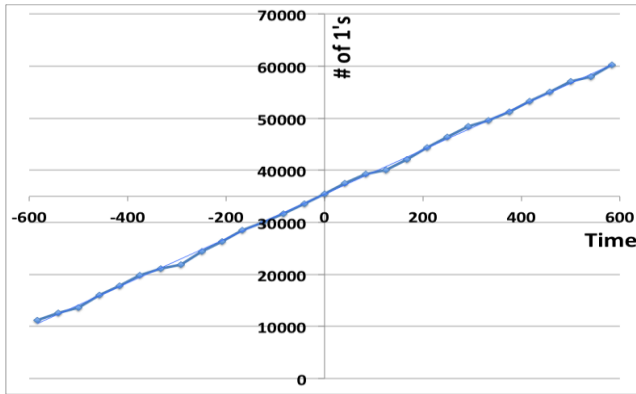


図 16 10,000 回測定結果 (DWA あり、サンプル no.2)  
Fig.16. Measurement results (10,000 times, w/ DWA, Sample #2).

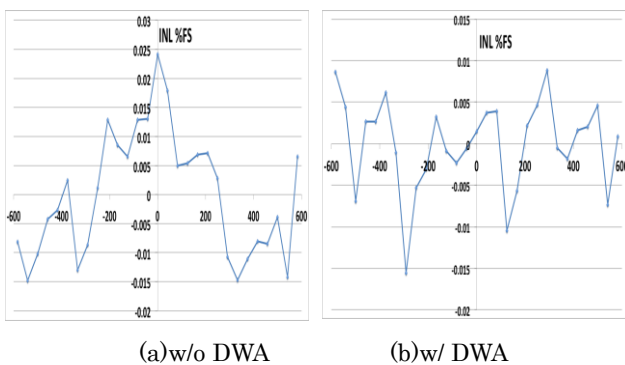


図 17 DWA 使用による INL の向上 (サンプル no.2)  
Fig.17. INL w/o and w/ DWA (Sample #2)

DWA の使用により入出力間の線形性およびオフセットの減少が確認できた。INL は FS に対して 0.015%にまで減少したことを確認した。

## 5. まとめ

本論文では、マルチビット  $\Delta \Sigma$  時間デジタル回路の構成と動作を示し、実機による動作確認を行った。実機での動作確認はサイプレス社の PSoC を用いて実装して行った。時間差信号を入力し TDC 出力コードを確認した。DWA アルゴリズム使用による TDC 線形性の向上を確認した。

今回の実装検証では、PSoC でマルチビット  $\Delta \Sigma$  時間デジタル回路を設計・実装、その実機での「基本動作確認」を目的としているため、測定回数が少ない。今後は測定回数を増やしての動作確認も行っていく。また位相ノイズ測定への応用を実験的に確認していく。[8, 9]

**謝辞** 有意義な御討論をいただきました、辻将信氏、梅田定美氏、土橋則亮氏、塩田良治氏、渡邊雅史氏、小林修氏、松浦達治氏、山口隆弘氏、加藤健太郎氏、荒川隆彦氏、高井伸和氏、新津葵一氏に感謝します。この研究は半導体理工学研究センター(STARC)に支援されています。

- [1] Y. Arai, T. Baba, “A CMOS Time to Digital Converter VLSI for High-Energy Physics”, IEEE Symposium on VLSI Circuits (1988).
- [2] 安田 靖彦「技術の生みの親・育ての親」郵政研究所月報 巻頭言 (2001年7月).
- [3] B. Young, K. Sunwoo, A. Elshazly, P. K. Hanumolu, “A 2.4ps Resolution 2.1mW Second-order Noise-shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth,” IEEE Custom Integrated Circuits, San Jose (Sept. 2010)
- [5] 平林 大樹、荒川 雄太、河内智、石井 正道、上森 聡史、佐藤 幸志、小林 春夫、新津 葵一、高井 伸和「デジタル信号タイミング試験用 BOST の検討」電気学会 電子回路研究会, 熊本 (2012年10月)
- [4] S. Uemori, M. Ishii, H. Kobayashi, et. al., “Multi-bit Sigma-Delta TDC Architecture with Improved Linearity”, Journal of Electronic Testing: Theory and Applications, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).
- [6] T. Chujo, D. Hirabayashi, K. Sato, H. Kobayashi, “Multi-bit Delta-Sigma TDC BOST for Timing Test”, IEEE International Test Conference, Poster Session, Seattle, WA (Oct. 2014).
- [7] D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi et. al., “Phase Noise Measurement with Sigma-Delta TDC”, IEEE International Test Conference, Poster Session, Anaheim, CA (Sept. 2013).
- [8] 大澤優介、平林大樹、針谷尚裕、小林春夫、新津葵一、小林修「デルタシグマ TDC を用いた位相ノイズ測定」電気学会 電子回路研究会 島根 (2014年7月)
- [9] Y. Osawa, D. Hirabayashi, N. Harigai, H. Kobayashi, K. Niitsu, O. Kobayashi, “Phase Noise Measurement Techniques Using Delta-Sigma TDC”, IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'14), Porto Alegre, Brazil (Sept. 2014).