

2014年3月3日

電気学会栃木・群馬支所 合同研究会

# 剰余系を用いたTDC回路の FPGA 実現の検討

李从兵\* (群馬大学), 加藤健太郎(鶴岡高専), 小林春夫(群馬大学)

# 研究の目的

## 時間測定回路TDC

- LSIテストシステムのキーコンポーネント
- 時間信号であることを利用
  - ➡ “剰余”が容易に得られる
- 剰余系を利用すると  
フラッシュ型TDCに比べ、同等性能で  
小回路規模・低消費電力TDCが  
実現できる可能性あり

↓  
剰余系TDC回路を検討する

# 剰余系の例

基数 2, 3, 5 互いに素

$$N=2 \times 3 \times 5 = 30$$

0から $N-1(=29)$ までの整数の一つを  $k$

$a$ :  $k$ を2 で割った余り  $a = \text{mod}2(k)$

$b$ :  $k$ を3で割った余り  $b = \text{mod}3(k)$

$c$ :  $k$ を5 で割った余り  $c = \text{mod}5(k)$

$k$  と  $(a, b, c)$  の組は1対1に対応する。

$k$  を  $(a, b, c)$  で表現  剰余表現

剰余定理 (Chinese Remainder Theorem)

$(a, b, c)$  から  $k$  を求めるアルゴリズム

剰余定理は、

この問題を他の整数についても適用できるように一般化したもの。

自然数  $k$  と剰余表現  $(m_1, m_2, m_3)$  は1対1対応

$m_1$	$m_2$	$m_3$	$k$
0	0	0	0
1	1	1	1
0	2	2	2
1	0	3	3
0	1	4	4
1	2	0	5
0	0	1	6
1	1	2	7
0	2	3	8
1	0	4	9
0	1	0	10
1	2	1	11
0	0	2	12
1	1	3	13
0	2	4	14

$m_1$	$m_2$	$m_3$	$k$
1	0	0	15
0	1	1	16
1	2	2	17
0	0	3	18
1	1	4	19
0	2	0	20
1	0	1	21
0	1	2	22
1	2	3	23
0	0	4	24
1	1	0	25
0	2	1	26
1	0	2	27
0	1	3	28
1	2	4	29

# 剰余系TDCの原理

TDC回路は信号が時間であることを利用すると“剰余”が容易に得られる。  
三つのリング発振回路(遅延 $m_1\tau$ ,  $m_2\tau$ ,  $m_3\tau$ )を利用し、  
発振状態から経過時間 $T$ の測定を行うことが可能である。  
剰余定理に基づいて、(a, b, c)から $k$ を求め、経過時間 $T = k \times \tau$ を得る。

例えば、三つのリング発振回路(遅延 $2\tau$ ,  $3\tau$ ,  $5\tau$ )を利用し、  
発振している状態から経過時間 $T$ の測定を行う。

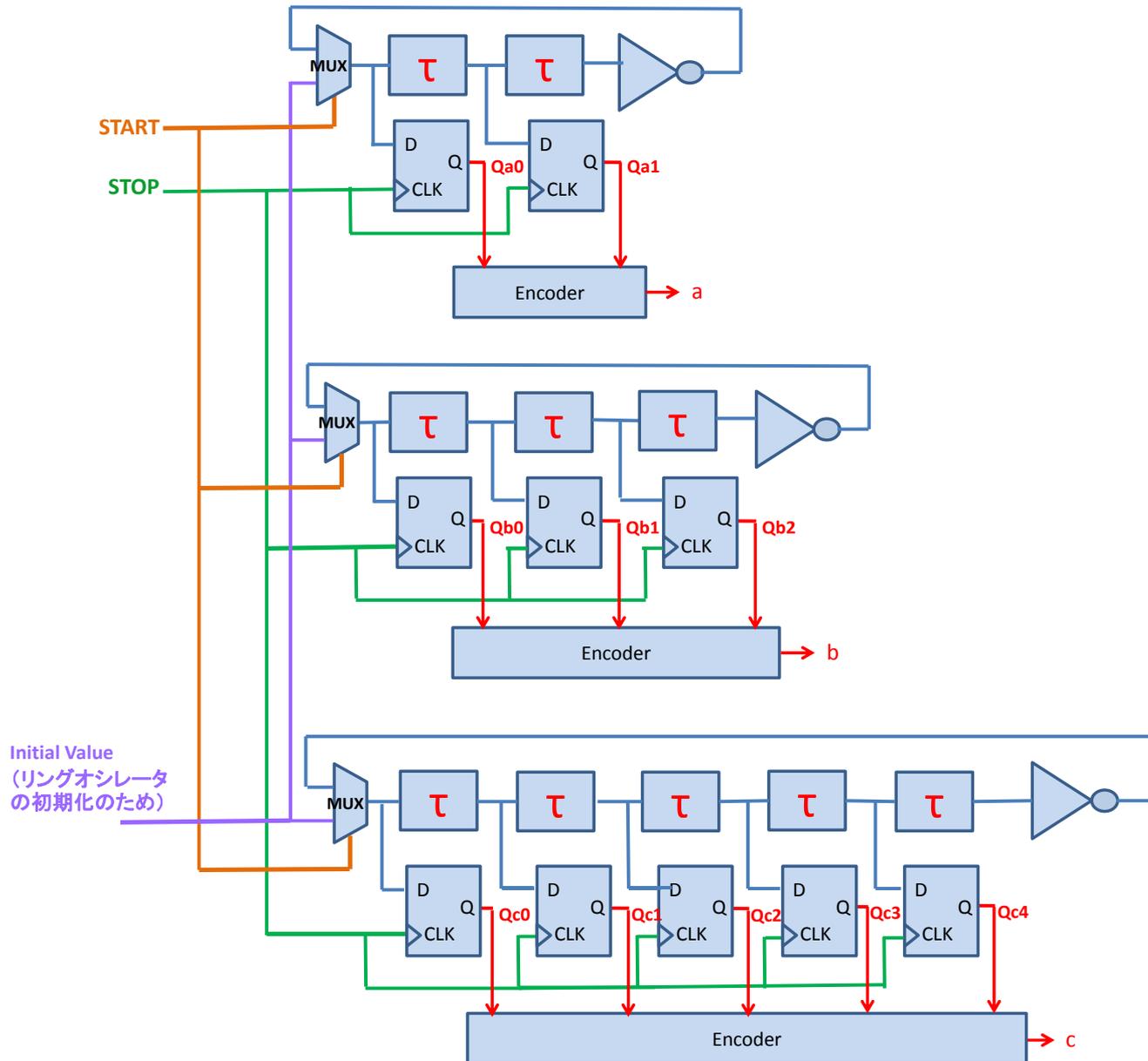
$T$ を $2\tau$ で割った余りは $a$

$T$ を $3\tau$ で割った余りは $b$

$T$ を $5\tau$ で割った余りは $c$

⇒剰余定理で $T = k \times \tau$

# 提案した剰余系TDCの回路図



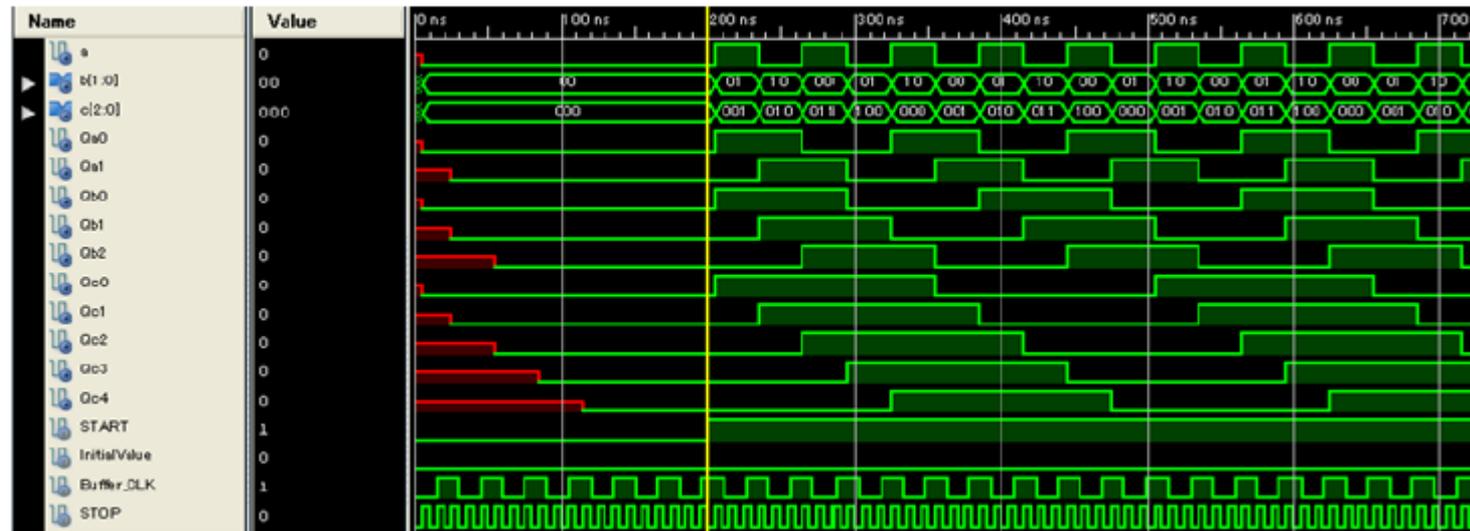
- ① START 信号がLにする時、Initial Value で三つのリング発振回路を初期化する。
- ② START 信号がL から H で三つのリング発振回路が発振を開始する。
- ③ STOP 信号がL から H のときの値がレジスタに取り込まれる。
- ④ 各レジスタの値から剰余定理を用いて経過時間Tを計算する。

a, b, c は各レジスタの値 (Qa0, Qa1, Qb0, Qb1, Qb2, Qc0, Qc1, Qc2, Qc3, Qc4) から得ることが可能である。

# RTL検証(1/2)

回路機能をHDLで記述し、ISimを使用し、  
下記条件でシミュレーションを行った:

- ・STOP クロック周波数 = 100MHz
- ・バッファ遅延 $\tau$  = 30.30ns
- ・START 信号がLからHに変化 = 200ns



タイミングチャート

# RTL検証(2/2)

(a, b, c)はエンコーダの出力。

kを剰余定理に基づいて  
(a, b, c)から求める。

発振から経過時間Tは  
STARTとSTOP の実際の時間差。

$$T = k \times 30.30(\text{ns})$$

(a, b, c)を得たら、  
STARTとSTOP の時間差が求まる。

提案回路で時間を測定可。

STOP 信号 の値(ns)	発振から 経過時間	a	b	c	計算 した k
200	0 x 30.30ns	0	00	000	0
230.30	1 x 30.30ns	1	01	001	1
260.60	2 x 30.30ns	0	10	010	2
290.90	3 x 30.30ns	1	00	011	3
321.20	4 x 30.30ns	0	01	100	4
351.50	5 x 30.30ns	1	10	000	5
381.80	6 x 30.30ns	0	00	001	6
412.10	7 x 30.30ns	1	01	010	7
442.40	8 x 30.30ns	0	10	011	8
472.70	9 x 30.30ns	1	00	100	9
503.00	10 x 30.30ns	0	01	000	10
533.30	11 x 30.30ns	1	10	001	11
563.60	12 x 30.30ns	0	00	010	12
593.90	13 x 30.30ns	1	01	011	13
624.20	14 x 30.30ns	0	10	100	14
654.50	15 x 30.30ns	1	00	000	15
684.80	16 x 30.30ns	0	01	001	16
715.10	17 x 30.30ns	1	10	010	17
745.40	18 x 30.30ns	0	00	011	18
775.70	19 x 30.30ns	1	01	100	19
806.00	20 x 30.30ns	0	10	000	20
836.30	21 x 30.30ns	1	00	001	21
866.60	22 x 30.30ns	0	01	010	22
896.90	23 x 30.30ns	1	10	011	23
927.20	24 x 30.30ns	0	00	100	24
957.50	25 x 30.30ns	1	01	000	25
987.80	26 x 30.30ns	0	10	001	26
1018.10	27 x 30.30ns	1	00	010	27
1048.40	28 x 30.30ns	0	01	011	28
1078.70	29 x 30.30ns	1	10	100	29

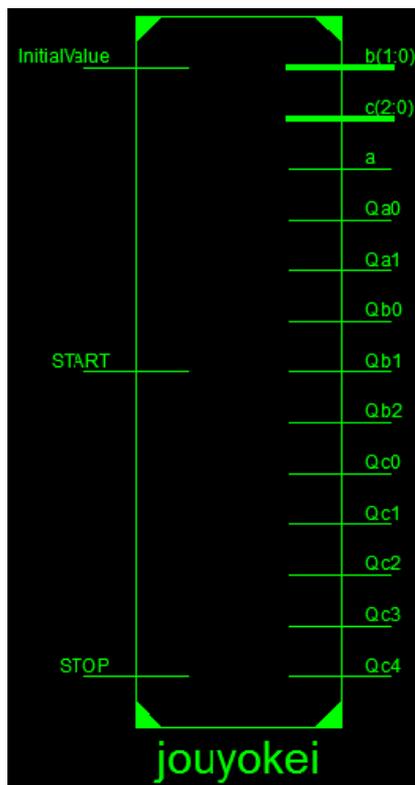
# FPGA実装(1/5)

STOPポートの入力: 100MHz FPGA クロック

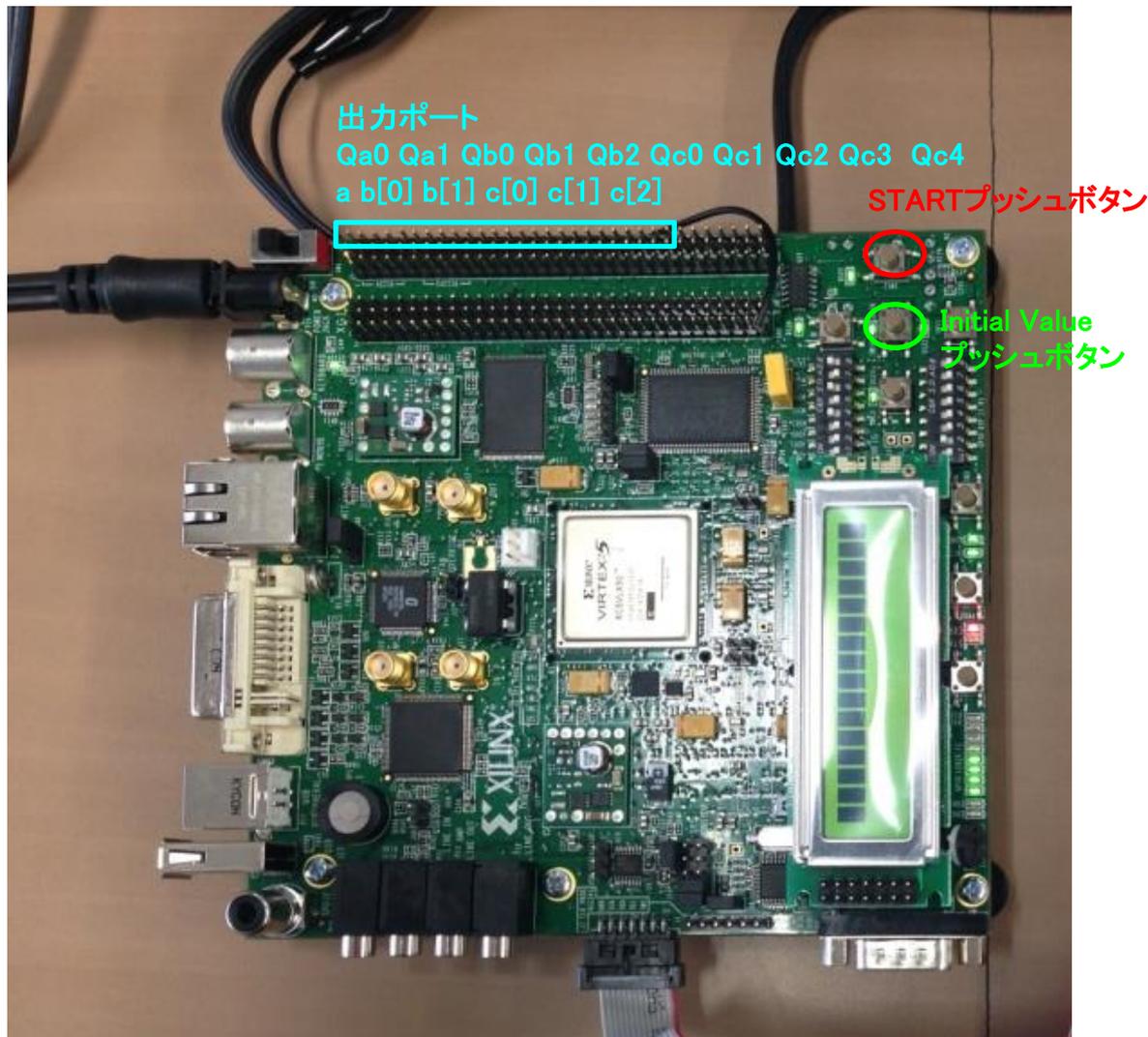
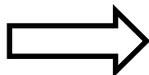
Buffer\_CLKポートの入力: 33MHz FPGA クロック(バッファの遅延  $\tau = 30.30\text{ns}$ )

入力ポート

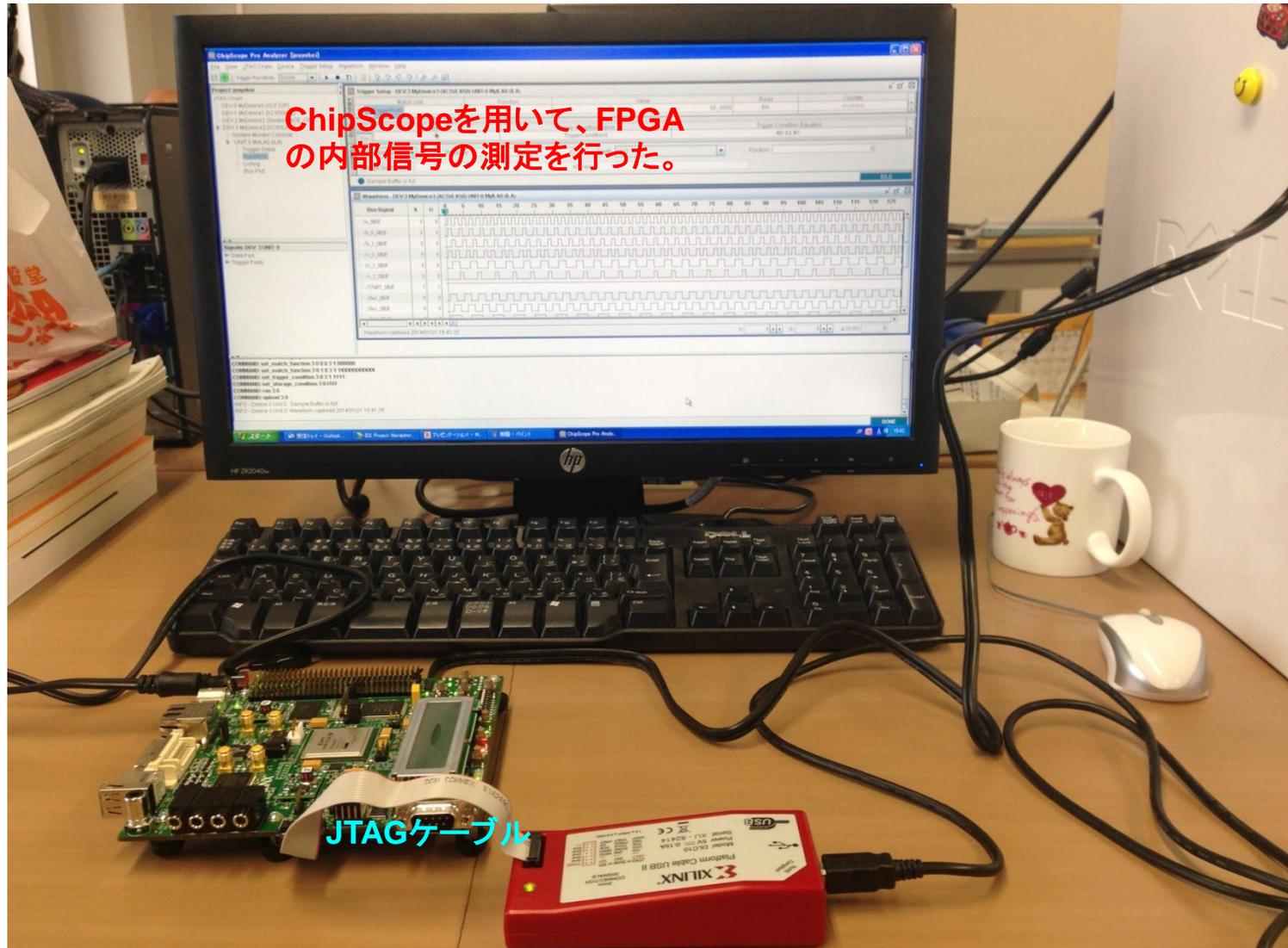
出力ポート



ピン配置制約



# FPGA実装(2/5)



# FPGA実装(3/5)

三つのTDC回路(遅延は2クロック周期、3クロック周期、5クロック周期)を利用し、START押しボタンを押してから経過時間Tの測定を行う。

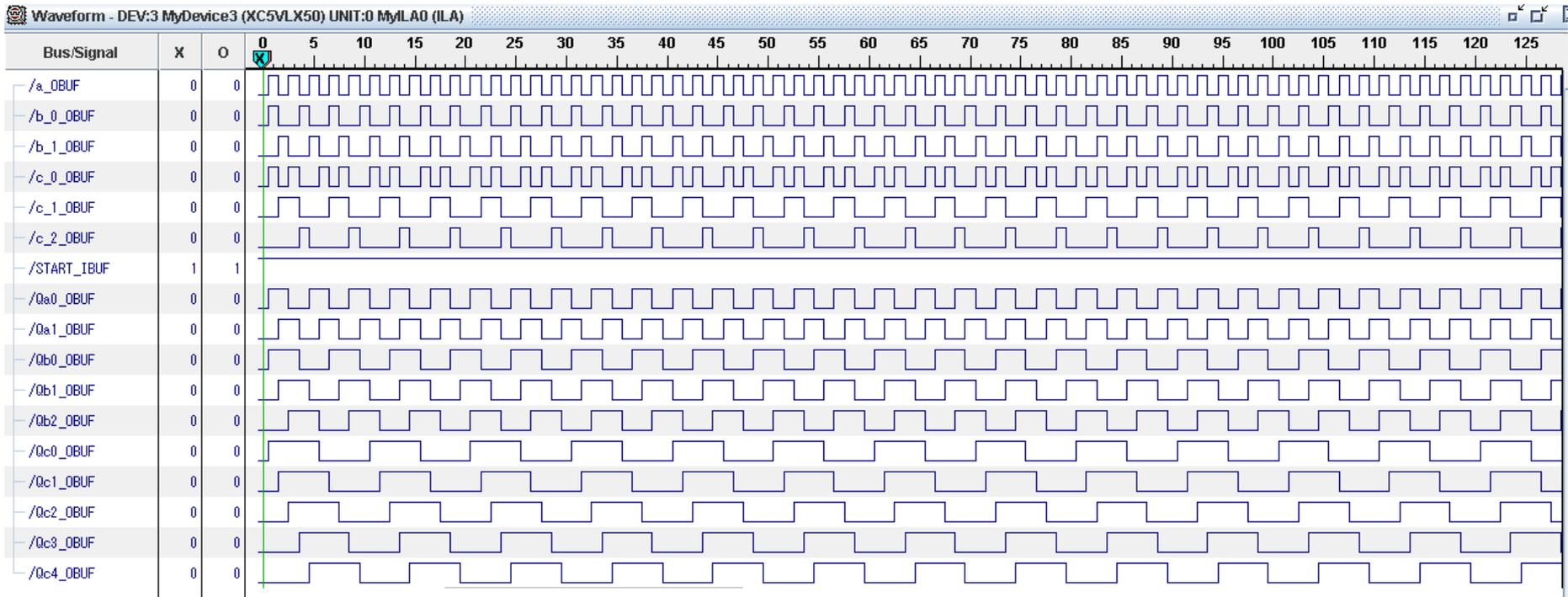
Tを2クロック周期で割った余りはa

Tを3クロック周期で割った余りはb

Tを5クロック周期で割った余りはc

⇒剰余定理で  $T = k \times \text{クロック周期}$

START押しボタンを押すと測定が開始。FPGAの入出力信号は下記。



# FPGA実装(4/5)

入出力信号データをASCII データに変換して解析し、右の結果を得た。

(a, b[0], b[1], c[0], c[1], c[2])はエンコーダの出力。

kは剰余定理に基づいて(a, b[0], b[1], c[0], c[1], c[2])から求める。

START プッシュボタンを押してから経過時間、すなわち

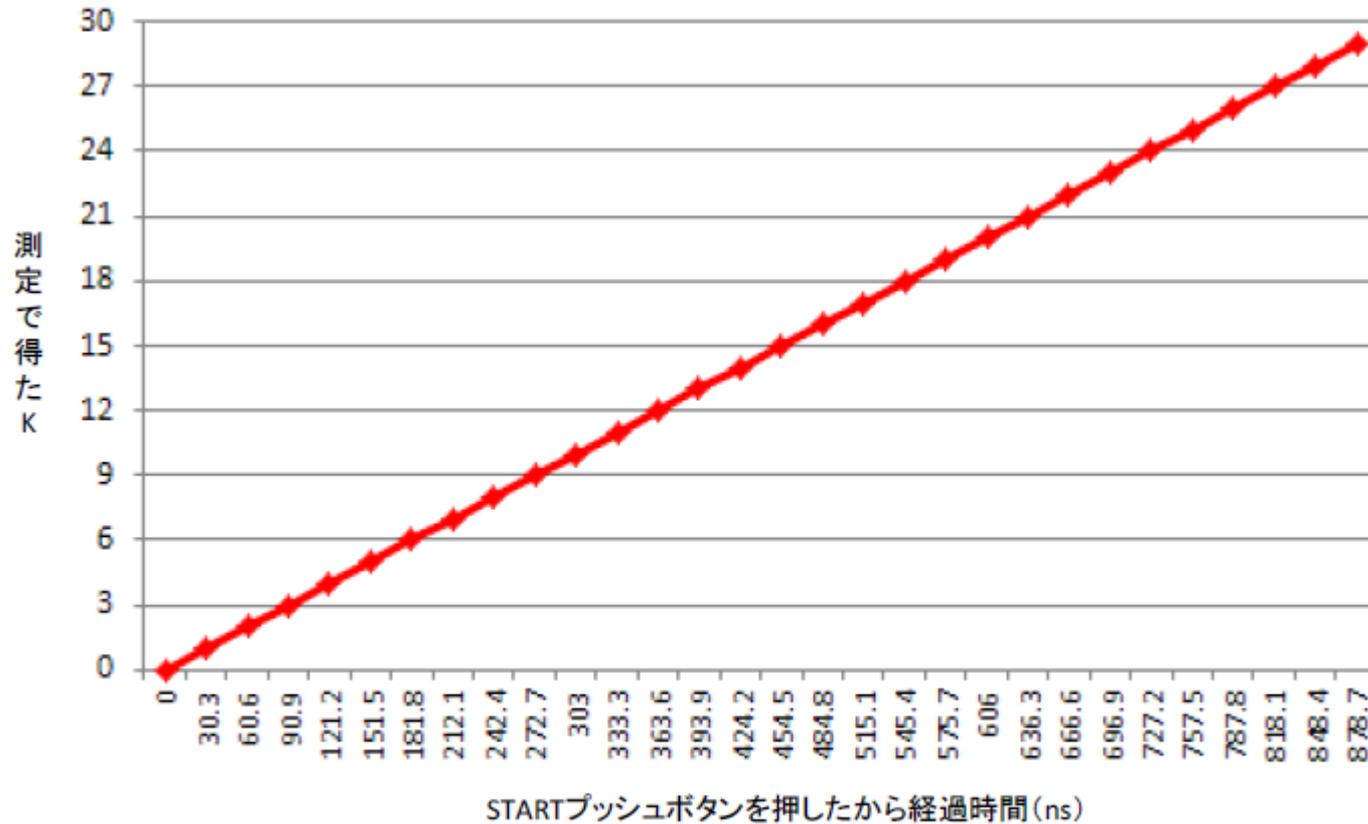
**START とSTOPの時間差**

$$= k \times \text{バッファ遅延}(30.30\text{ns})$$

Sample in Window	発振から経過時間 (ns)	a	b[0]	b[1]	c[0]	c[1]	c[2]	k
0	0.00	0	0	0	0	0	0	0
3	30.30	1	1	0	1	0	0	1
6	60.60	0	0	1	0	1	0	2
9	90.90	1	0	0	1	1	0	3
12	121.20	0	1	0	0	0	1	4
15	151.50	1	0	1	0	0	0	5
18	181.80	0	0	0	1	0	0	6
21	212.10	1	1	0	0	1	0	7
24	242.40	0	0	1	1	1	0	8
27	272.70	1	0	0	0	0	1	9
30	303.00	0	1	0	0	0	0	10
33	333.30	1	0	1	1	0	0	11
36	363.60	0	0	0	0	1	0	12
39	393.90	1	1	0	1	1	0	13
42	424.20	0	0	1	0	0	1	14
45	454.50	1	0	0	0	0	0	15
48	484.80	0	1	0	1	0	0	16
51	515.10	1	0	1	0	1	0	17
54	545.40	0	0	0	1	1	0	18
57	575.70	1	1	0	0	0	1	19
60	606.00	0	0	1	0	0	0	20
63	636.30	1	0	0	1	0	0	21
66	666.60	0	1	0	0	1	0	22
69	696.90	1	0	1	1	1	0	23
72	727.20	0	0	0	0	0	1	24
75	757.50	1	1	0	0	0	0	25
78	787.80	0	0	1	1	0	0	26
81	818.10	1	0	0	0	1	0	27
84	848.40	0	1	0	1	1	0	28
87	878.70	1	0	1	0	0	1	29

# FPGA実装(5/5)

剰余系TDC回路はFPGAで実現できることが示された。



経過時間 VS. 測定で得た k

# まとめと今後の課題

- 提案剰余系TDC回路は時間測定が可能であることを確認し、FPGA で実現できることを示した。
- バッファの個数とリング発振回路の個数を増減すると、提案TDC 回路は他の剰余数系にも適用できる。  
他の剰余数系のTDC 回路もFPGA で実現可能である。
- 提案TDC回路で、使用した遅延バッファとフリップフロップの数は10 個。  
同等性能フラッシュ型TDC 回路では、29 個である。  
剰余系を利用したTDC 回路は、回路面積、消費電力が低減できる。
- 今後の課題：
  - 三つのチャネルTDC 間の特性ばらつきの影響の検討
    - 大きな誤差を生じる可能性があるかどうか、
    - 冗長構成で対応可能かどうか