

タイミング測定用回路の デジタル自己校正と**FPGA**実現

王俊善* 加藤健太郎 李从兵 李恩思
小林佑太郎 中條剛志 平林大樹 小林春夫
(群馬大学) (鶴岡工業高等専門学校)

Supported by STARC

アウトライン

研究背景

研究目的

時間ディジタイザ回路(TDC)

自己校正アルゴリズム

実験

まとめ

研究の背景

◆ プロセスの微細化

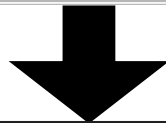
高速動作

耐圧低下 (Vdd→小)

ドレイン抵抗→小

従来の電圧分解能型アナログ回路

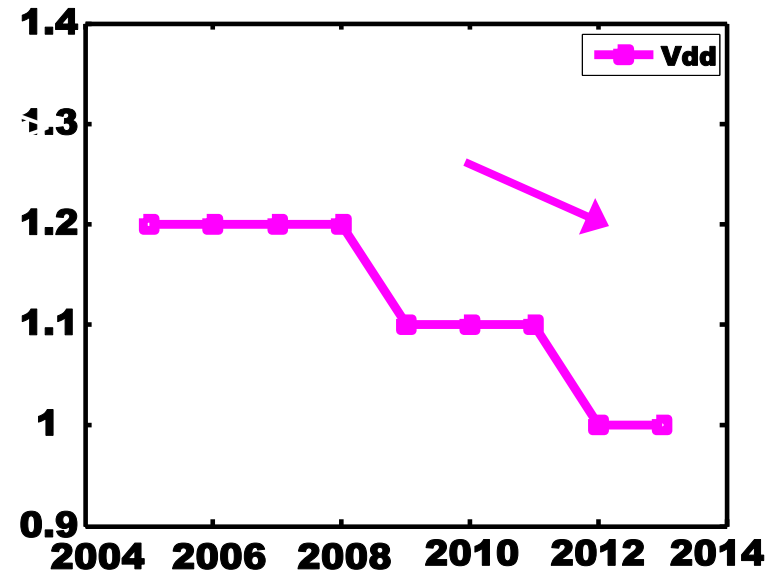
- ・利得が低下
- ・素子バラつきが増大
- ・低電圧化によりS/Nが劣化



時間分解能型アナログ回路の開発が重要

時間ディジタイザ回路(TDC)は時間分解能型アナログ回路のキーコンポーネント

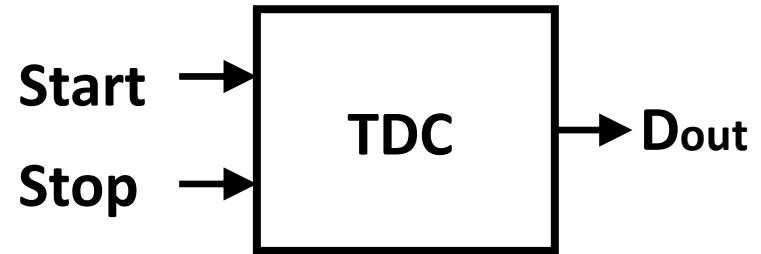
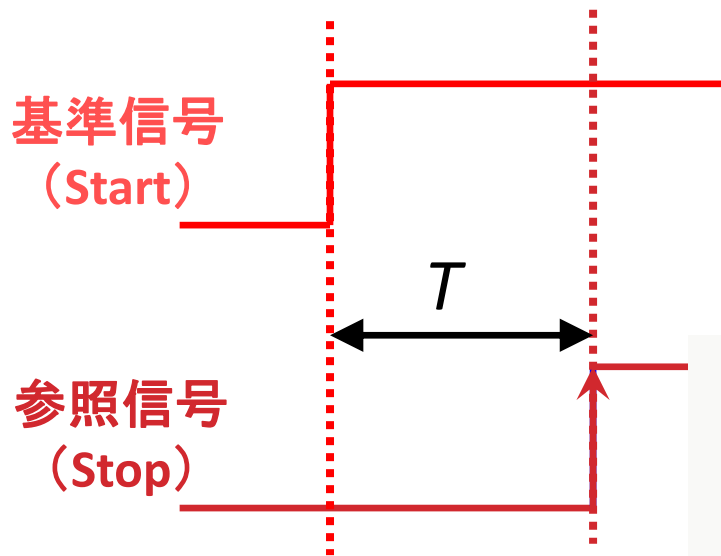
Technology roadmap



時間ディジタイザ回路 (TDC)

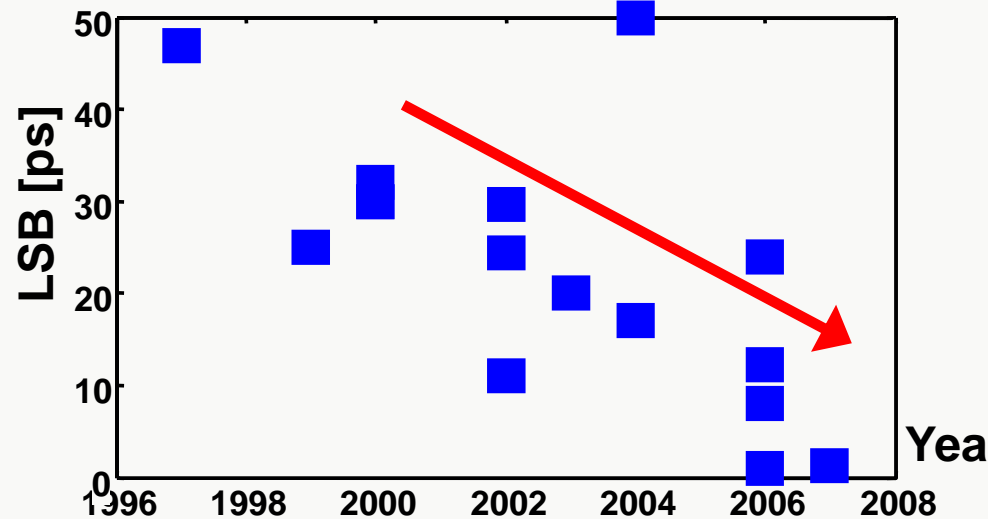
(Time-to-Digital Converter: TDC)

- 時間間隔 → 計測 → デジタル値



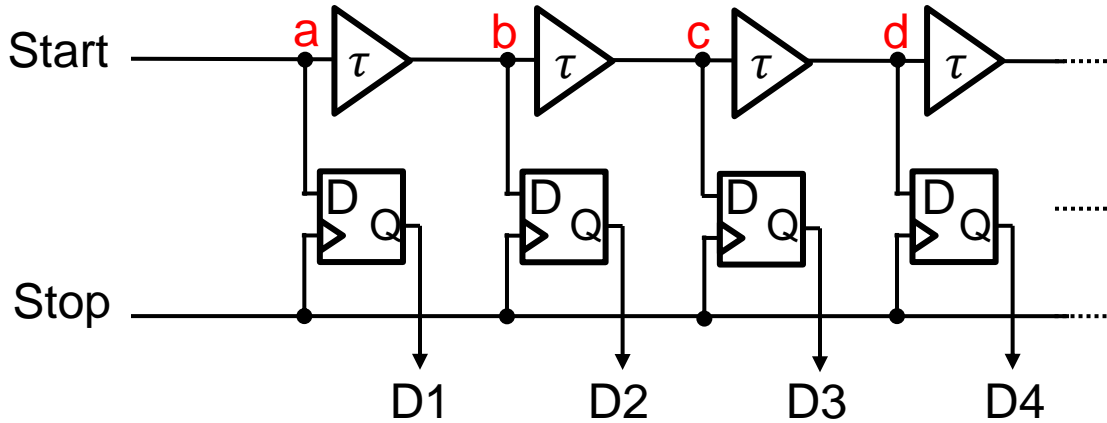
微細化とともに高分解能化

- 時間領域アナログ回路のキーコンポーネント
- 微細化とともに高時間分解能化



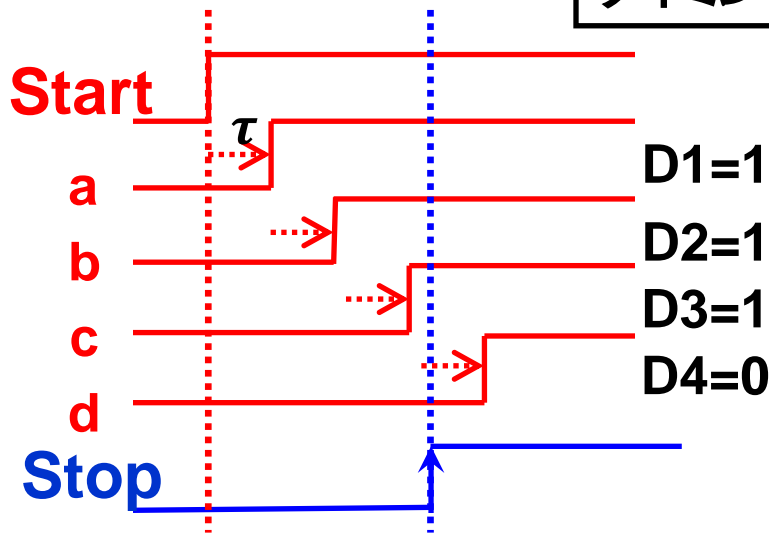
基本フラッシュ型 TDC

■ 時間間隔 → 計測 → デジタル値

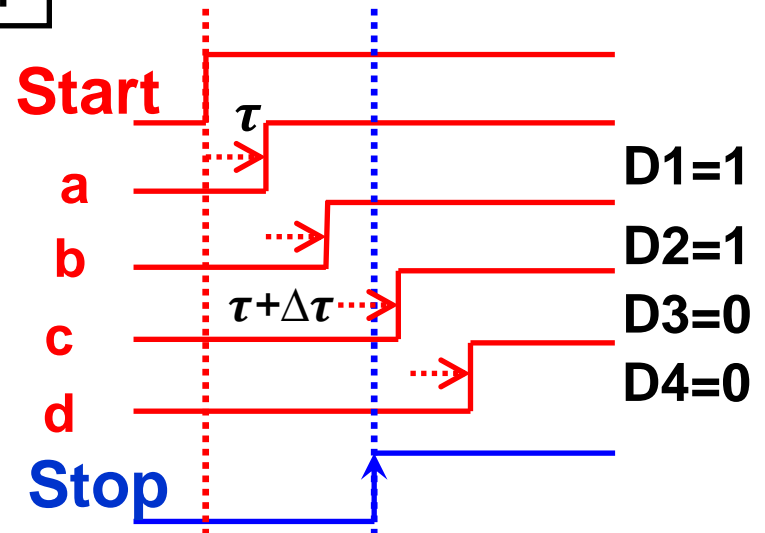


全てデジタル回路で実現
CMOS微細化とともに高性能

タイミングチャート



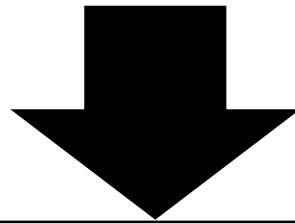
(a) ばらつきなし



(b) ばらつきあり(遅延量増加)

研究目的

- 時間デジタイザ回路はCMOS微細化に伴い細かい時間分解能を実現できる
⇒ 線形性に問題



- ◆ リング発振回路構成
- ◆ FPGAを用いた自己校正技術による線形性の改善を目指す

研究目的

FPGA「Field Programmable Gate Array」

デザイン フロー

利得:

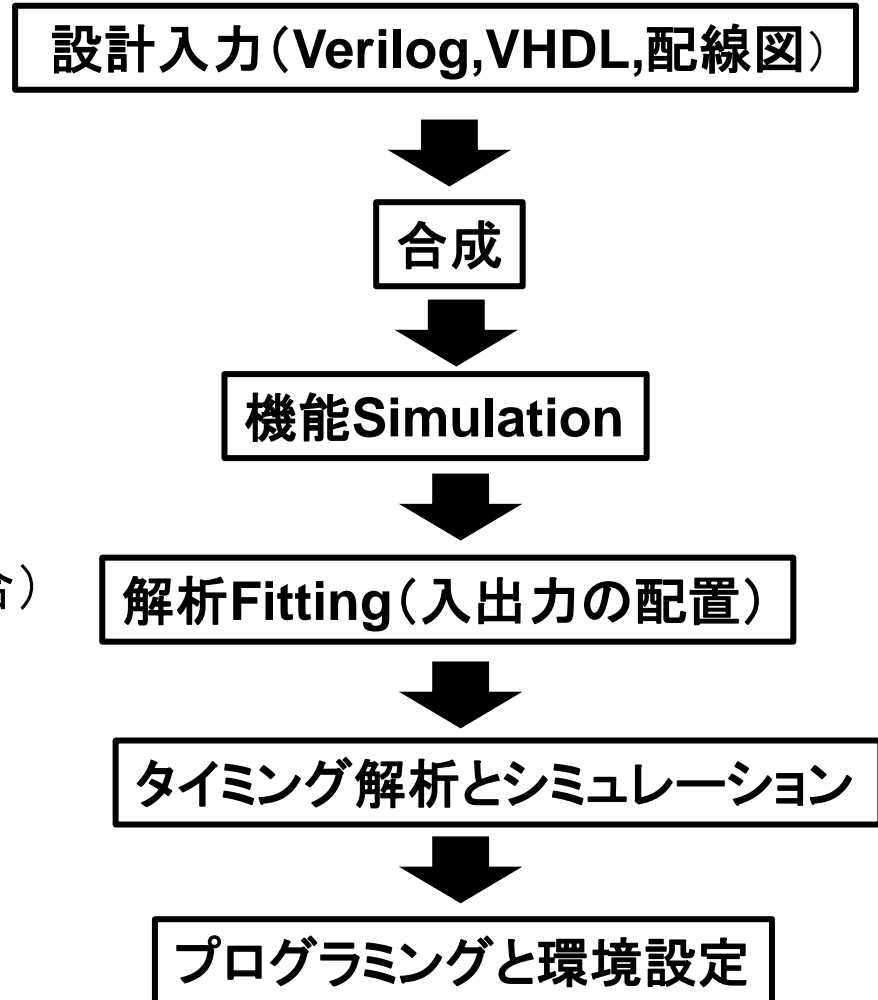
プログラミングだけで合成できる
(リスクとコスト減少)

全部デジタル回路から構成

短い遅延量を測定できる(百ps)
(Cyclone III スタータ開発キットの場合)

分周や逡倍が可能

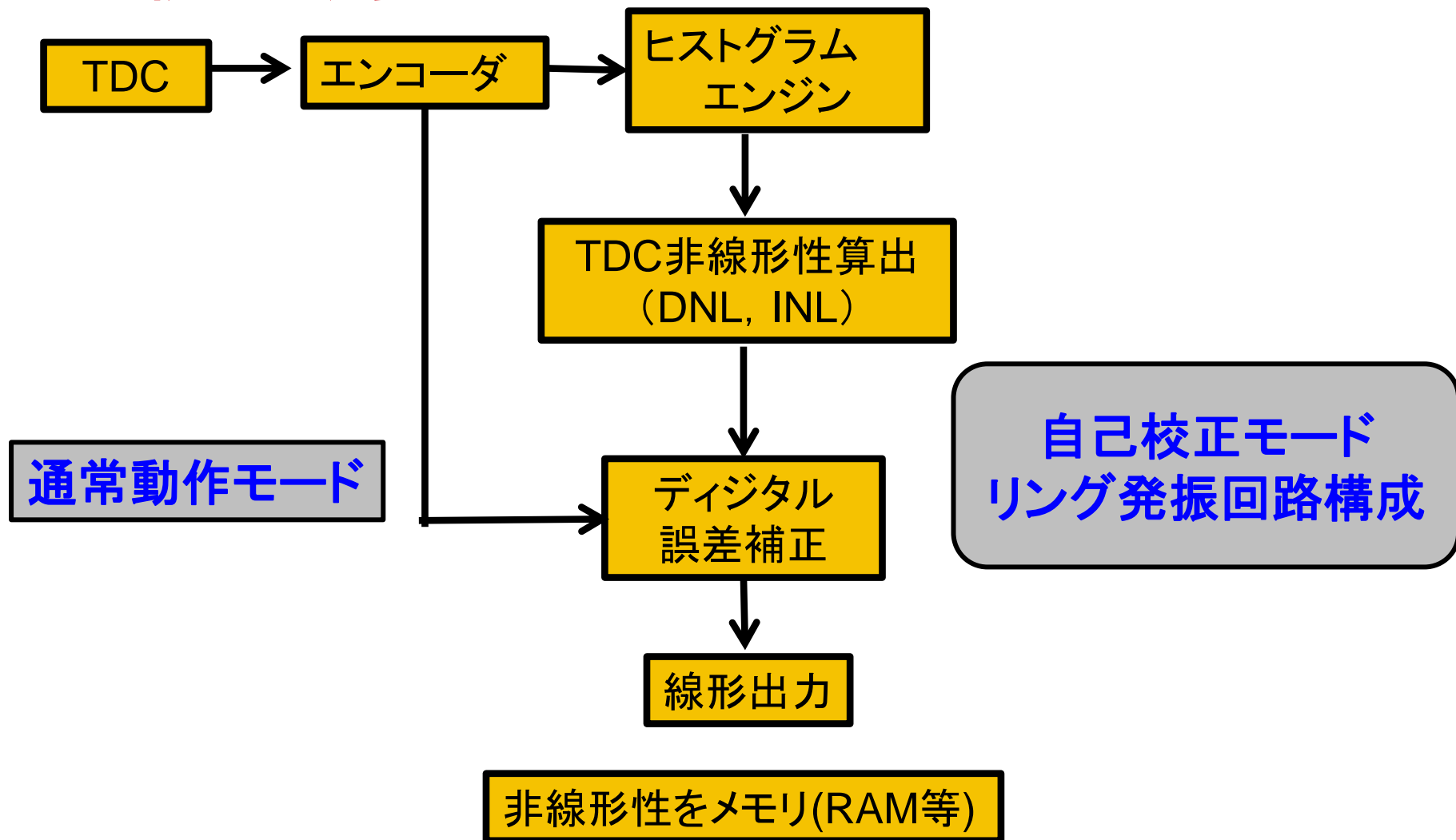
再アップグレードも可能



自己校正アルゴリズム

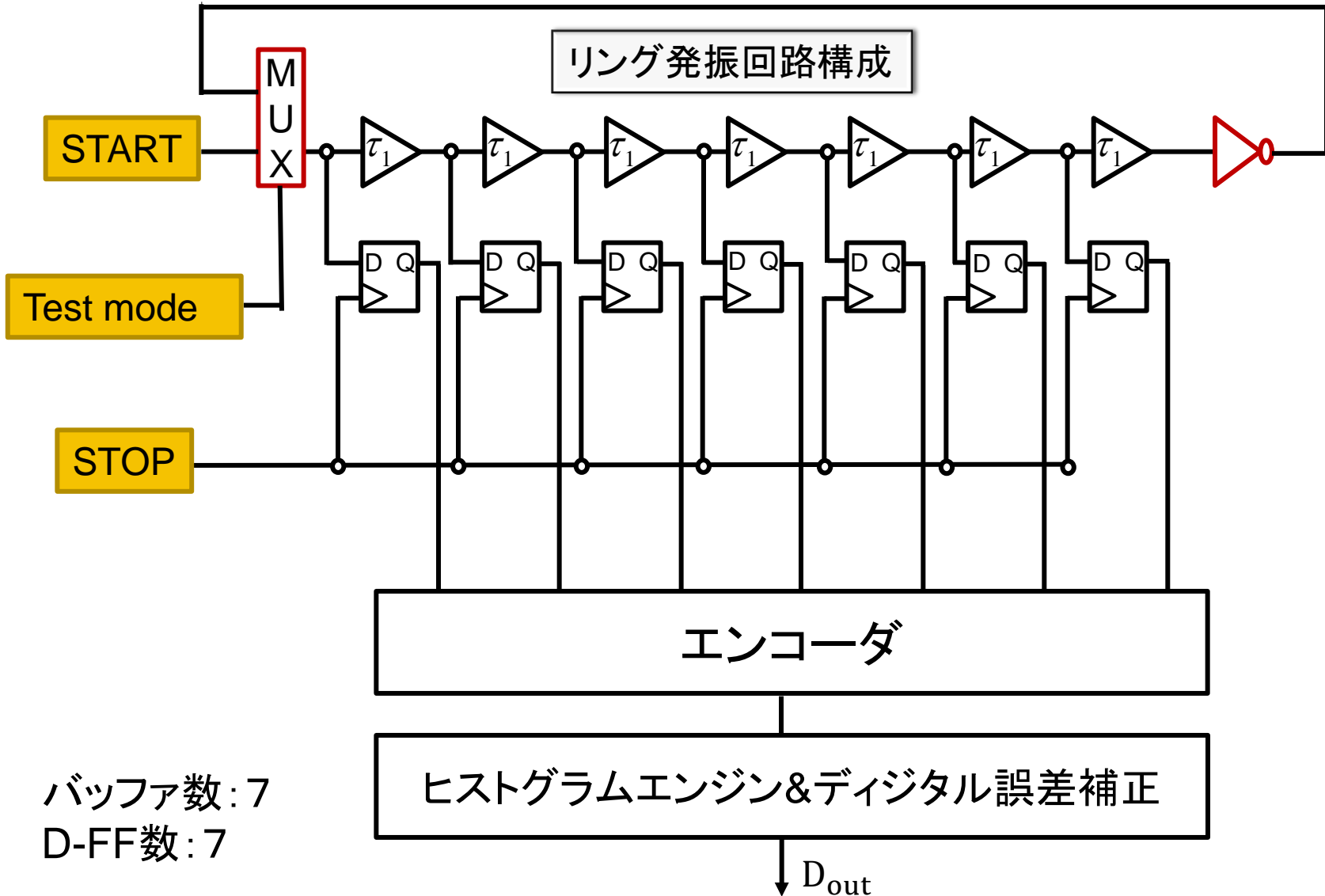
自己校正概要

全てデジタル回路で実現

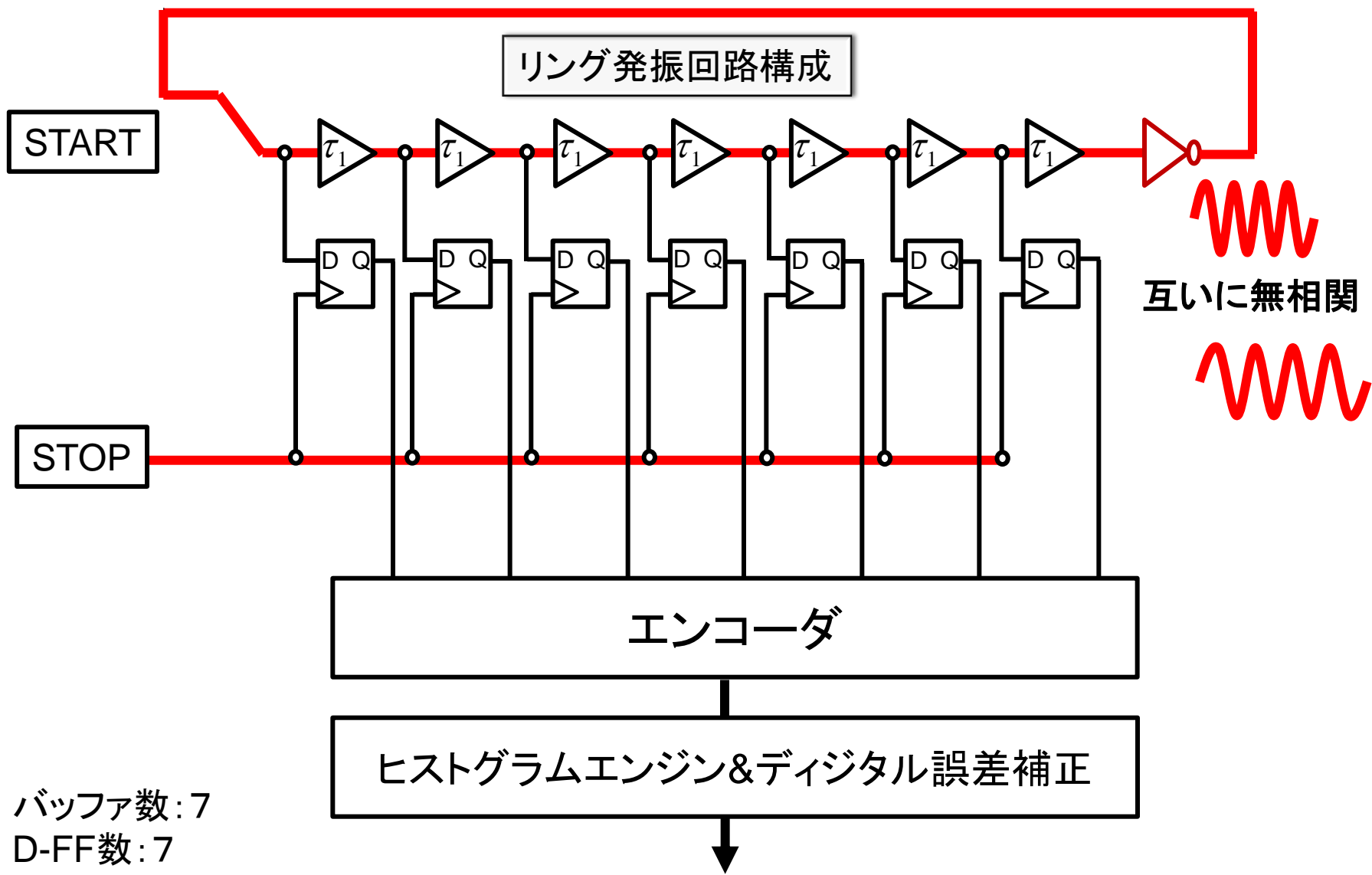


DNL: Differential Nonlinearity
INL : Integral Nonlinearity

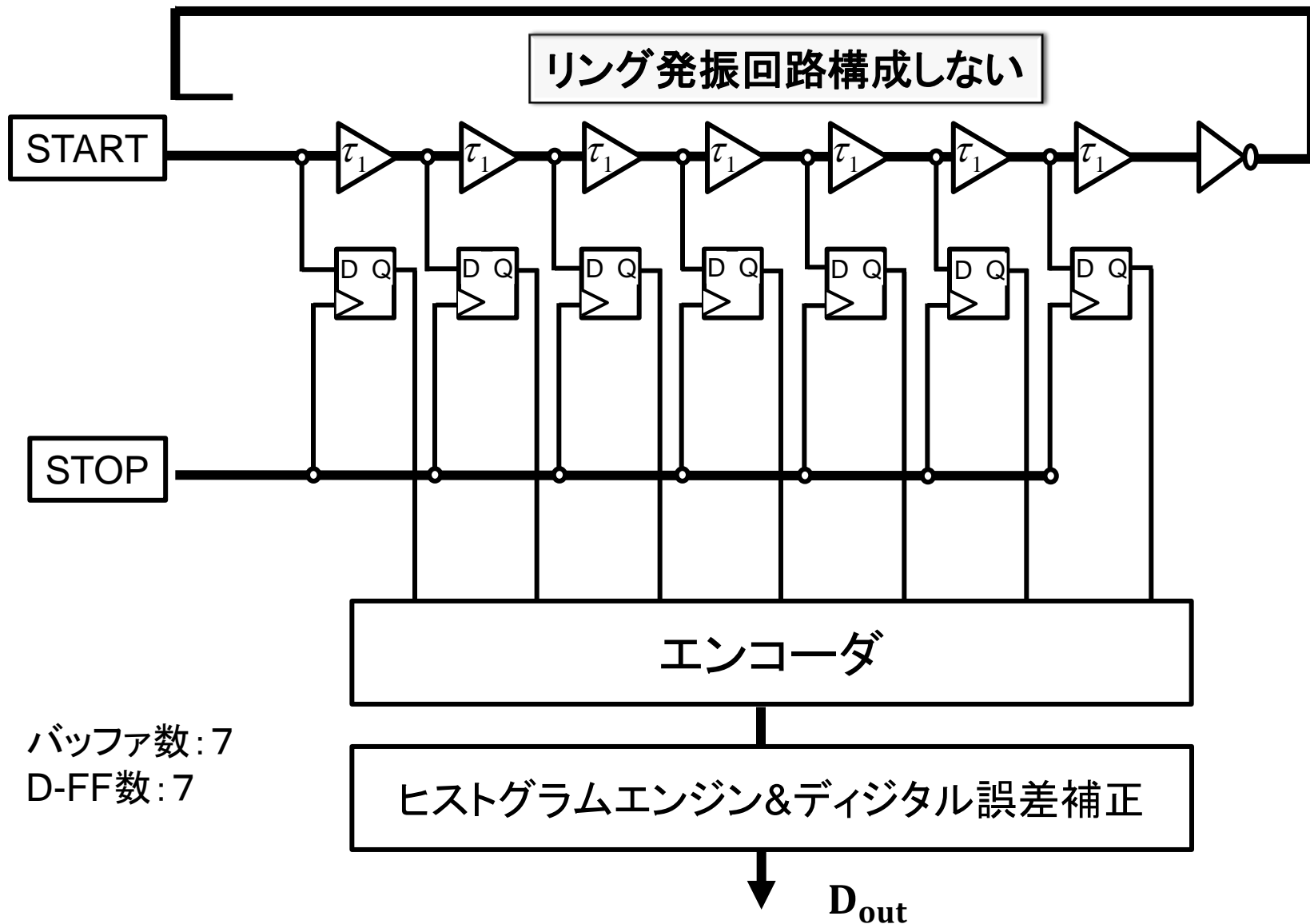
自己校正機能を備えたTDC回路



自己校正モード



通常動作モード



自己校正アルゴリズム

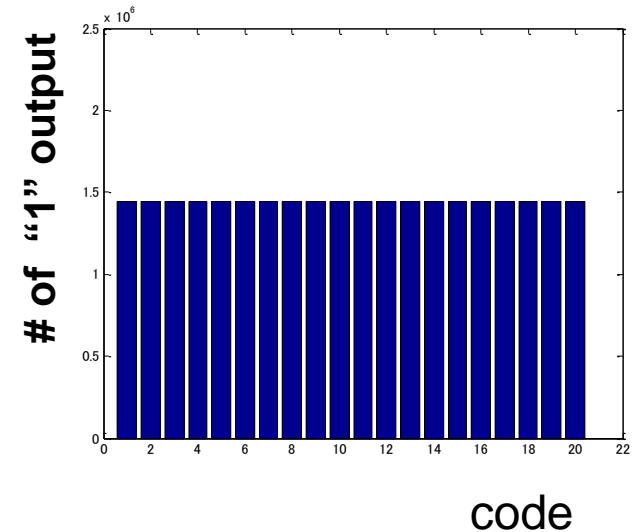
自己校正モード

TDCが完全に線形

各出現コードの確率が等しい

- ・ 充分多くの点数をとれば各デジタルコードのヒストグラムは同一になる
- ・ TDCのヒストグラムデータからDNL, INL を計算

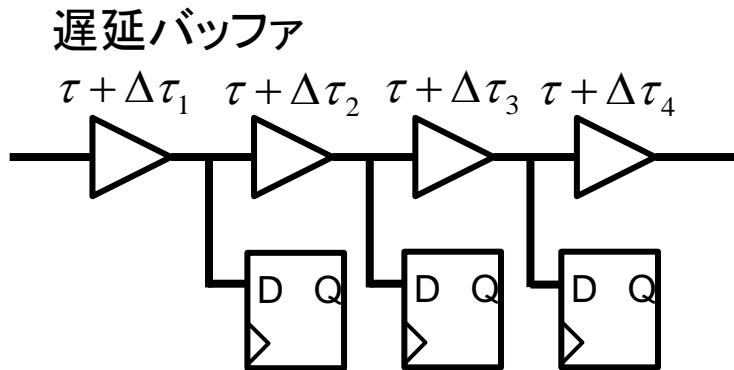
ヒストグラム



DNL: Differential Non-Linearity 微分非直線性
INL: Integral Non-Linearity 積分非直線性

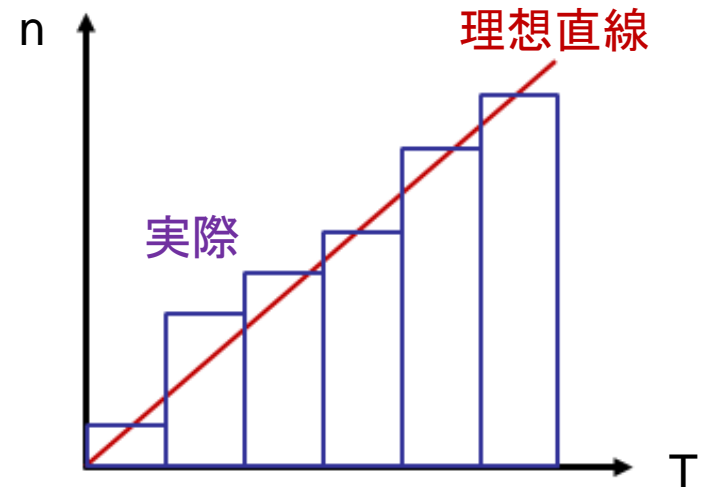
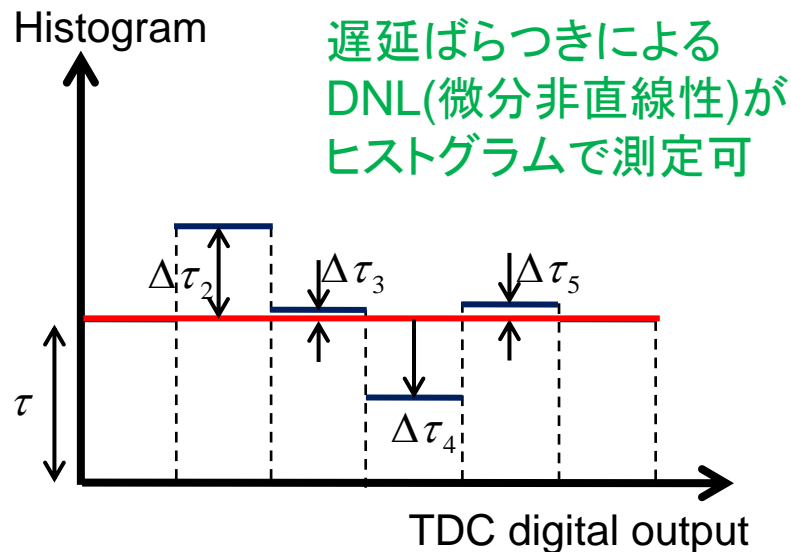
自己校正アルゴリズム

非線形TDC



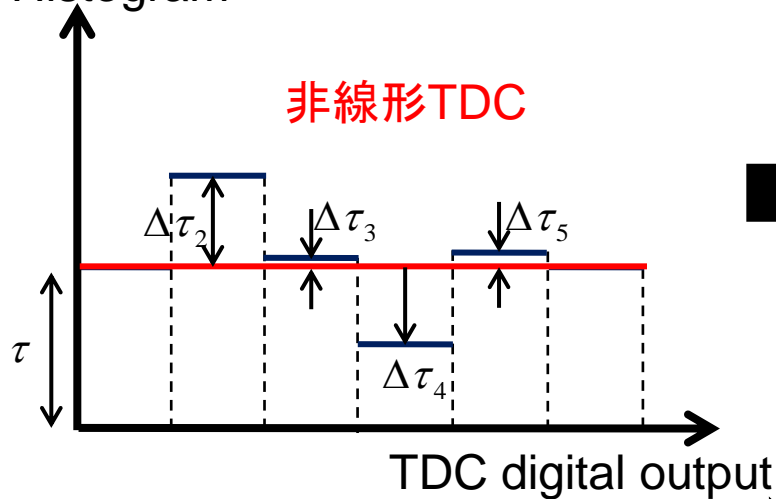
- ADCヒストグラムテスト:
高純度なランプ波、正弦波が必要
- TDCヒストグラムテスト:
リング発振構成でよい
⇒ 容易にDNL測定が可能

INL(積分非直線性)は
DNLの積算から得られる

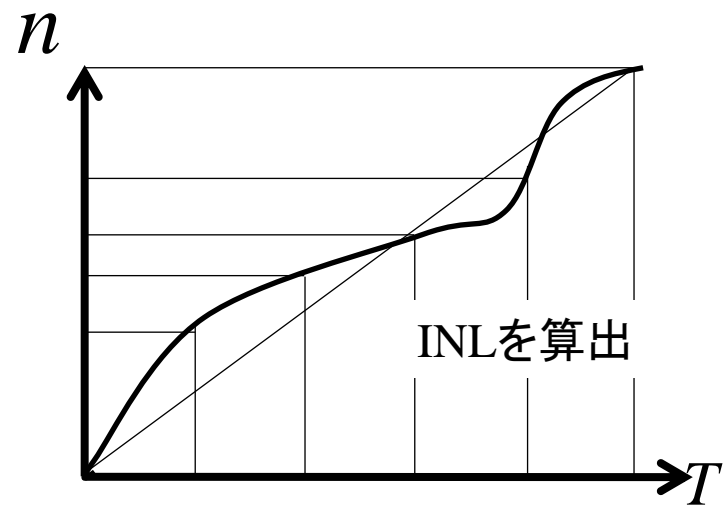


自己校正の手順

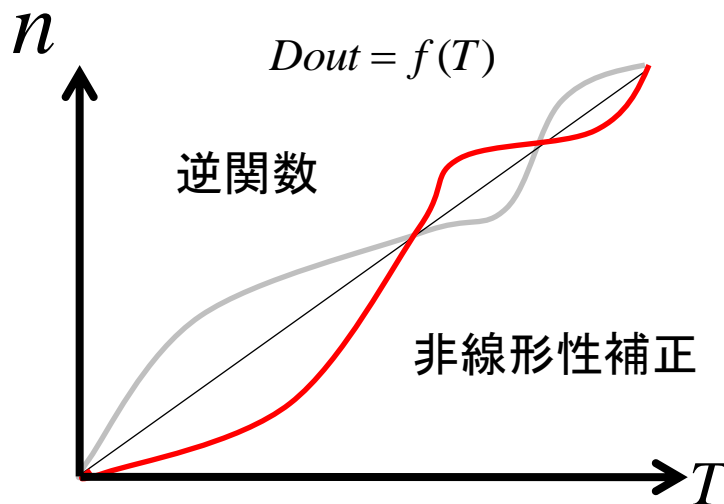
① Histogram



②



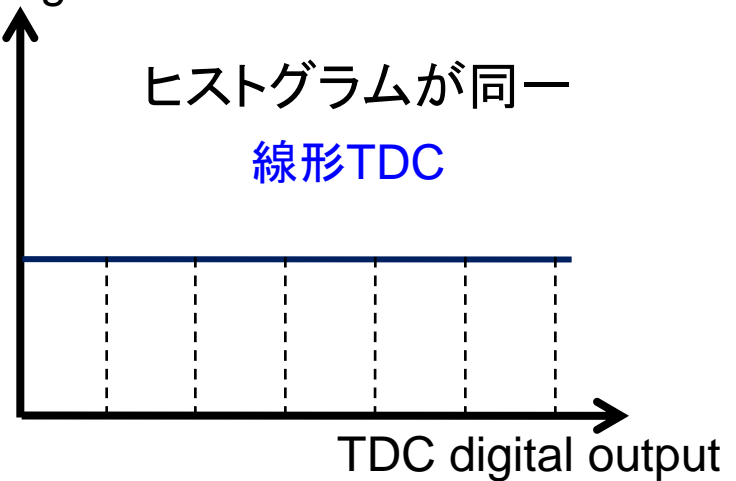
③



④

Histogram

ヒストグラムが同一
線形TDC



出力校正方法

- 遅延量の相対比を利用して出力校正

$$\frac{\text{下位から指定ビットまでの測定回数合計}}{\text{全測定回数合計}} \left(= \frac{\text{指定ビットまでの遅延量}}{\text{全遅延量}} \right)$$

比率を算出、フルスケールを掛けて出力値へ

出力校正の式

- $$\text{Dout}(N) = \frac{\sum_{i=1}^N \text{Pin}(i)}{\sum_{i=1}^{\text{FS}} \text{Pin}(i)} \times \text{FS}$$

N: 校正する **bit**

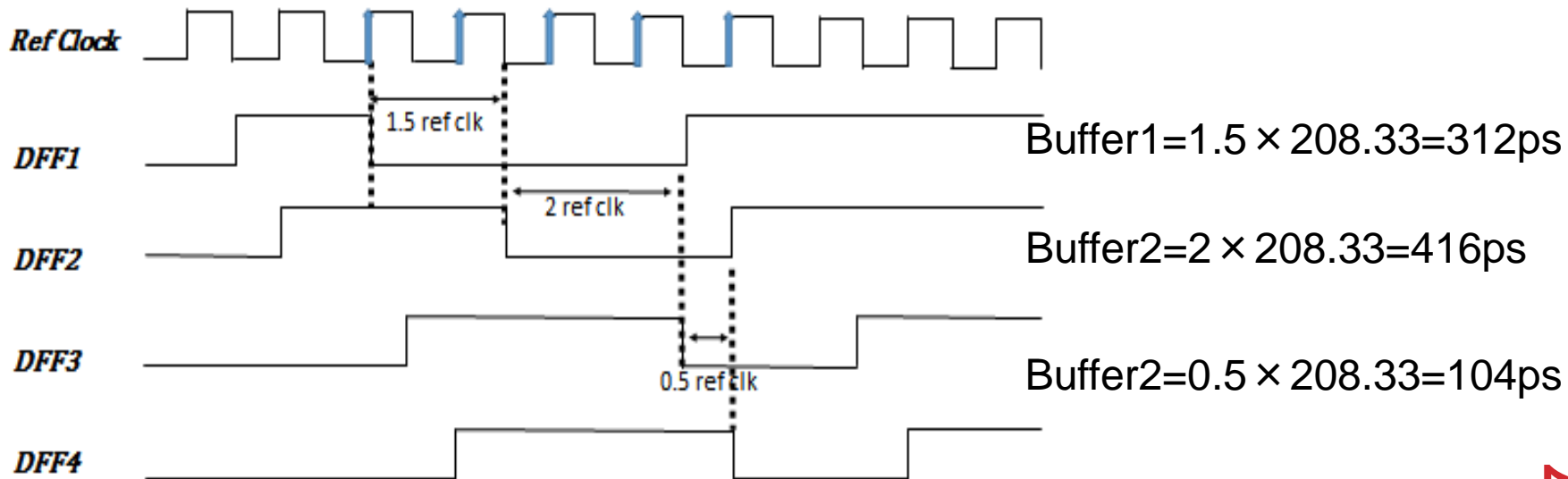
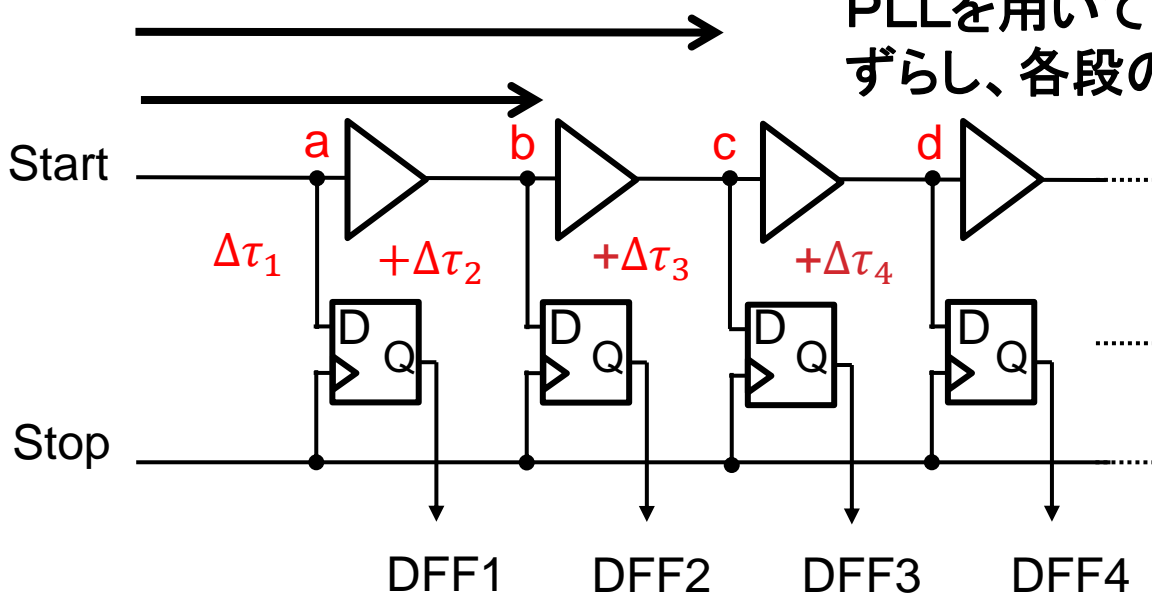
Dout(N): **N**番目 **bit**の校正後出力値

Pin(i): **i**番目遅延素子測定回数

FS: 出力最大デジタル値

通常動作モード

PLLを用いて、入力周波数を**208.33ps**ずらし、各段のバッファ遅延を測定する



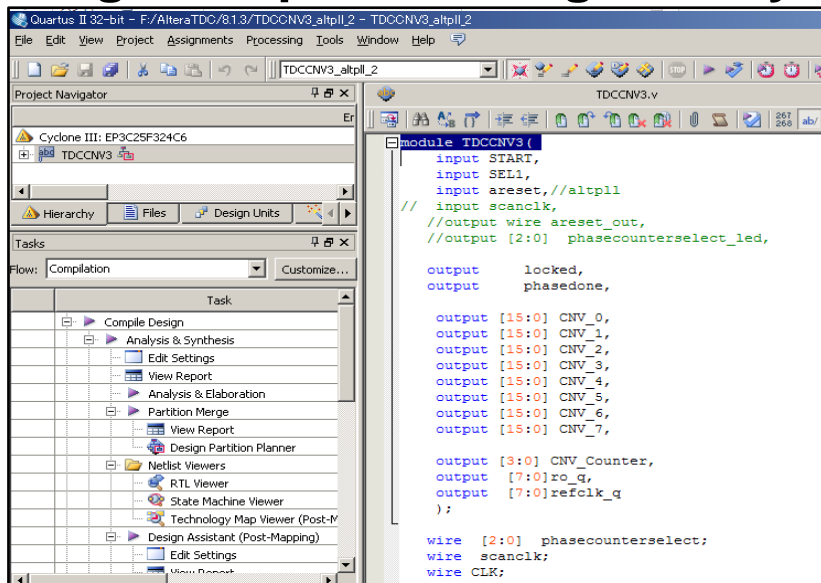
実験

実験環境

Quartus II ウェブエディション 13.1

FPGAボード Cyclone III FPGA スタータ開発キット(Cyclone III)

Signal Tap II Pro Logic Analyzer 13.1



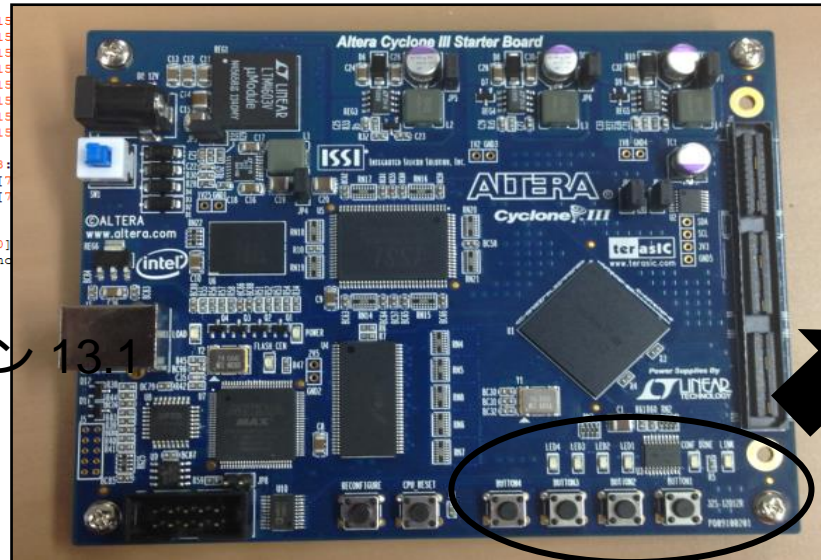
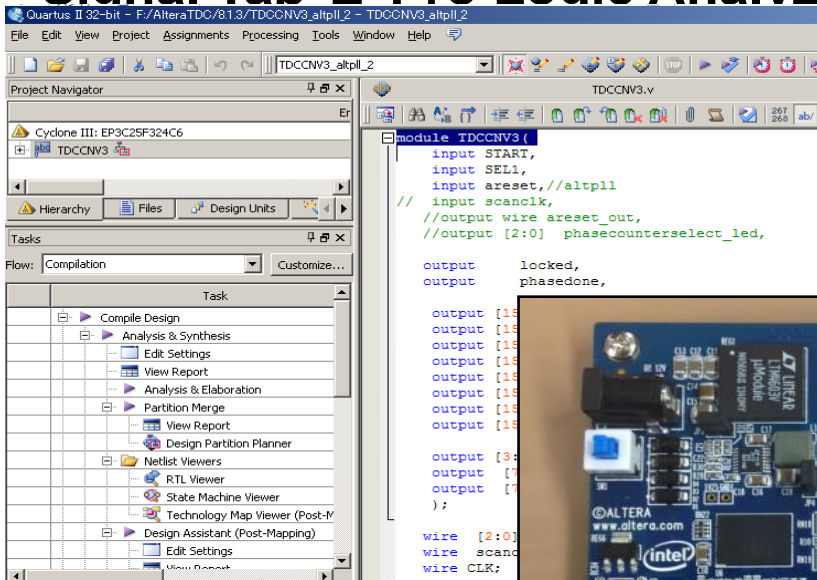
Quartus II ウェブエディション 13.1

実験環境

Quartus II ウェブエディション 13.1

FPGAボード Cyclone III FPGA スタータ開発キット(Cyclone III)

Signal Tap II Pro Logic Analyzer 13.1



入力ボタン4個
LED 4個

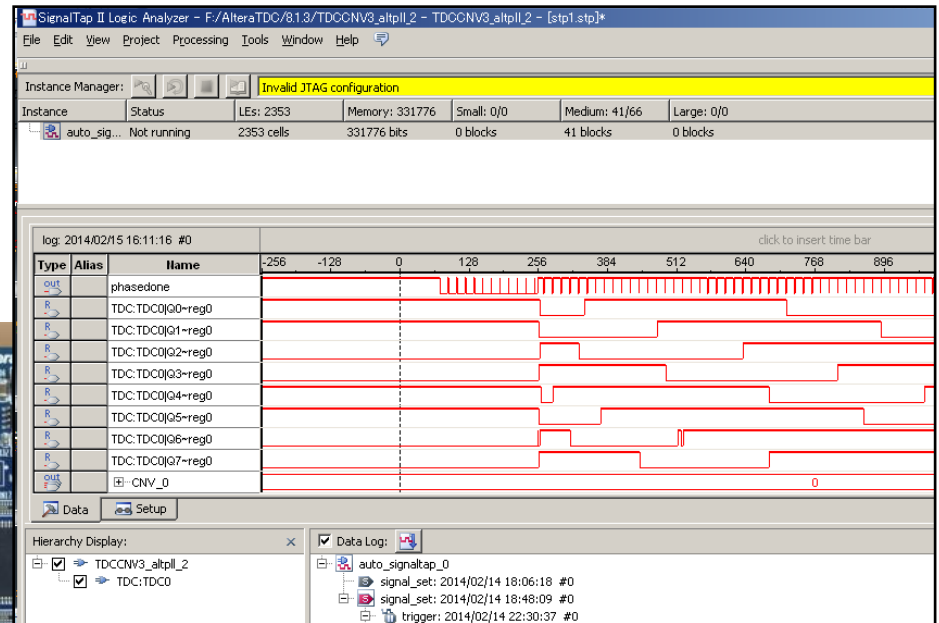
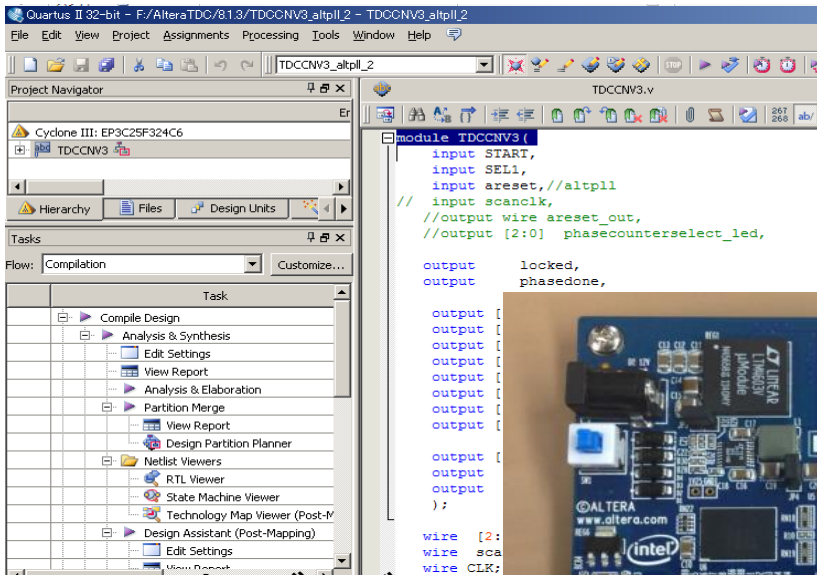
Cyclone III FPGA スタータ開発キット

実験環境

Quartus II ウェブエディション 13.1

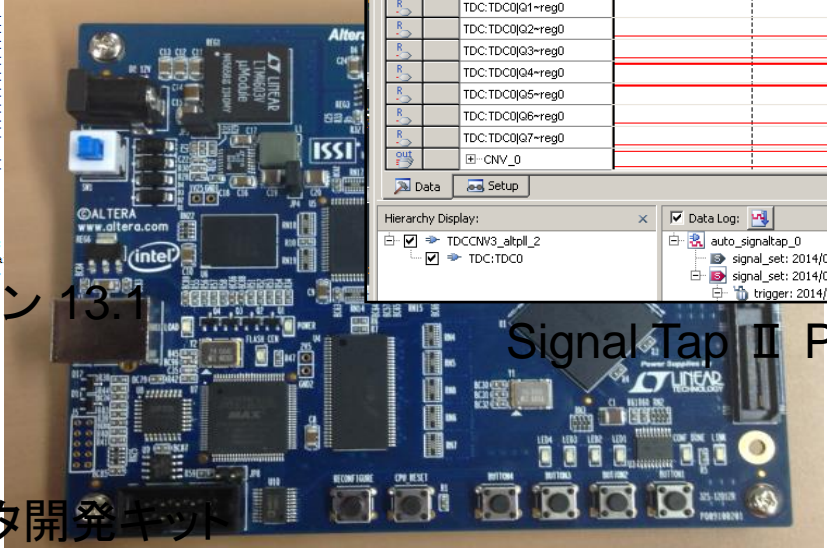
FPGAボード Cyclone III FPGA スタータ開発キット(Cyclone III)

Signal Tap II Pro Logic Analyzer 13.1



Quartus II ウェブエディション 13.1

Signal Tap II Pro Logic Analyzer 13.1



Cyclone III FPGA スタータ開発キット

実験回路 の目的

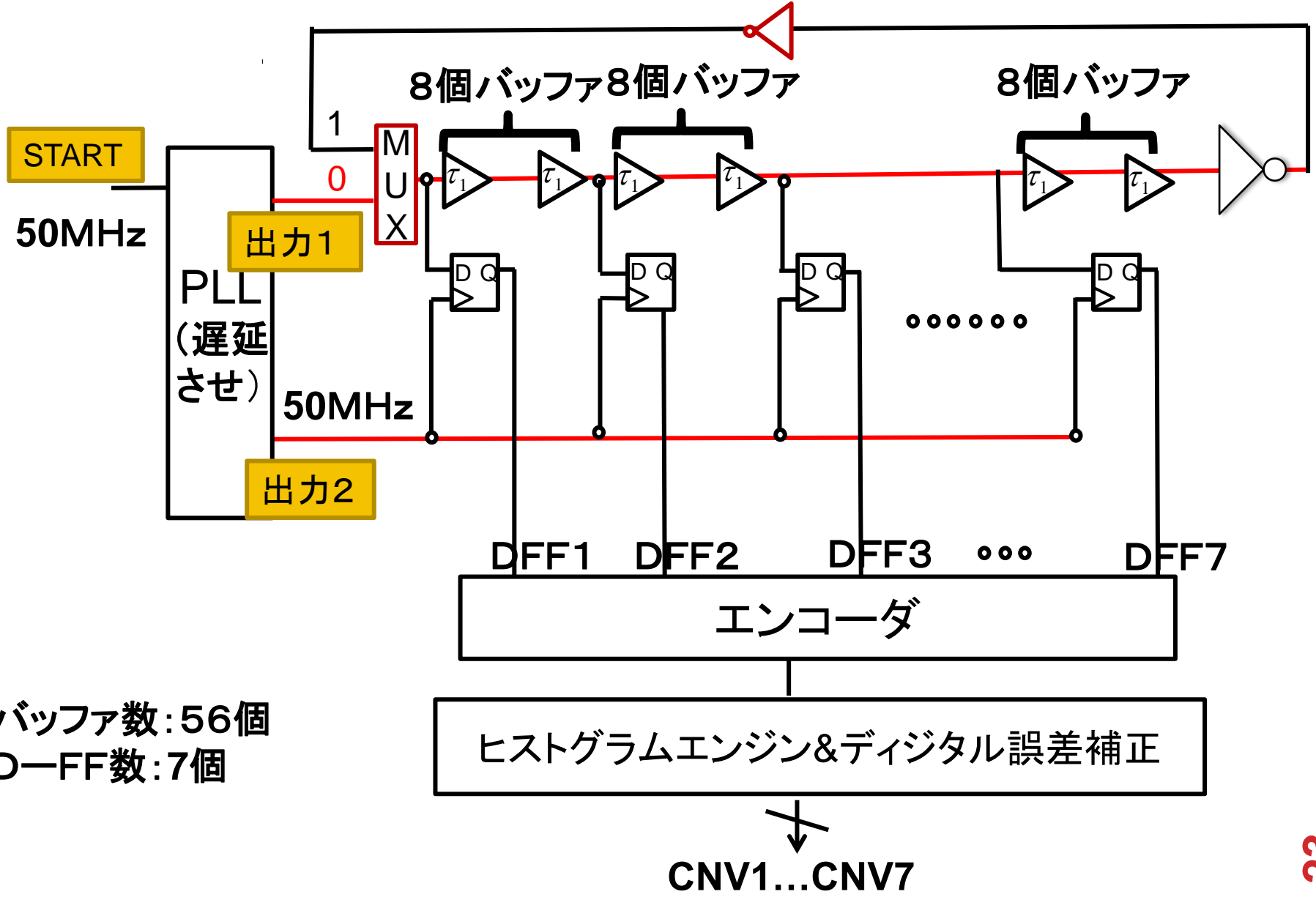
自己校正フラッシュ型TDCを作成し、従型のフラッシュ型TDCと比べ、線形性を修正することを確認する

遅延量とヒストグラムを測定し、互い関連性を見つかる

最後に、自己校正と校正評価(INL)を行う

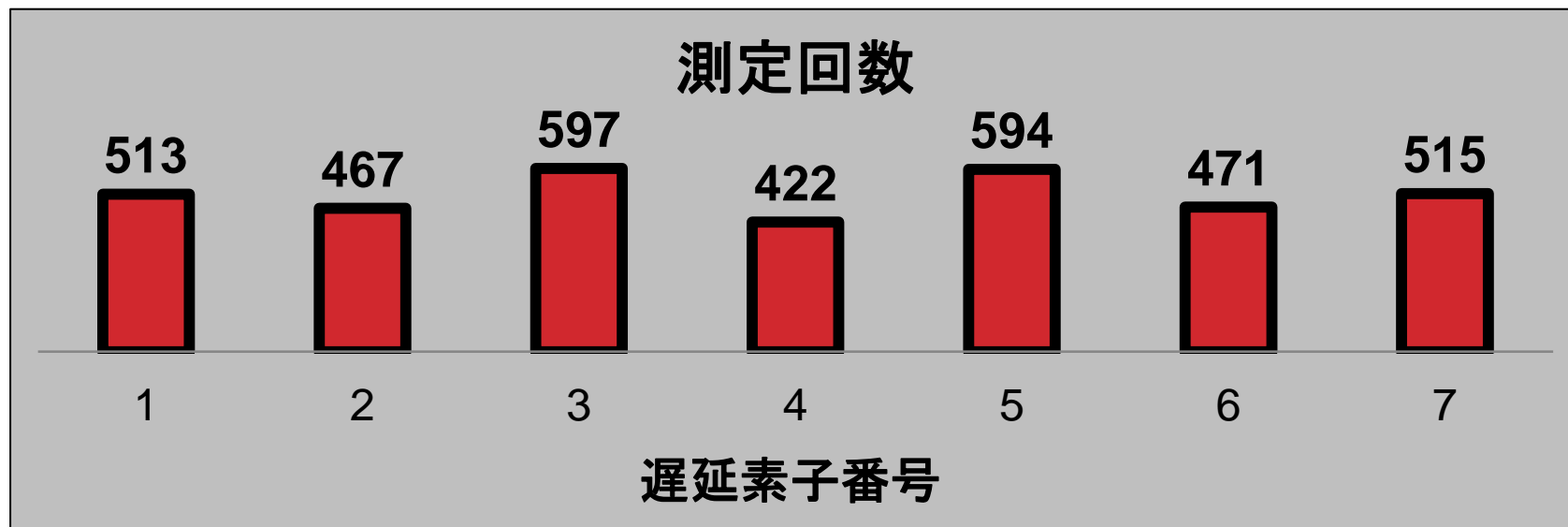
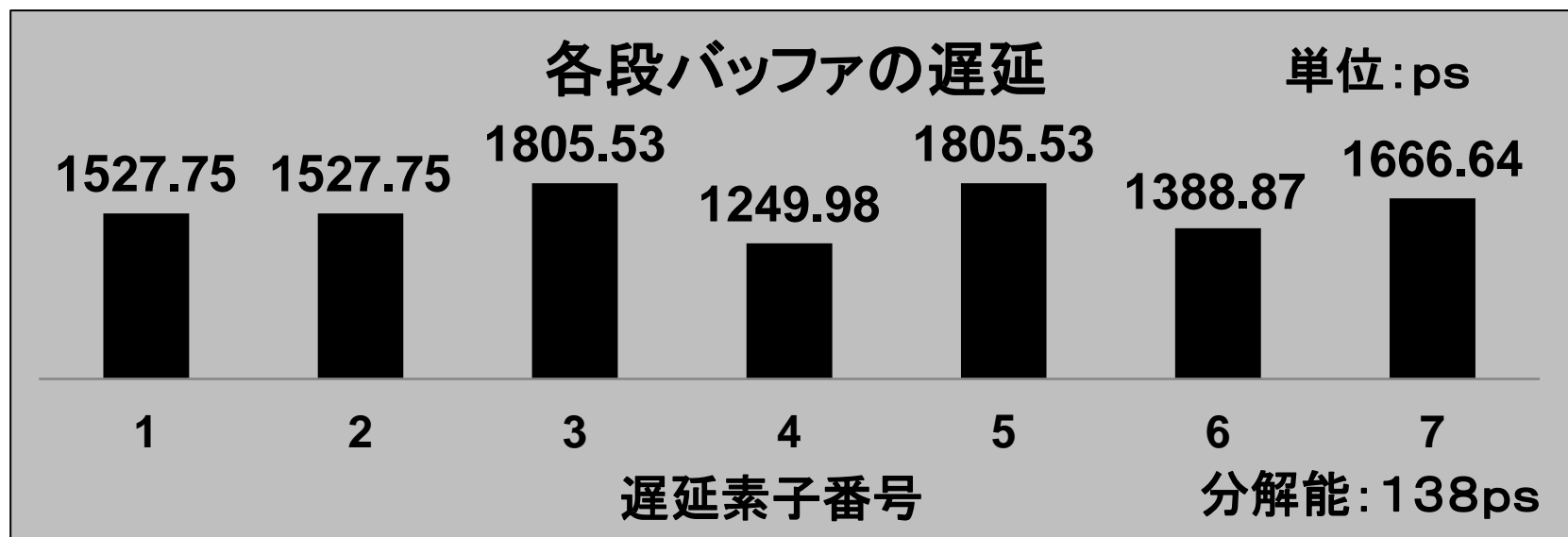
実験回路

出力1=START
STARTに対して、出力2の周期は208.33psずらしている

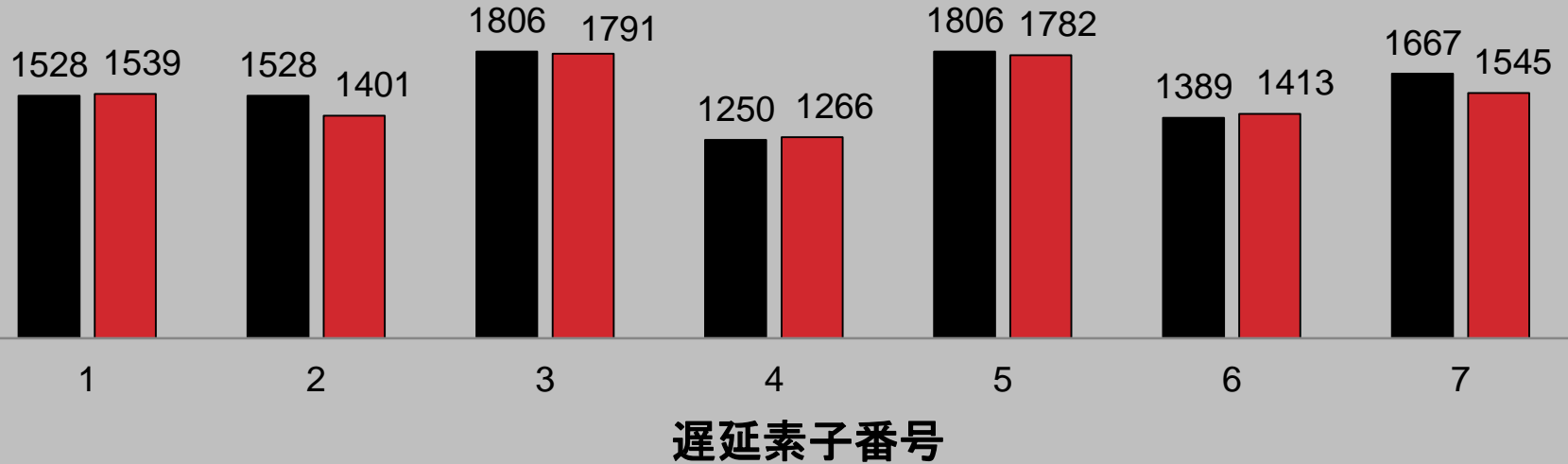


バッファ数:56個
D-FF数:7個

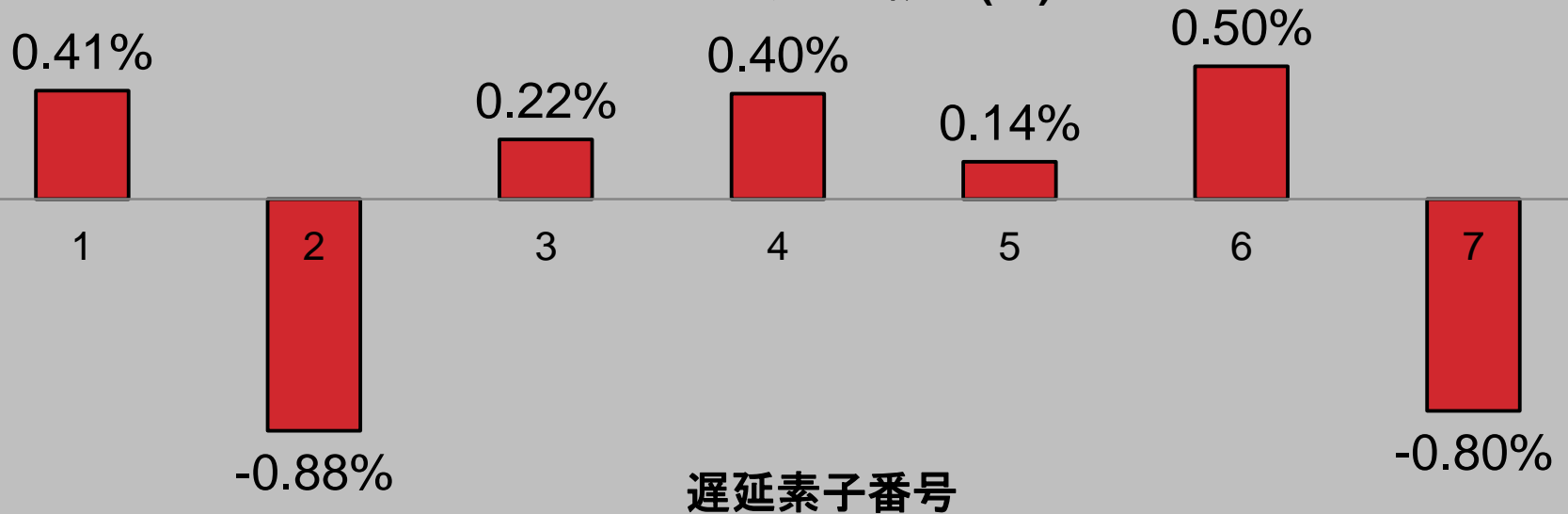
実験回路 結果



各素子遅延量とヒストグラムの比較(ヒストグラム×3)



遅延量とヒストグラムの誤差(%)



自己校正の計算例

自己校正モードで取得したヒストグラムより各遅延素子毎の総和を算出

例: $\text{Pin3} = 413(\text{Pin1}) + 585(\text{Pin2}) + 464(\text{Pin3}) = 1462$

校正係数 = 実際の測定回数総和 / 全測定回数総和

例: $\text{Pin3} = 1462 / 3530 = 0.4141643059$

校正係数 × 7 より出力値校正

例: $\text{Dout}(3) = 7 \times 0.4141643059 \approx 2.897$

$\text{Dout}(1) = 0.819$

$\text{Dout}(2) = 1.977$

$\text{Dout}(3) = 2.897$

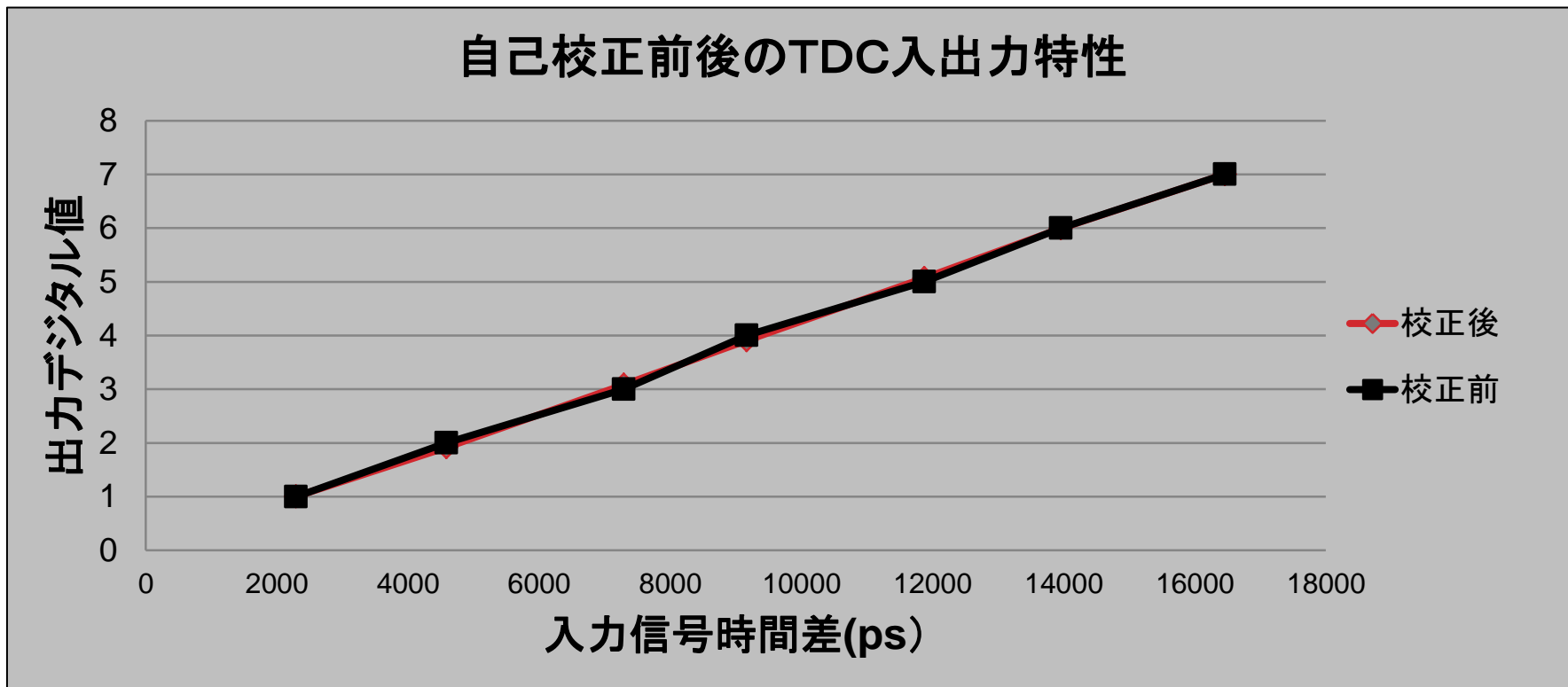
$\text{Dout}(4) = 4.059$

$\text{Dout}(5) = 4.941$

$\text{Dout}(6) = 6.078$

$\text{Dout}(7) = 7$

自己校正前後のTDC入出力特性



校正の評価

最小二乗法を用いて線形近似直線を求め、線形近似直線との誤差を計算

$$gain = \frac{N \times K_4 - K_1 \times K_2}{N \times K_3 - K_1^2} \quad offset = \frac{K_2}{N} - gain \times \frac{K_1}{N} \quad N: \text{データ数}(7)$$

i: 出力数

$$K_1 = \sum_{i=0}^{N-1} i \quad K_2 = \sum_{i=0}^{N-1} S(i) \quad K_3 = \sum_{i=0}^{N-1} i^2 \quad K_4 = \sum_{i=0}^{N-1} i \times S(i) \quad S(i): \text{入力遅延差のしきい値}$$

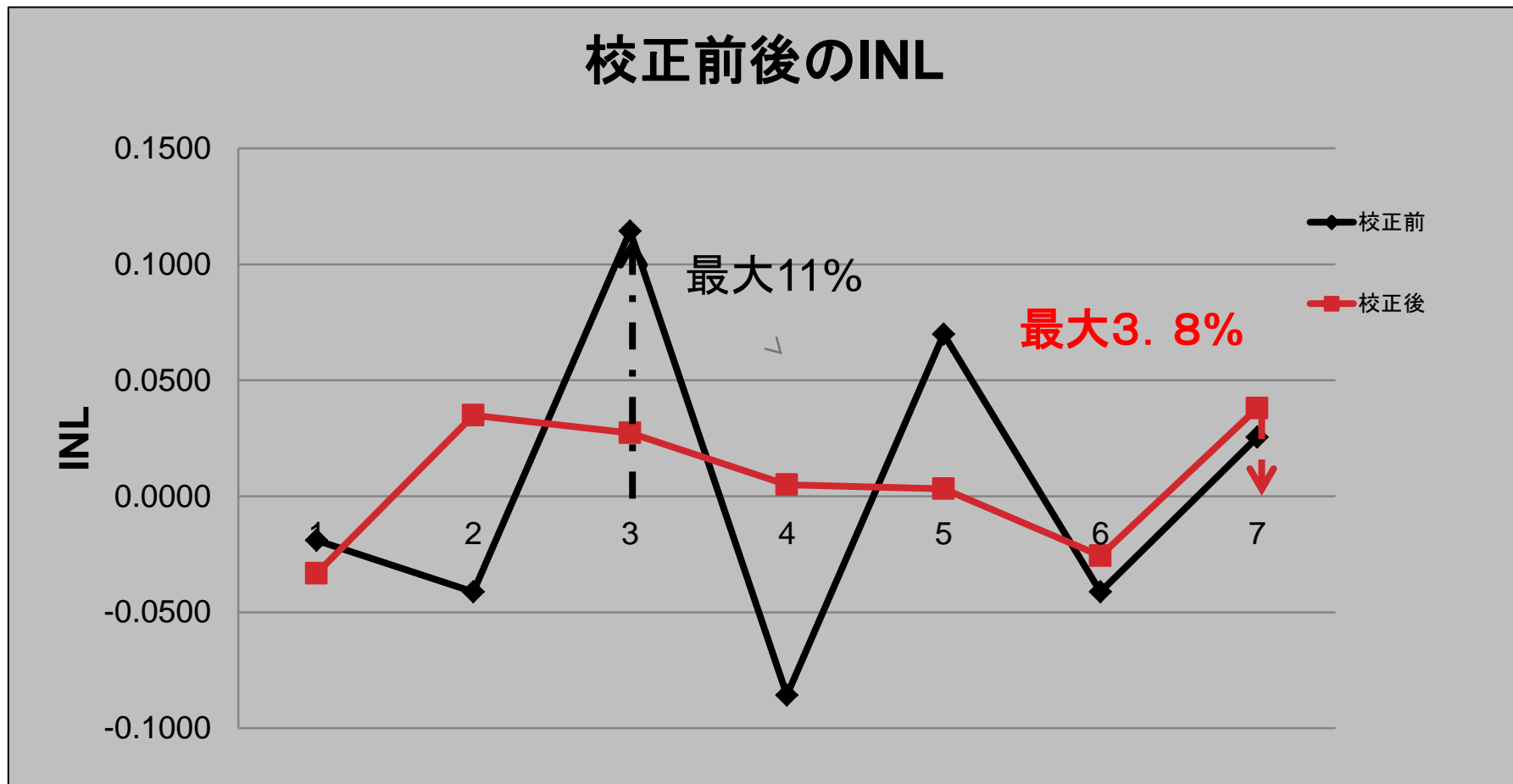
$$INL(i) = \frac{S(i) - (gain_{bestfit} \times i + offset_{bestfit})}{V_{LSB}}$$

INL: 積分非直線性誤差

近似直線を取り、誤差を1LSBの値で正規化

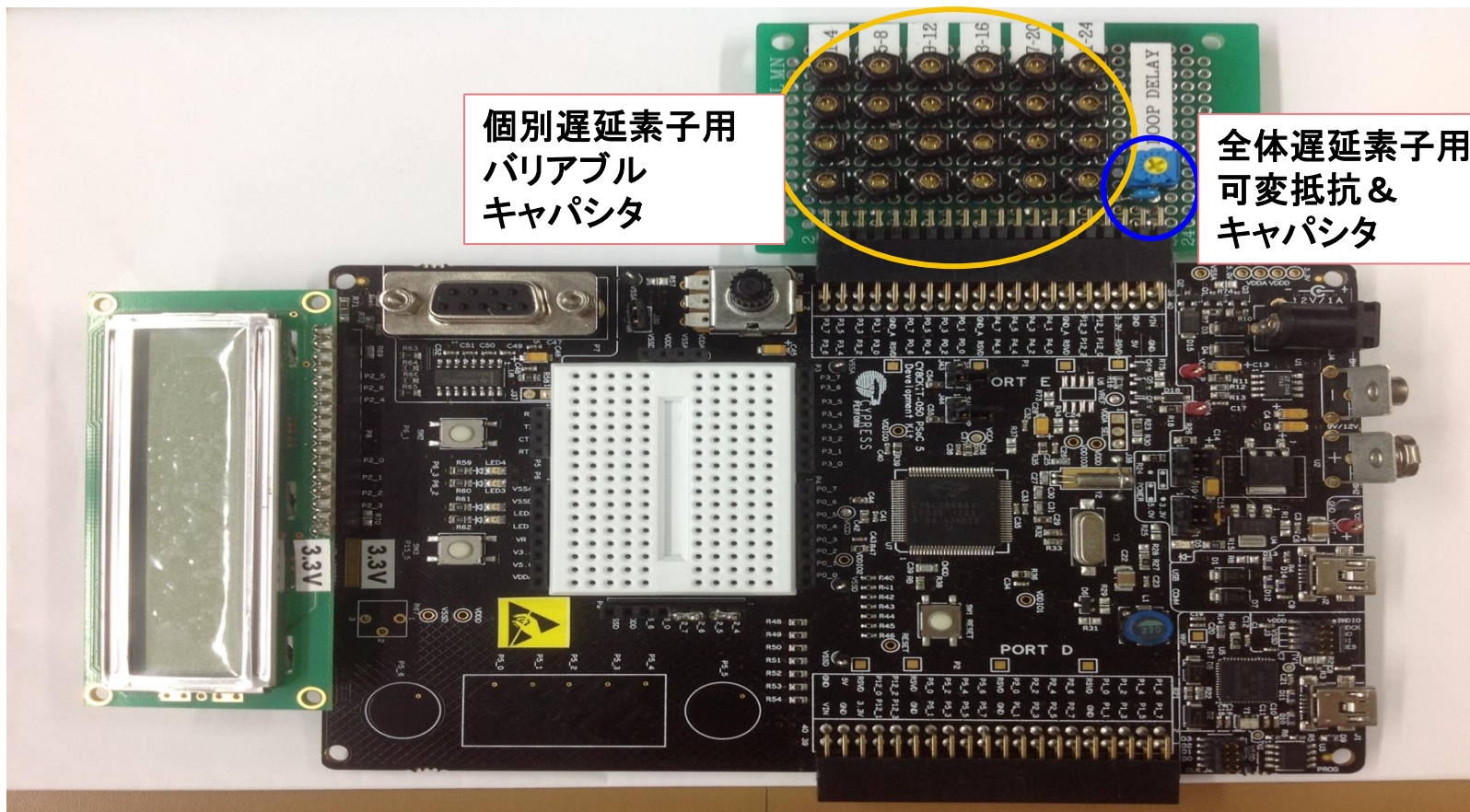
参考論文: 「フラッシュ型タイムデジタイザ回路のヒストグラム法による自己校正の実験検証」

校正前後のINL比較

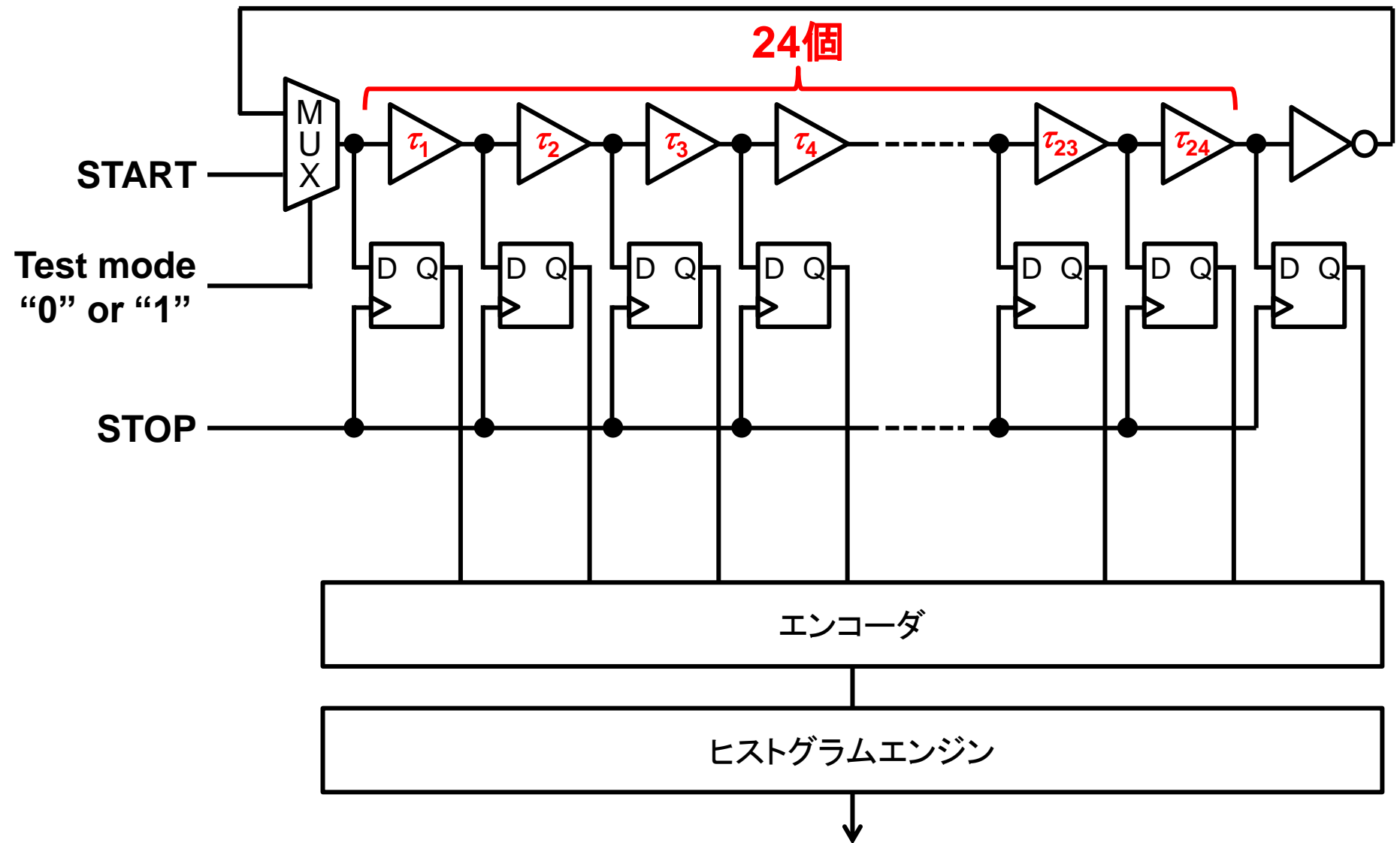


アナログFPGAでの実測（もう一つの実験）

PSoC (Programmable System-on-Chip) 5LP & 外付け遅延素子

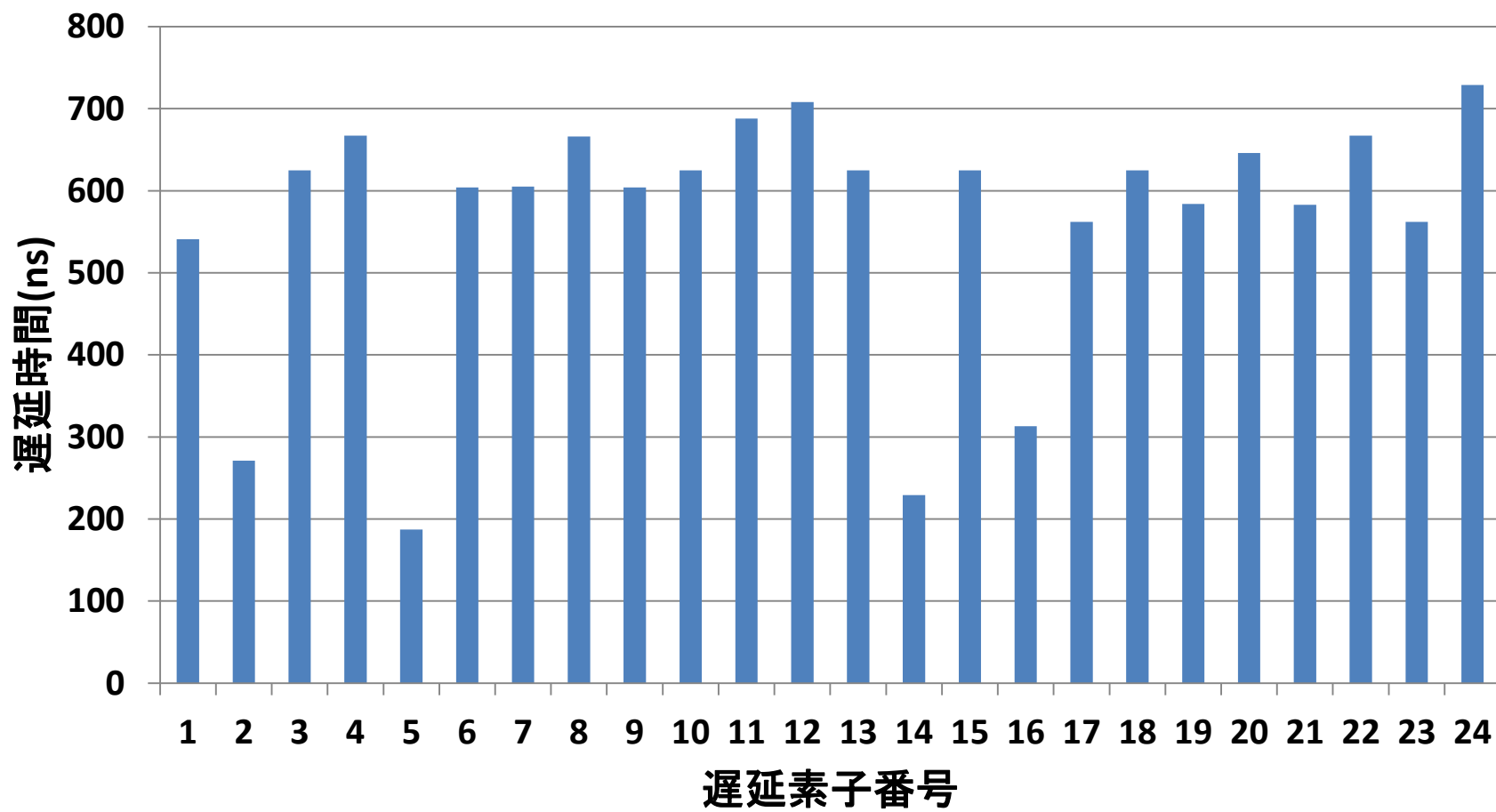


自己校正TDC



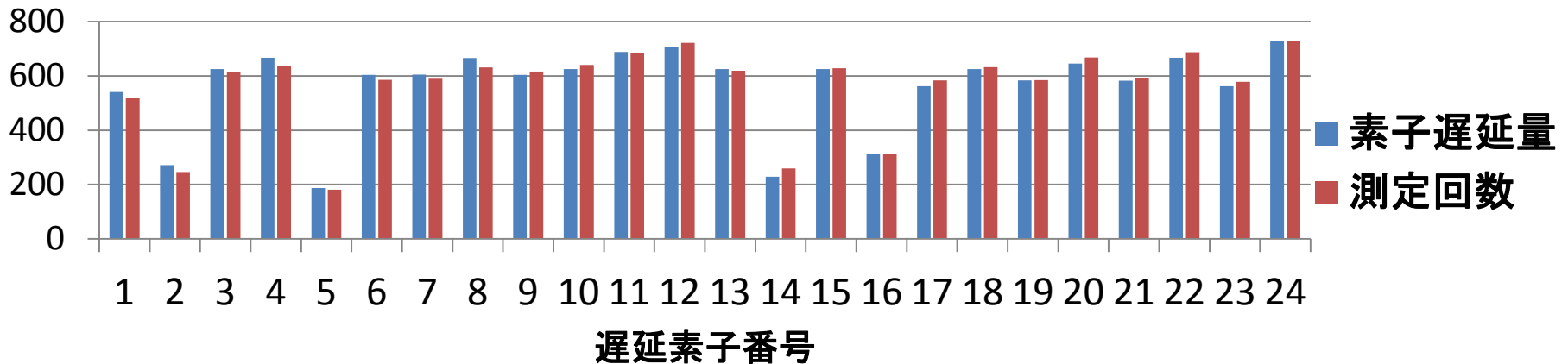
各遅延素子の遅延時間

各遅延素子の遅延時間

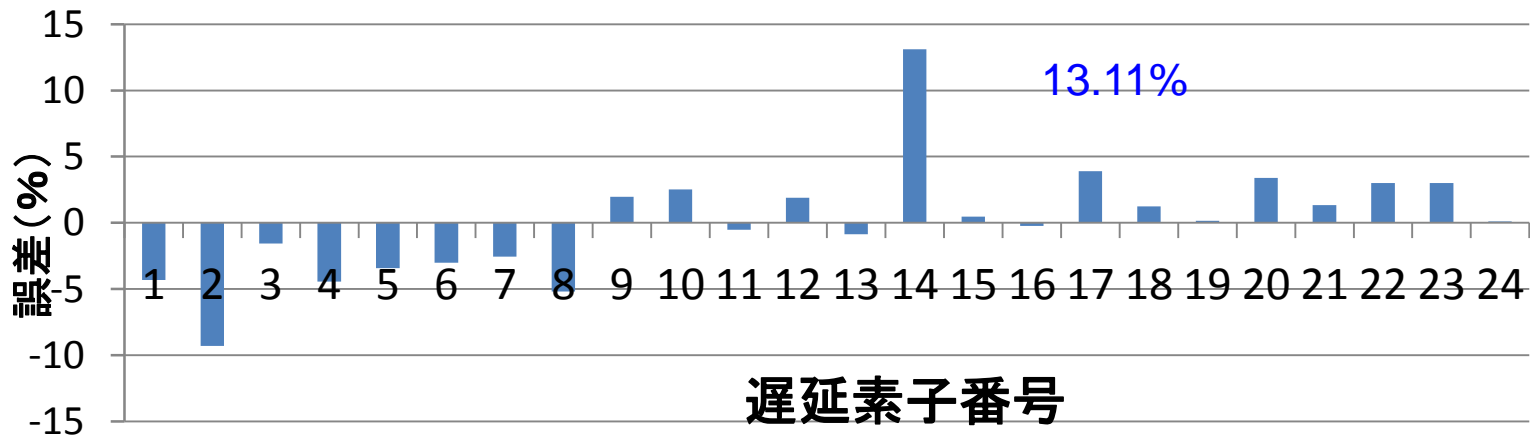


ヒストグラムと遅延時間の相関

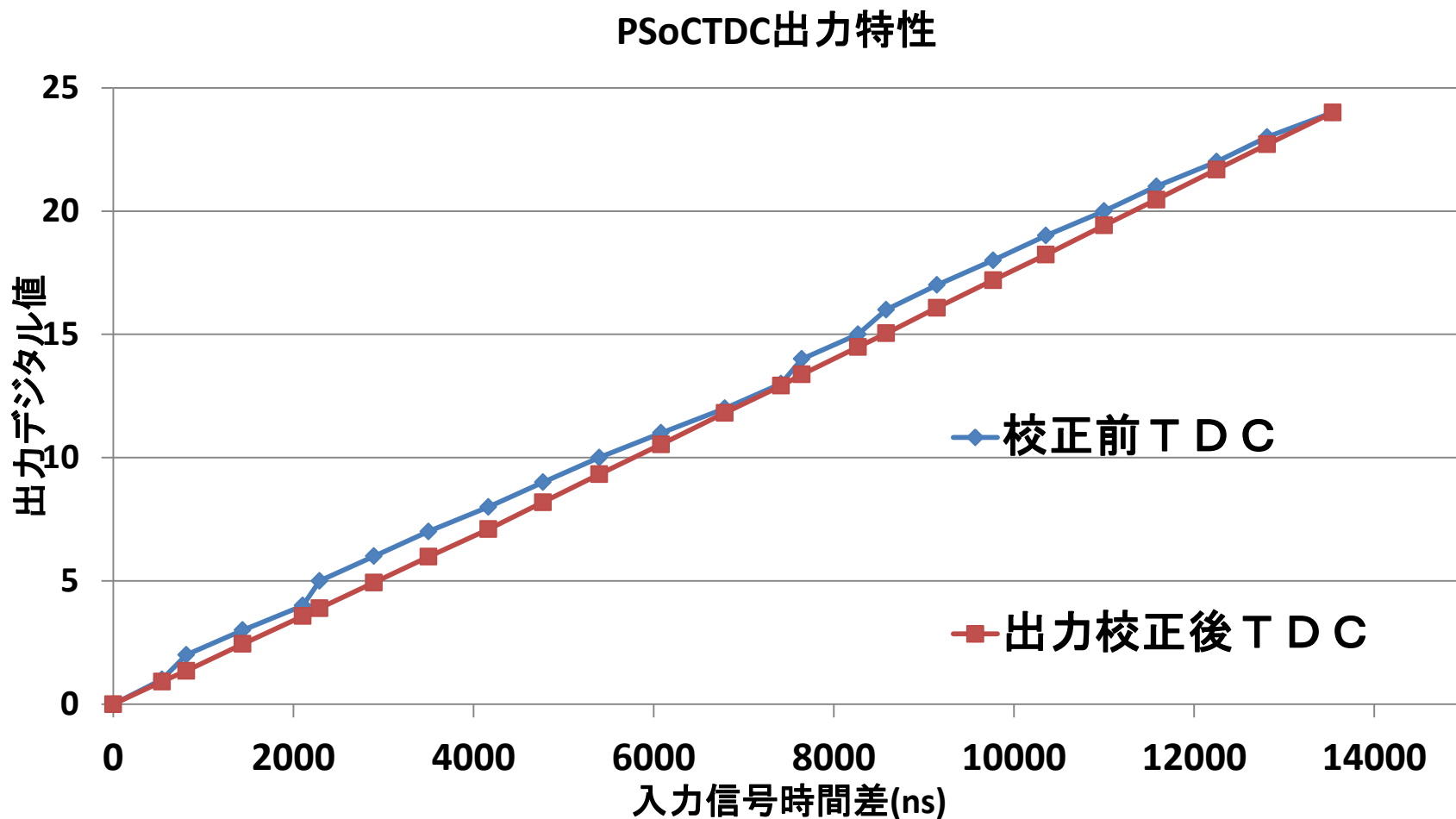
各素子遅延量とヒストグラム' (=ヒストグラム/3.02)



遅延量とヒストグラムの誤差(%)



自己校正前後のTDC入出力特性



まとめ

- Altera社のCyclone III Starter BoardのFPGAで実装。
- 提案TDC回路をヒストグラム法で自己校正回路を実現。
- 自己校正モードでのリング発振器による線形性向上を確認。

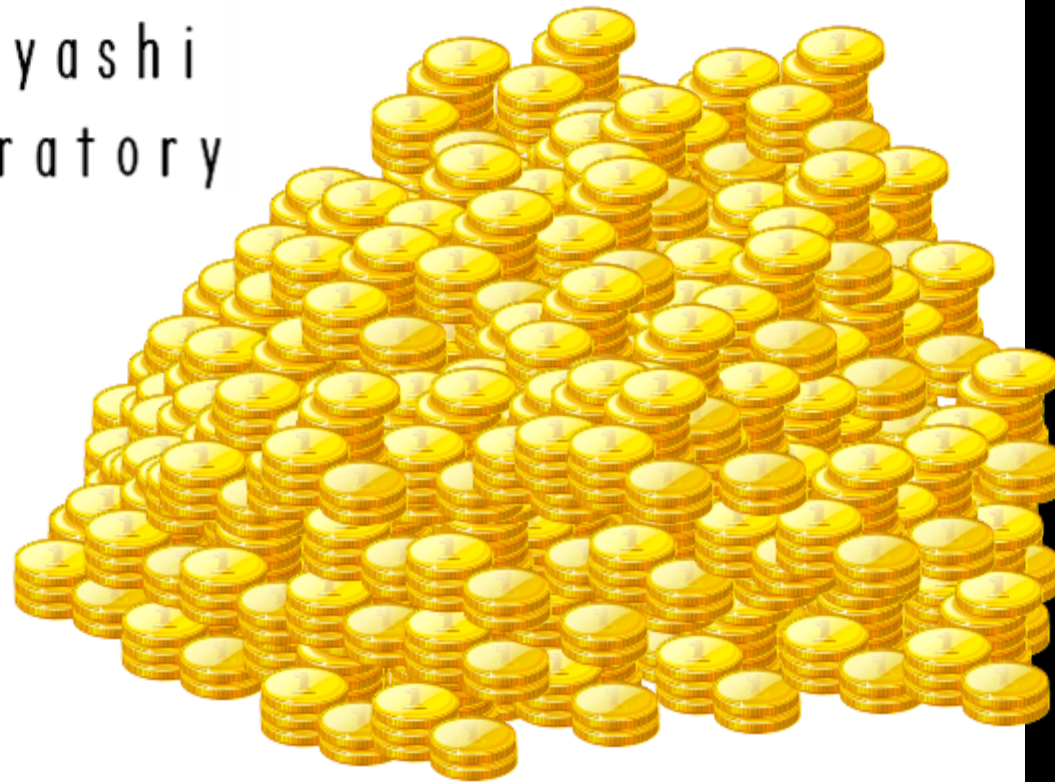


自動配置配線での遅延ばらつきのためのTDC非線形性を自己校正可。

- アナログFPGA (PSoC) に比べ、FPGAは細かい時間分解能の利点。
(PSoCは各キャパシタ値を設定し、各バッファの遅延値を個別設定可。)

今後は、FPGAでのより大規模なTDC回路での実験検証を行う。

ご清聴ありがとうございます



Time is *GOLD* !!

TDC is a key.