

デルタシグマ型変調技術を用いた 時間デジタル変換回路 ～時間領域アナログ回路のキーコンポーネント～

群馬大学 大学院理工学府 電子情報部門

小林 春夫

k_haruo@el.gunma-u.ac.jp

講演者の研究室で研究開発を行ってきています、
2つのクロック間の立ち上がり時間差を高時間分解能で測定する
デルタシグマ型タイムデジタイザ回路について
下記の内容をご紹介します。

- (1) デルタシグマ型タイムデジタイザ回路の構成と動作
- (2) 開発した高精度化のアルゴリズムと
そのMATLABシミュレーションによる効果確認
- (3) 回路設計、アナログFPGA(PSoC) 実現、測定評価結果
- (4) 若手研究者・学生に贈る言葉

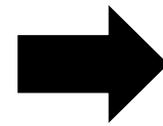
- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

時間分解能回路の研究背景

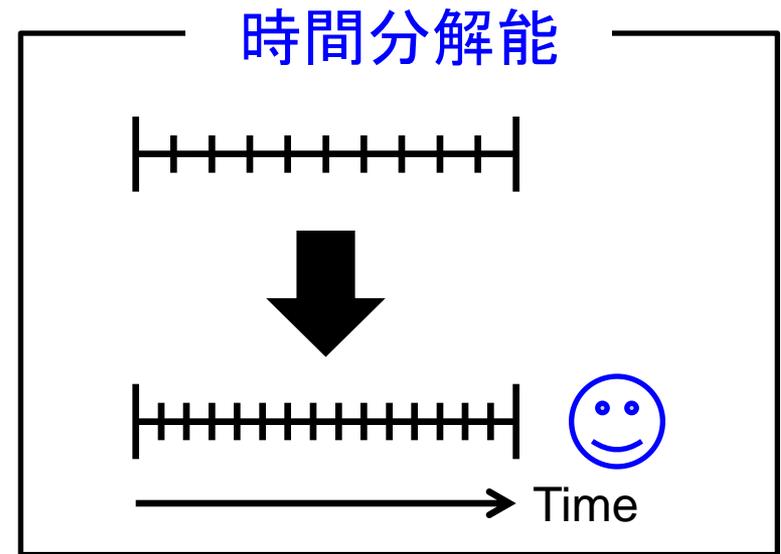
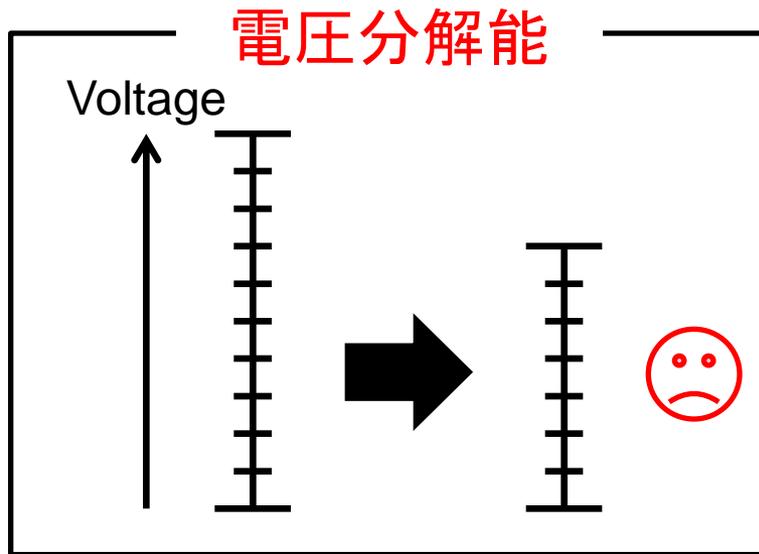
5

集積回路プロセスの微細化



低電源電圧化

高速スイッチング化



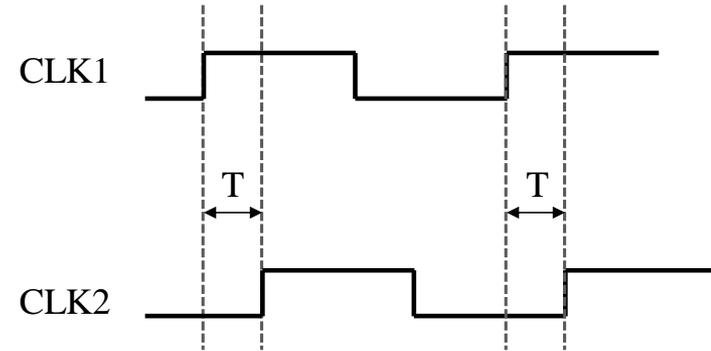
時間信号測定回路は時間領域アナログ回路のキーコンポーネント



高性能化が要求

研究目的 (1)

- 2つの繰返しクロック間の時間差テスト
 - DDR(Double Data Rate)メモリのデータ - クロック間の時間差テスト等
- 組み込み可能な測定回路



研究目的

- 短時間、高精度でテストする回路の実現

$\Delta\Sigma$ TDC

- 高時間分解能
- 回路量：小
- 測定時間：長 (測定時間 \propto 精度)



- マルチビット $\Delta\Sigma$ TDCの提案
- マルチビット化に伴う非線形性補正手法の提案

時間信号測定回路の高性能化とアプリケーションの開発

時間信号測定回路：タイムディジタイザ回路
(Time-to-Digital Converter: TDC)

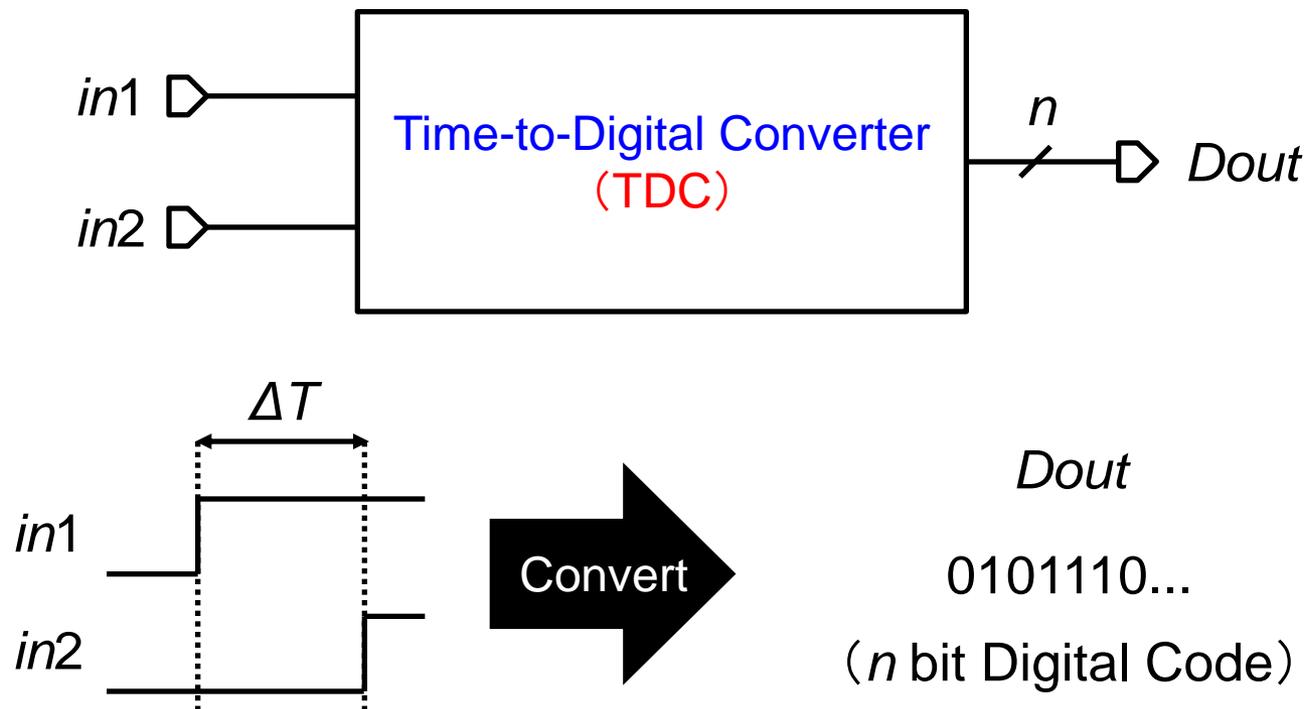
高性能TDCの開発と実装

- 自己校正機能を備えたフラッシュ型TDC (Flash TDC)
- デルタシグマ型TDC ($\Delta\Sigma$ TDC)

TDCを用いた新しいアプリケーションの開発

- $\Delta\Sigma$ TDCによる位相ノイズ測定

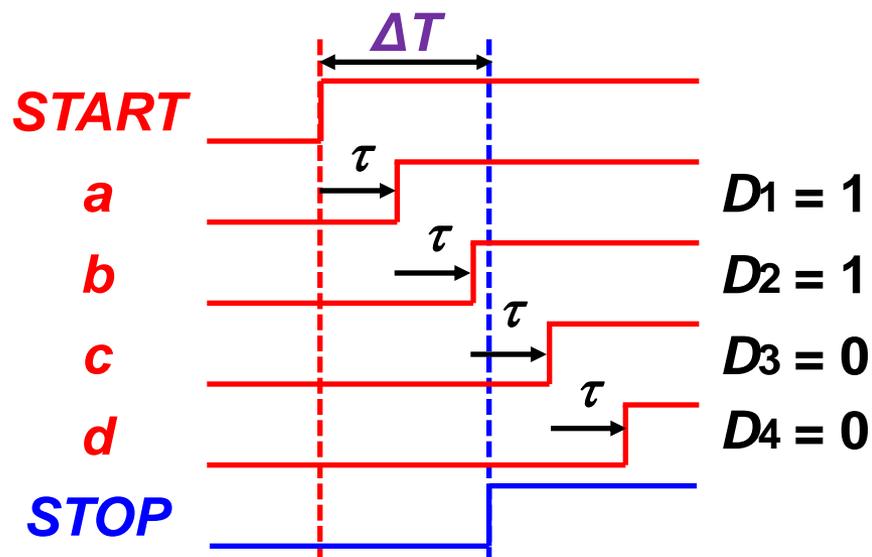
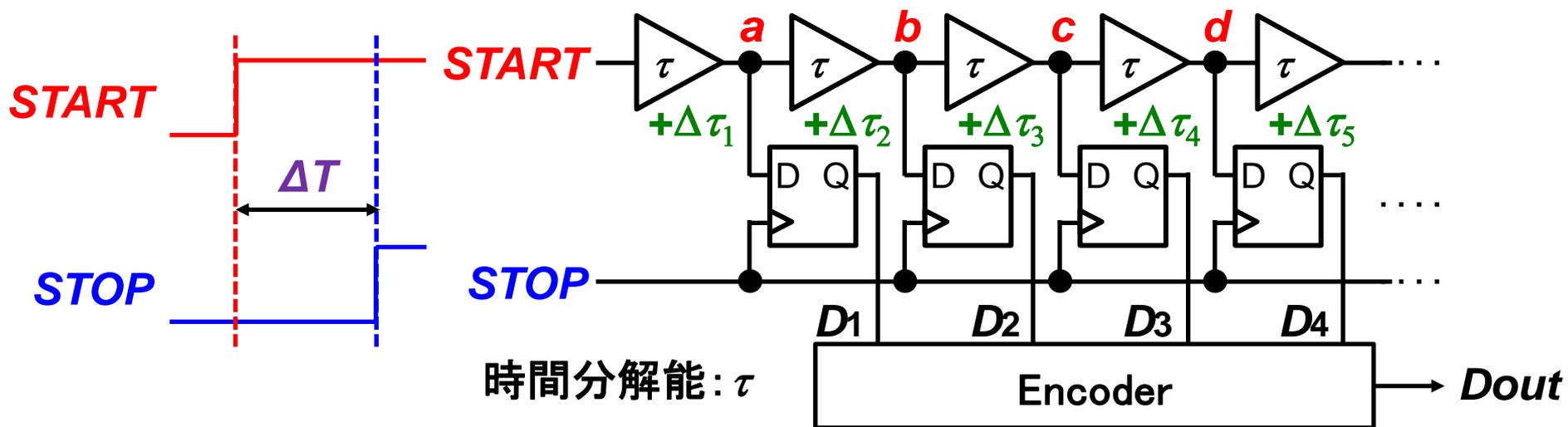
タイムデジタイザ回路



2つのデジタル信号間の時間差 ΔT をデジタル値に変換

出力のデジタル値より ΔT を測定可能

フラッシュ型 TDC の構成と動作

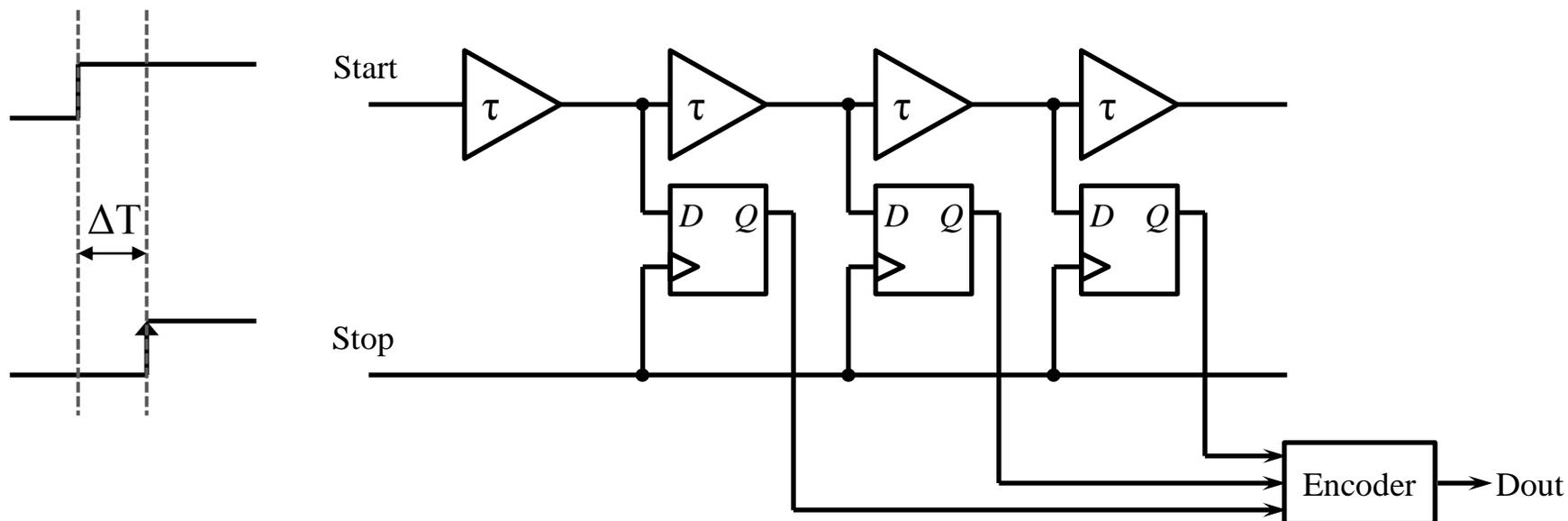


● ΔT の大きさに比例したデジタル値 Dout を出力

● 時間分解能 τ

高エネルギー加速器研究機構
素粒子原子核研究所
新井康夫氏による発明

•フラッシュ型TDC

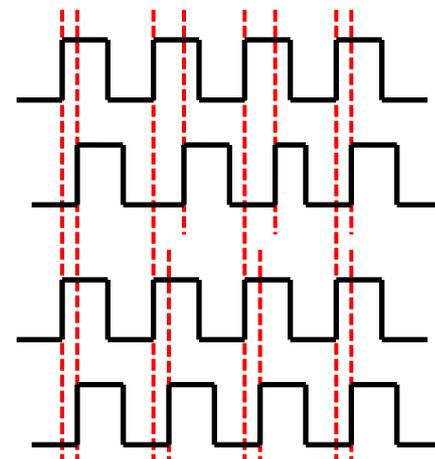


- 任意の信号でも1回の入力で計測可
- 回路規模：大
- 時間分解能： τ で決まる

- 繰返し信号の計測
 - 何回も入力 ⇒ 高精度で測定

任意信号：Tが変化する

繰返し信号：Tが一定

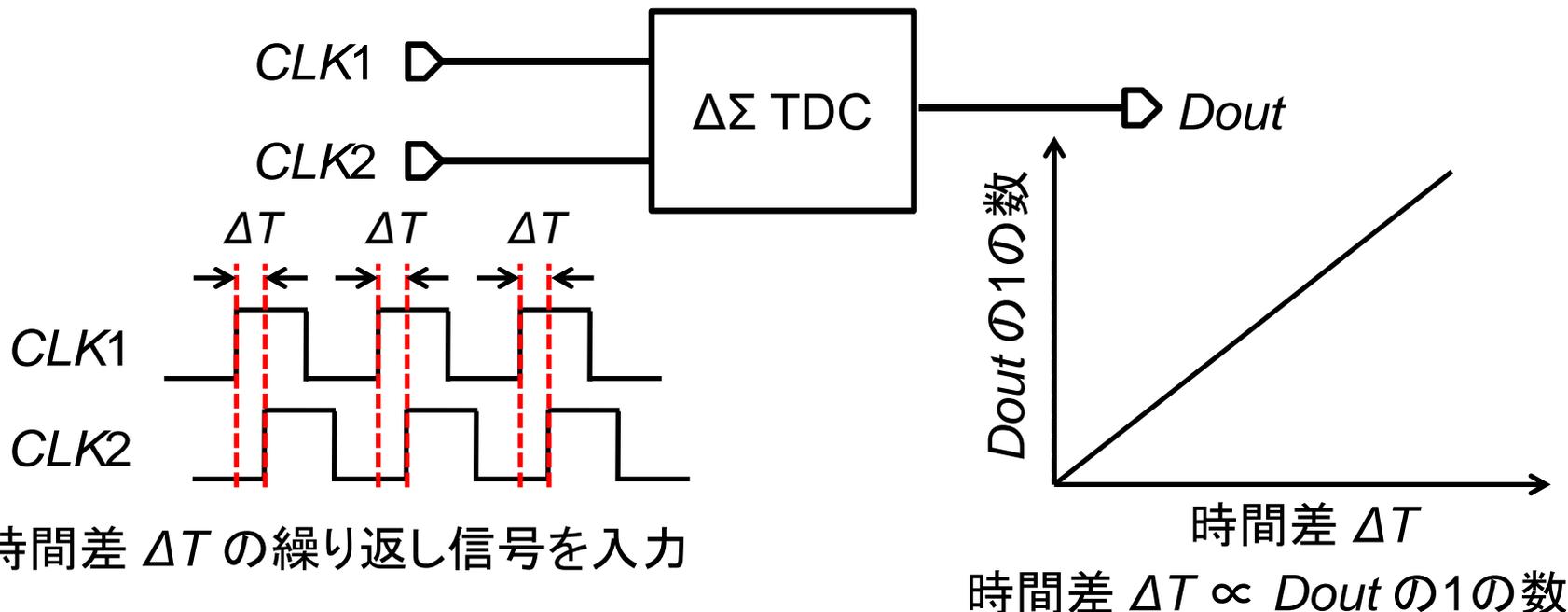


$\Delta\Sigma$ TDCについて

繰り返し信号の時間差 ΔT の測定



デルタシグマ型TDC ($\Delta\Sigma$ TDC)



$\Delta\Sigma$ TDCの特長

- 簡単な回路構成で回路量が少ない
- 高線形性
- 測定時間に比例して時間分解能が向上

米国
オレゴン州立大学
による発明

(1) 時間分解能回路の研究背景

(2) デルタシグマ型タイムデジタイザ回路

- **デルタシグマ変調技術**
- デルタシグマ型タイムデジタイザ回路の構成と動作
- アナログFPGA実現

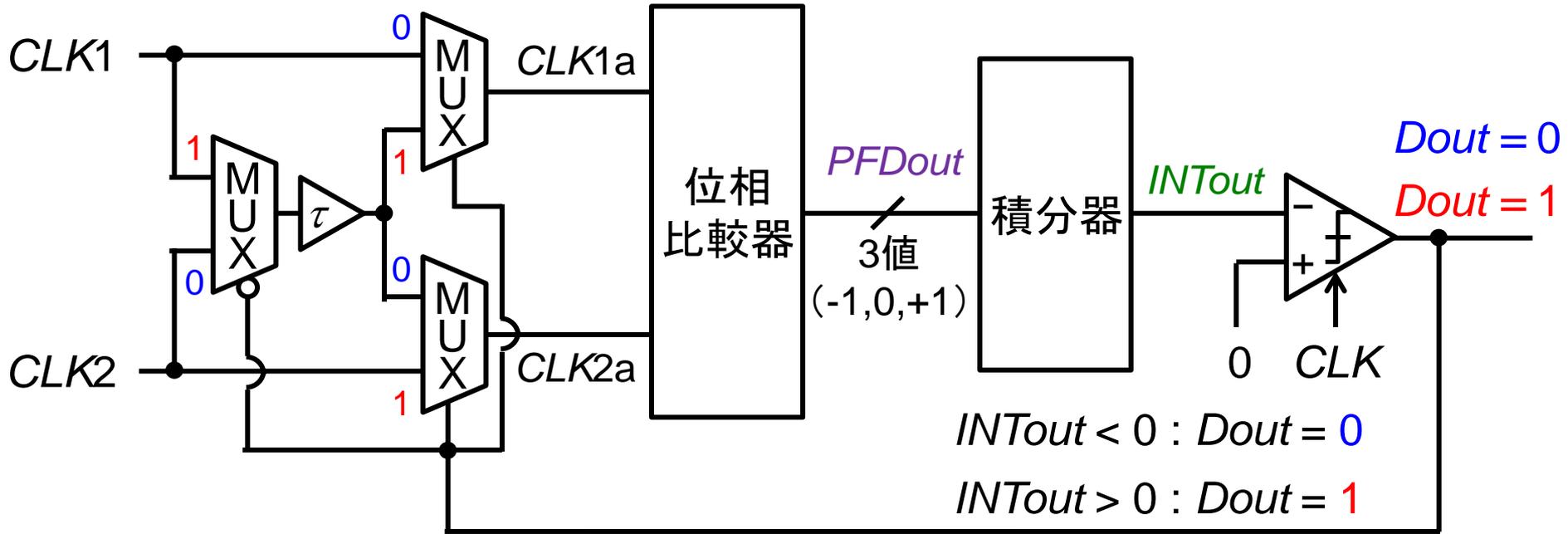
(3) マルチビットデルタシグマ型タイムデジタイザ回路

- マルチビット変調器の問題点
- DWAアルゴリズム
- アナログFPGA実現

(4) まとめ

(5) 若手研究者・学生に贈る言葉

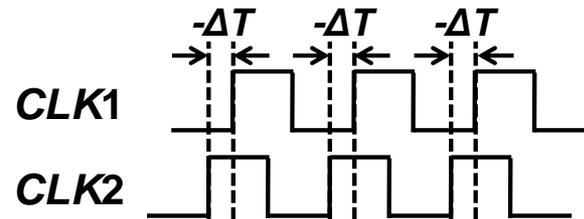
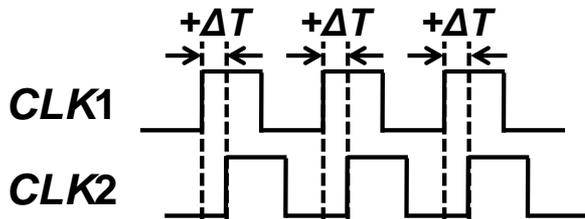
ΔΣ TDCの構成



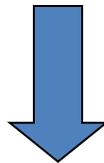
デレイライン, 位相比較器, 積分器, コンパレータによって構成

時間分解能 : $\frac{2\tau}{Doutの全体の数 N_{DATA} (0と1の合計)}$

測定可能範囲 : $-\tau < \Delta T < +\tau$

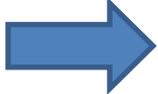


- アナログ最小、デジタルリッチな構成
ナノCMOSではデジタルは大きな恩恵
- スピードを精度に変換
ナノCMOSではスピードに余裕
- 高精度なデバイス、回路不要



ナノCMOSで高精度なAD/DACを
実現するのに適した構成

1960年 **安田靖彦先生**(当時 東大大学院生
現 東大・早稲田大学名誉教授)が考案。

- 近年の集積回路技術の進展に適した方式
  活発に研究・開発、実用化。
- ◆ AD/DA変換器、完全デジタルPLL回路
 時間デジタイザ回路等幅広く応用。
- ◆ 性能向上が著しい

発明者の安田靖彦先生に偶然にお会いする¹⁶

2011年11月29日(火)
於 スウェーデン大使館

新津葵一先生
エリクソン・ヤング・
サイエンティスト・アワード
受賞式 懇親会にて

安田先生は
審査員のお一人



新津先生



安田先生

$\Delta\Sigma$ か $\Sigma\Delta$ か

$\Delta\Sigma$ (デルタシグマ) 安田靖彦先生の主張

$\Sigma\Delta$ (シグマデルタ) IEEE の論文

$\Delta\Sigma$ or $\Sigma\Delta$? That is a question.

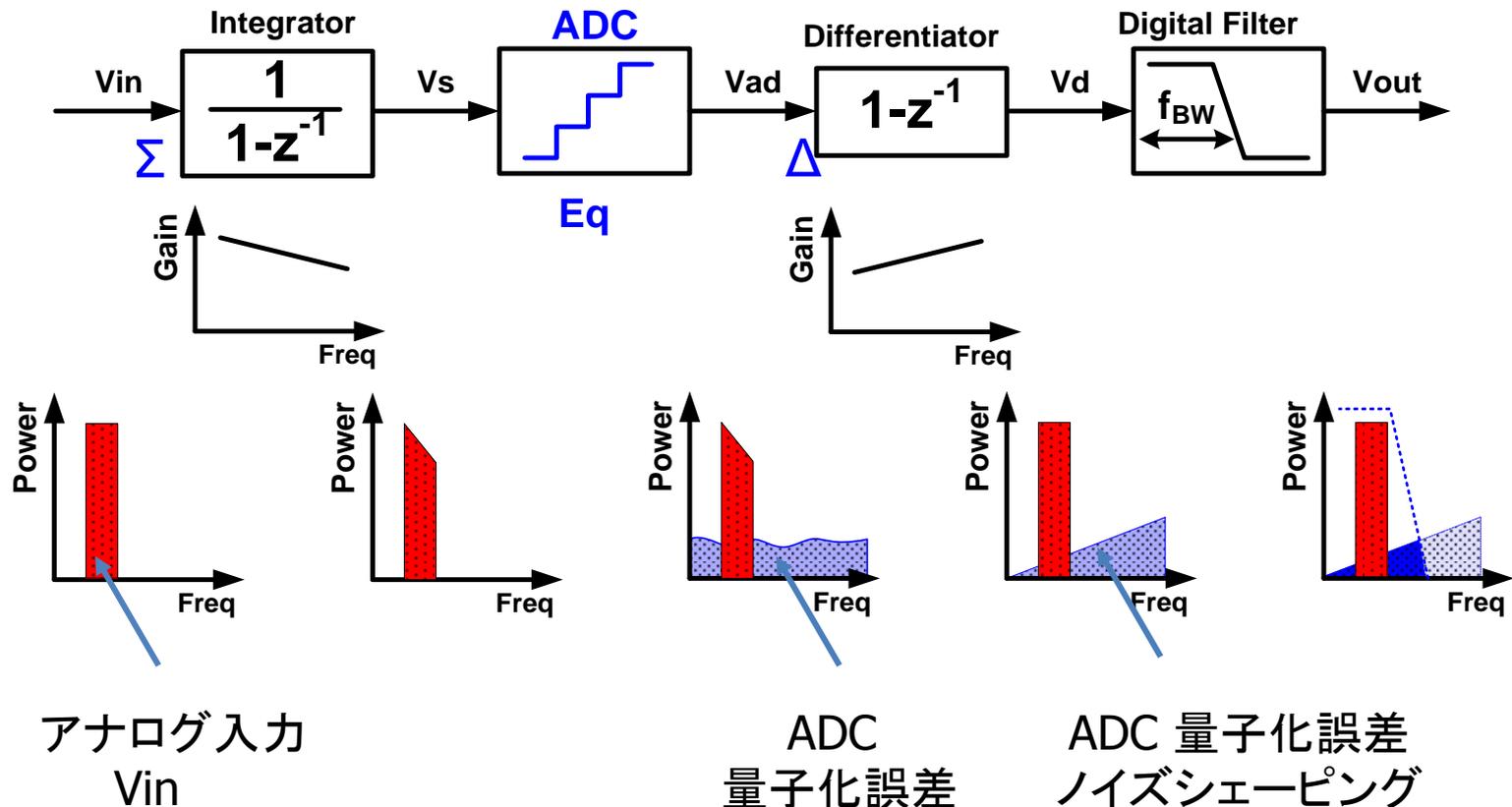


Hamlet

発明者の安田先生にしたがい

$\Delta\Sigma$

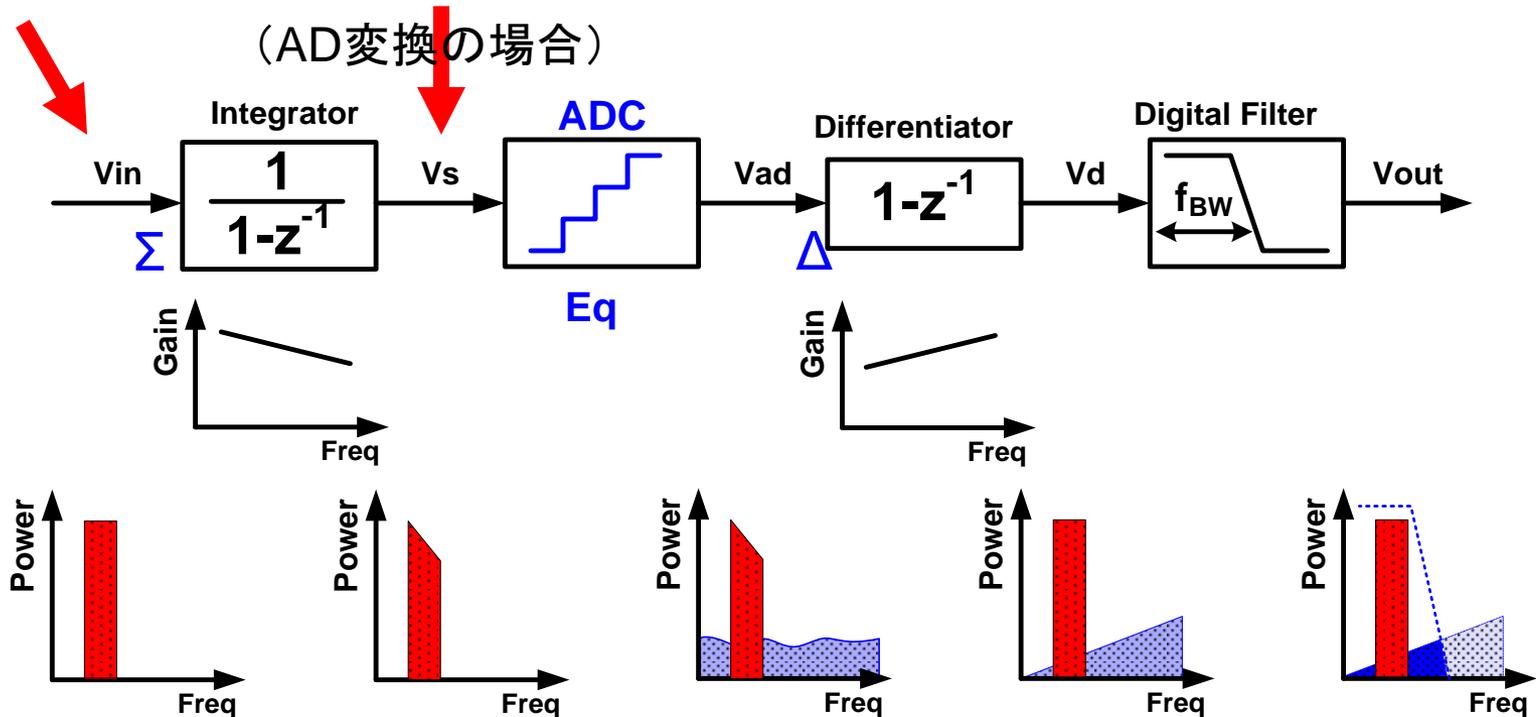
入力を積分してから Δ 変調



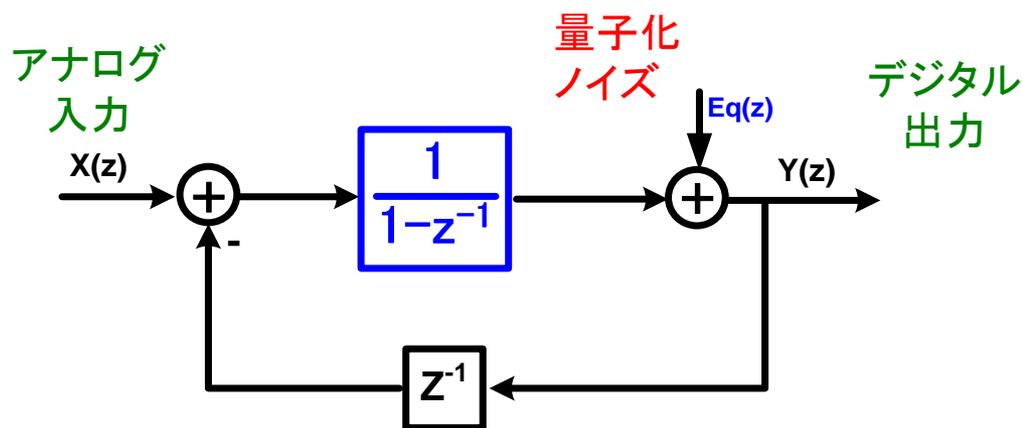
直接は実現できない

DC入力の場合

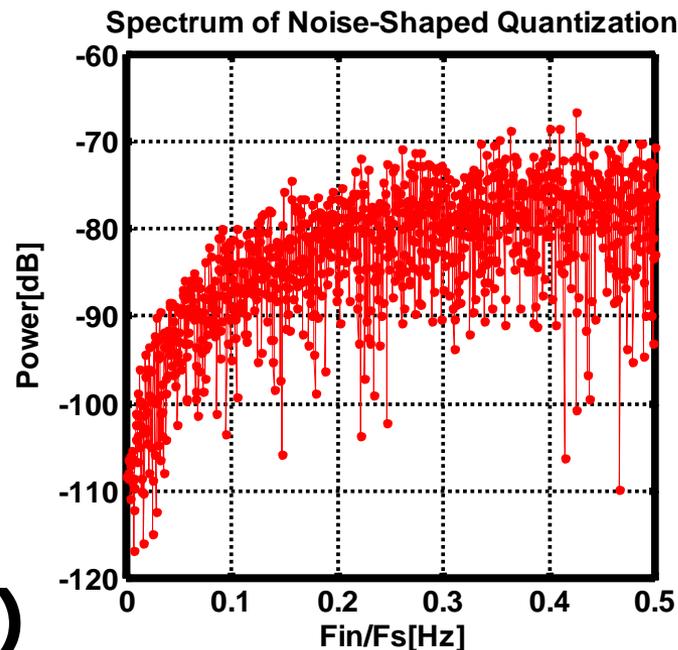
無限大になってしまう



$\Delta\Sigma$ AD変調の等価実現

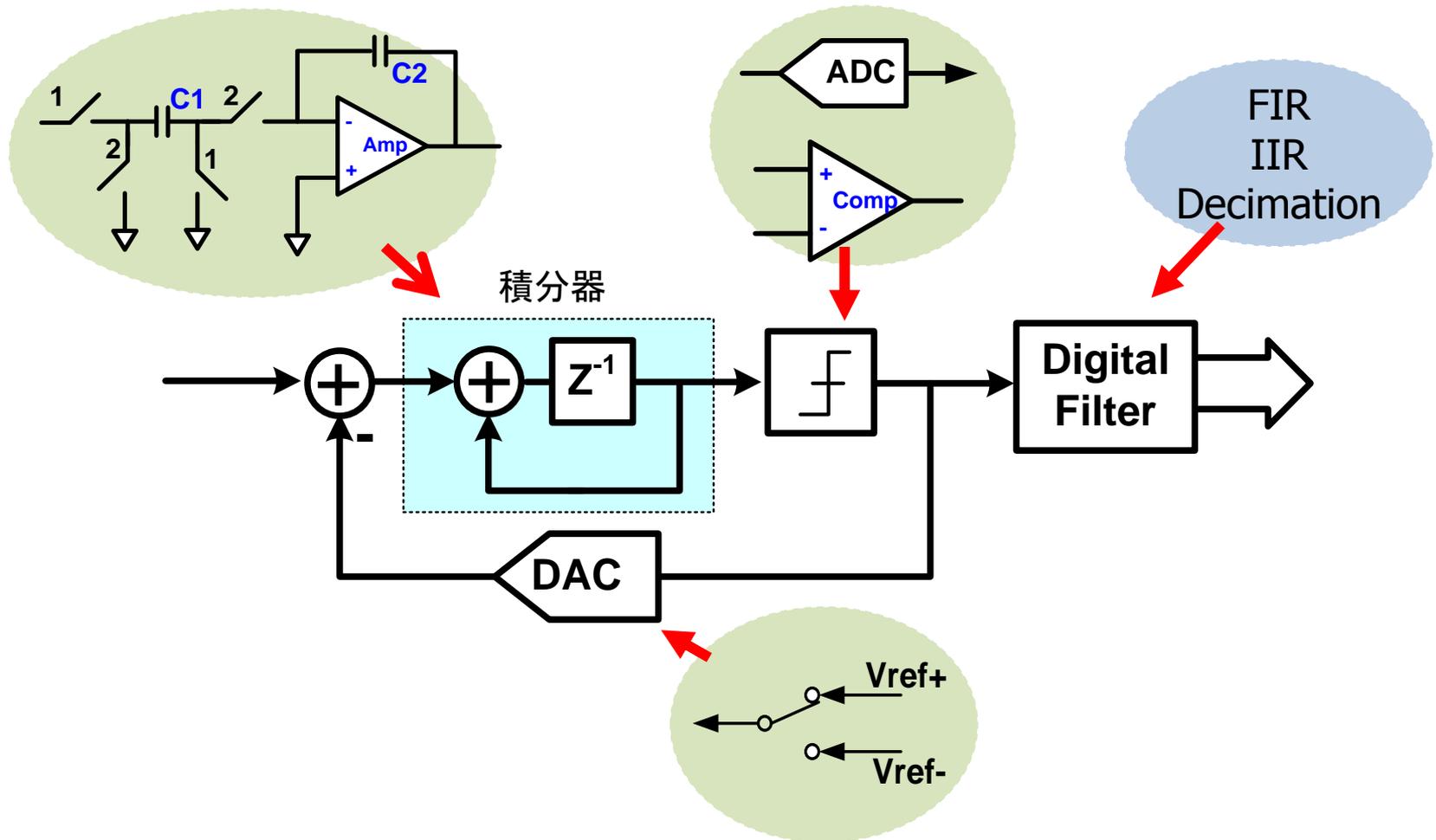


$$Y(z) = X(z) + (1 - z^{-1}) \cdot Eq(z)$$



量子化ノイズを高域に移し、帯域内ノイズを低減

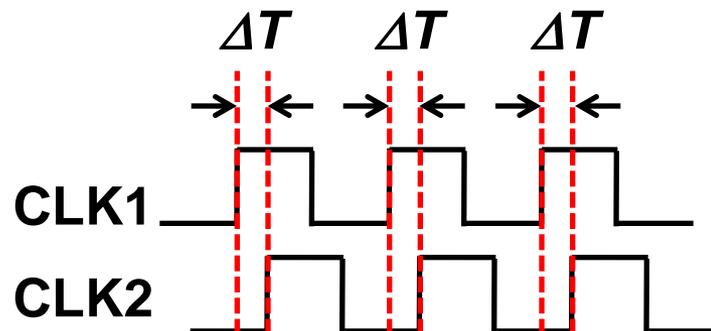
$\Delta\Sigma$ ADCの構成と回路



- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - **デルタシグマ型タイムデジタイザ回路の構成と動作**
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉



繰り返しクロックの時間差： ΔT



ΔT がDoutのパルス"1"の個数に比例

ΔT

1の数

Dout

小

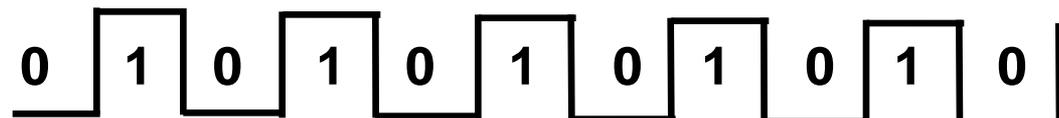
少



中

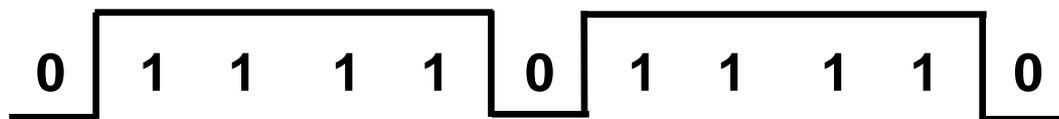


中

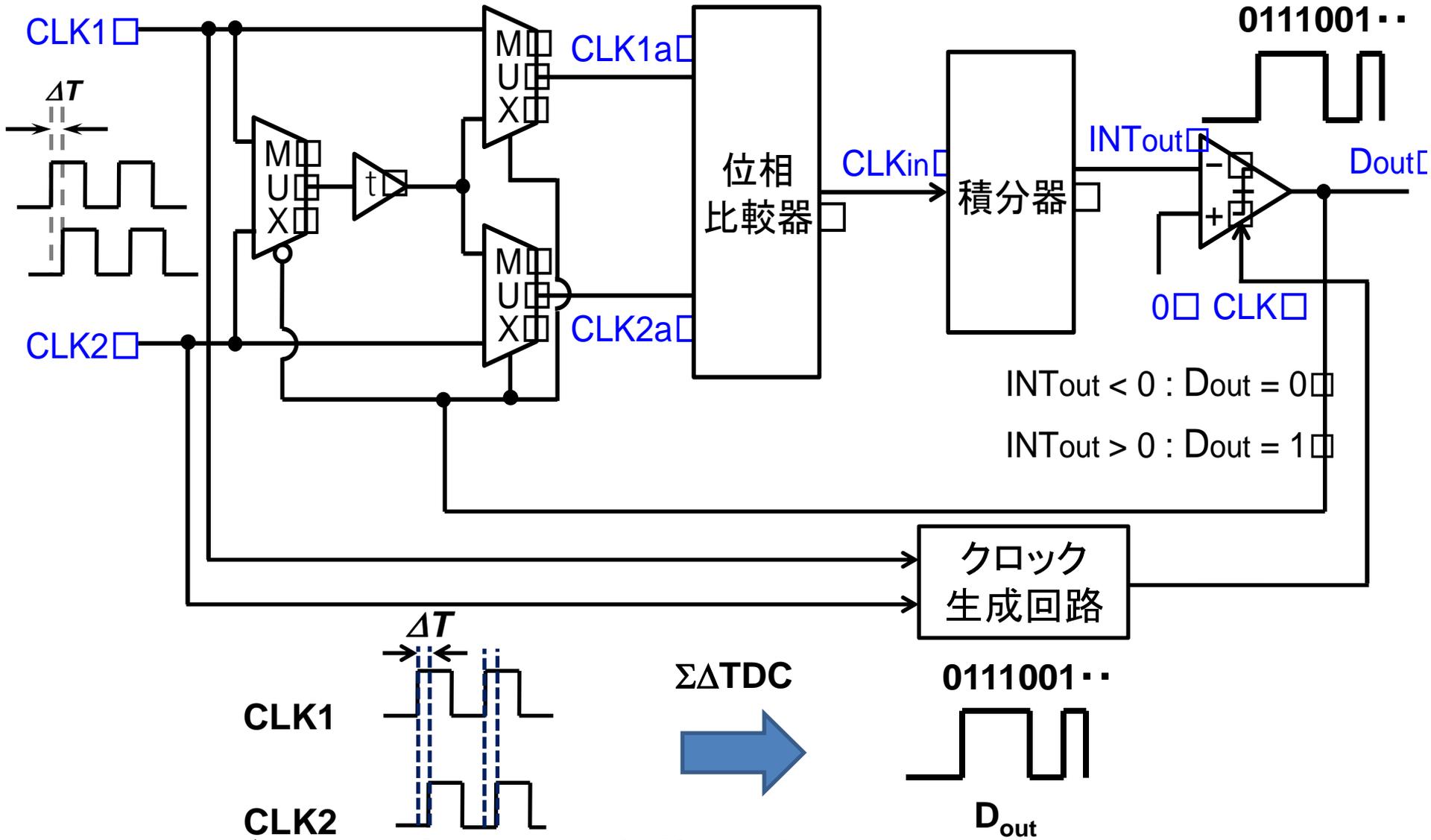


大

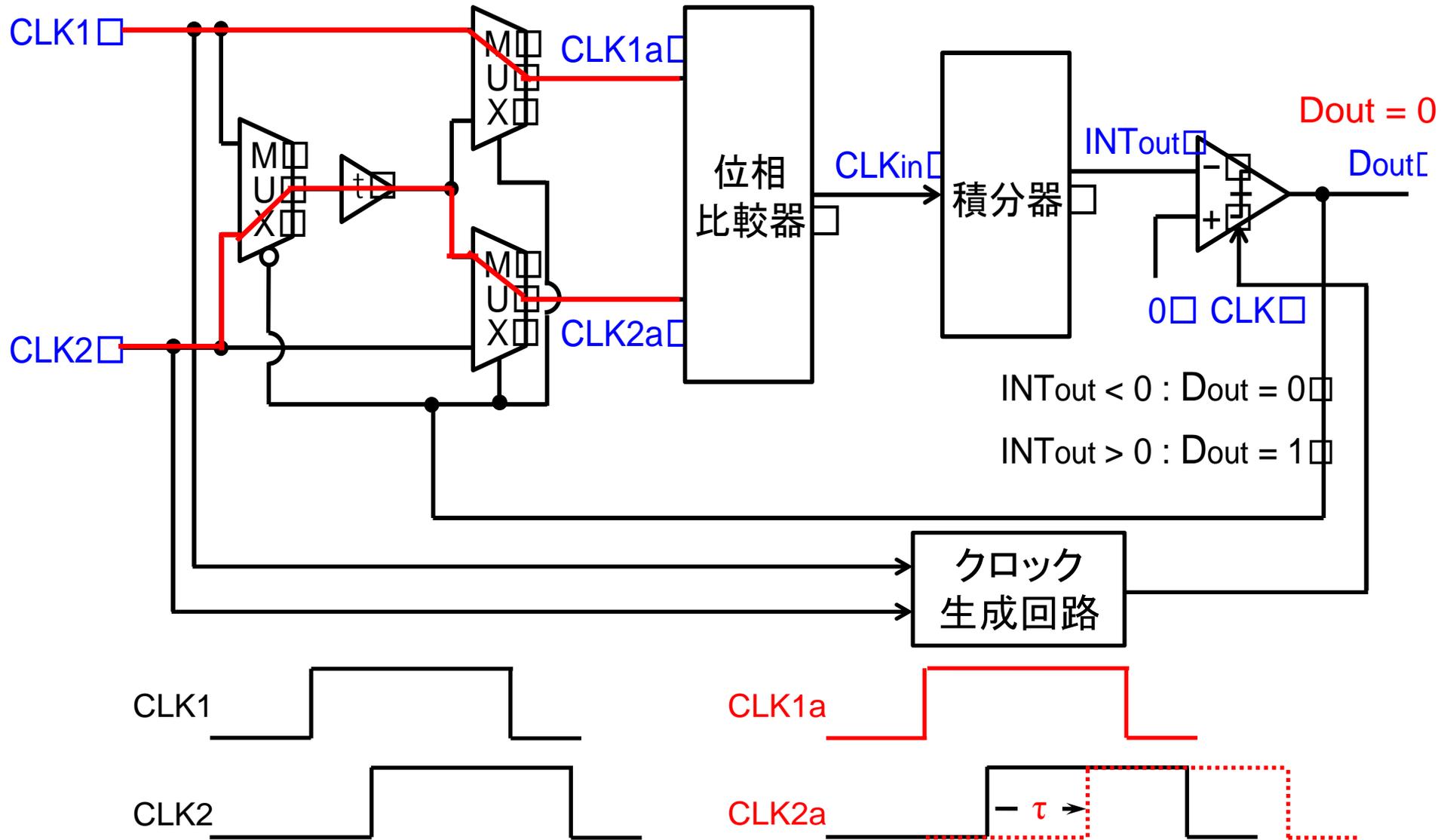
多



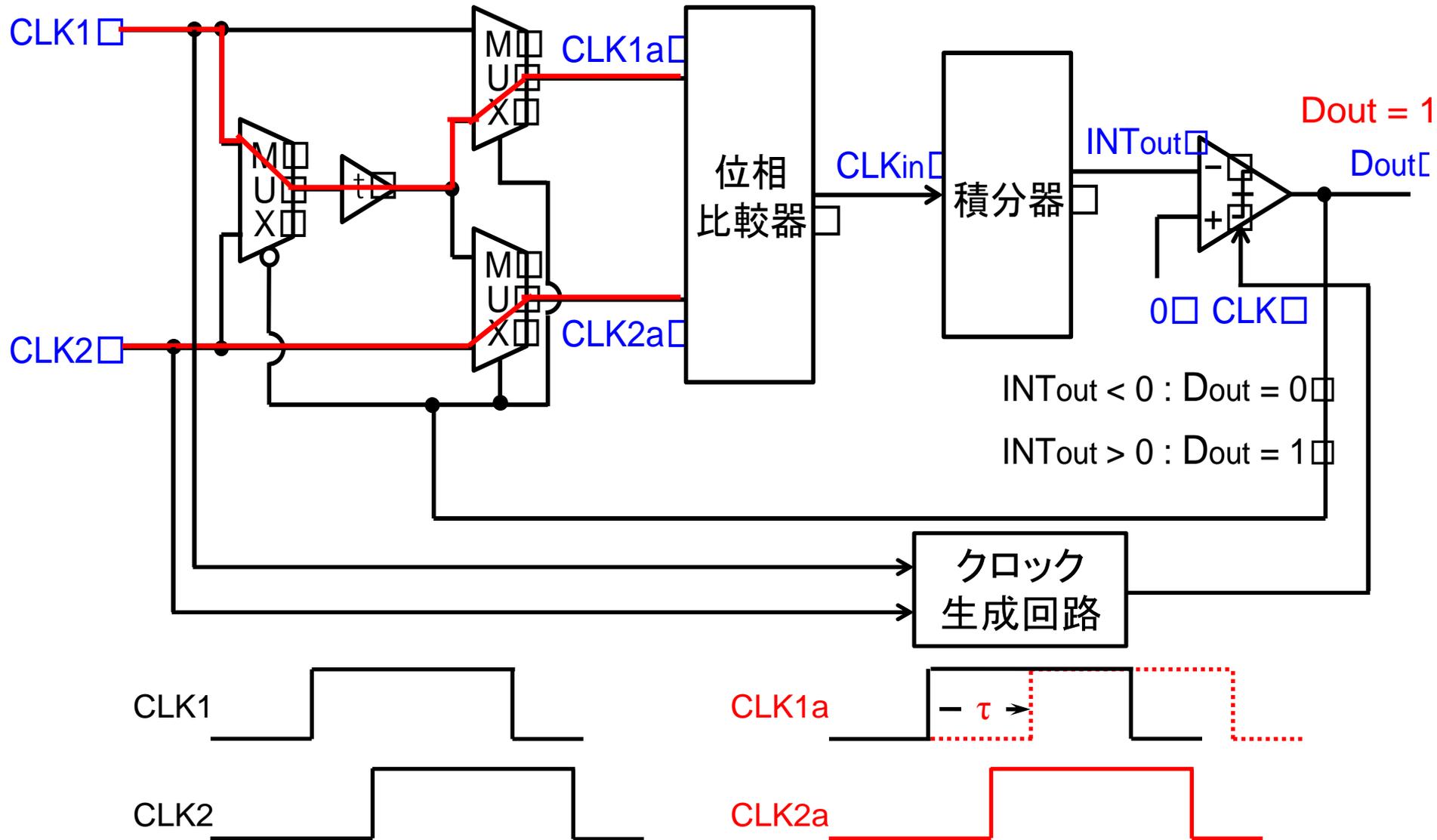
$\Delta\Sigma$ TDCの構成



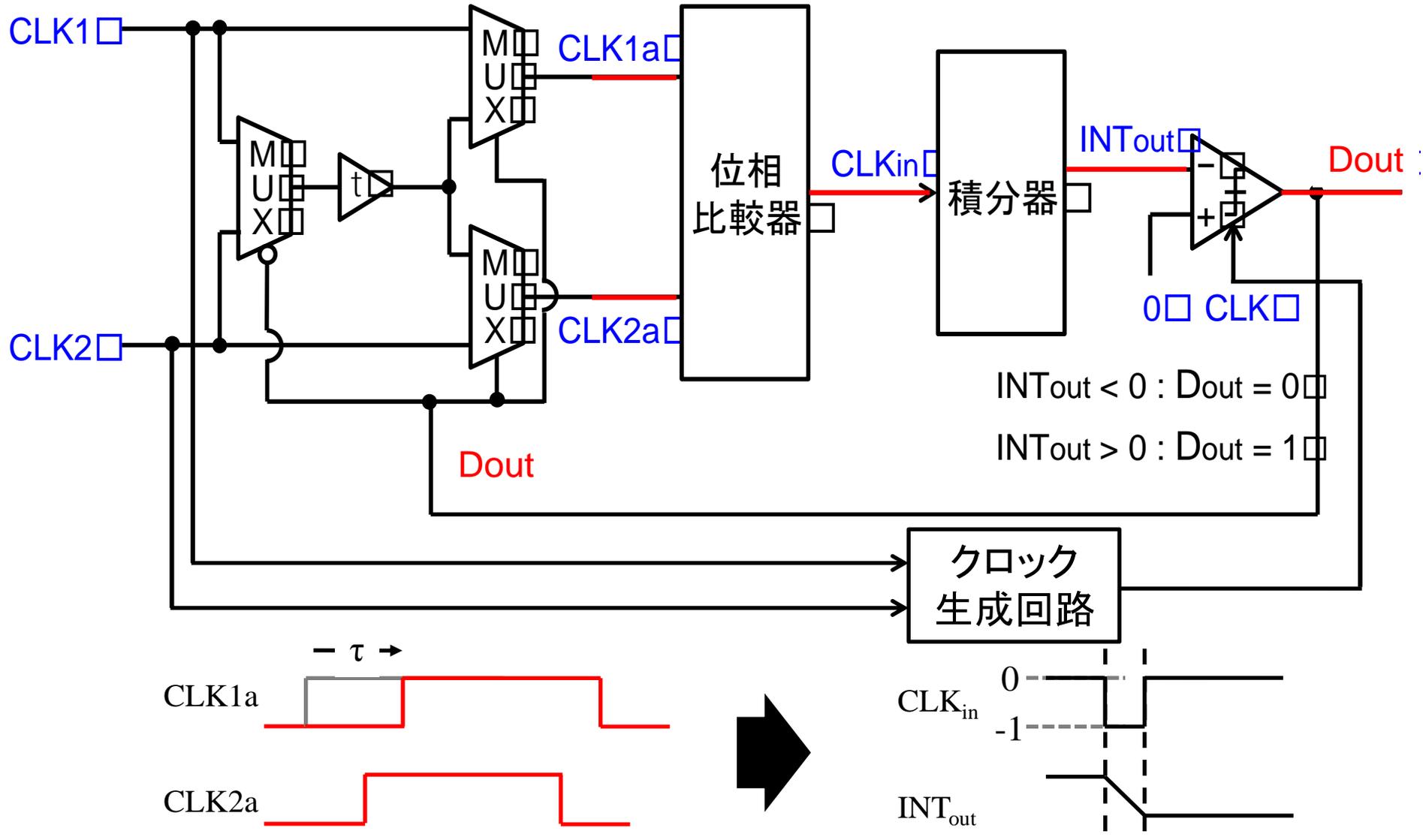
- ΔT がDoutのパルス"1"の個数に比例
- 測定可能範囲： $-\tau < \Delta T < \tau$



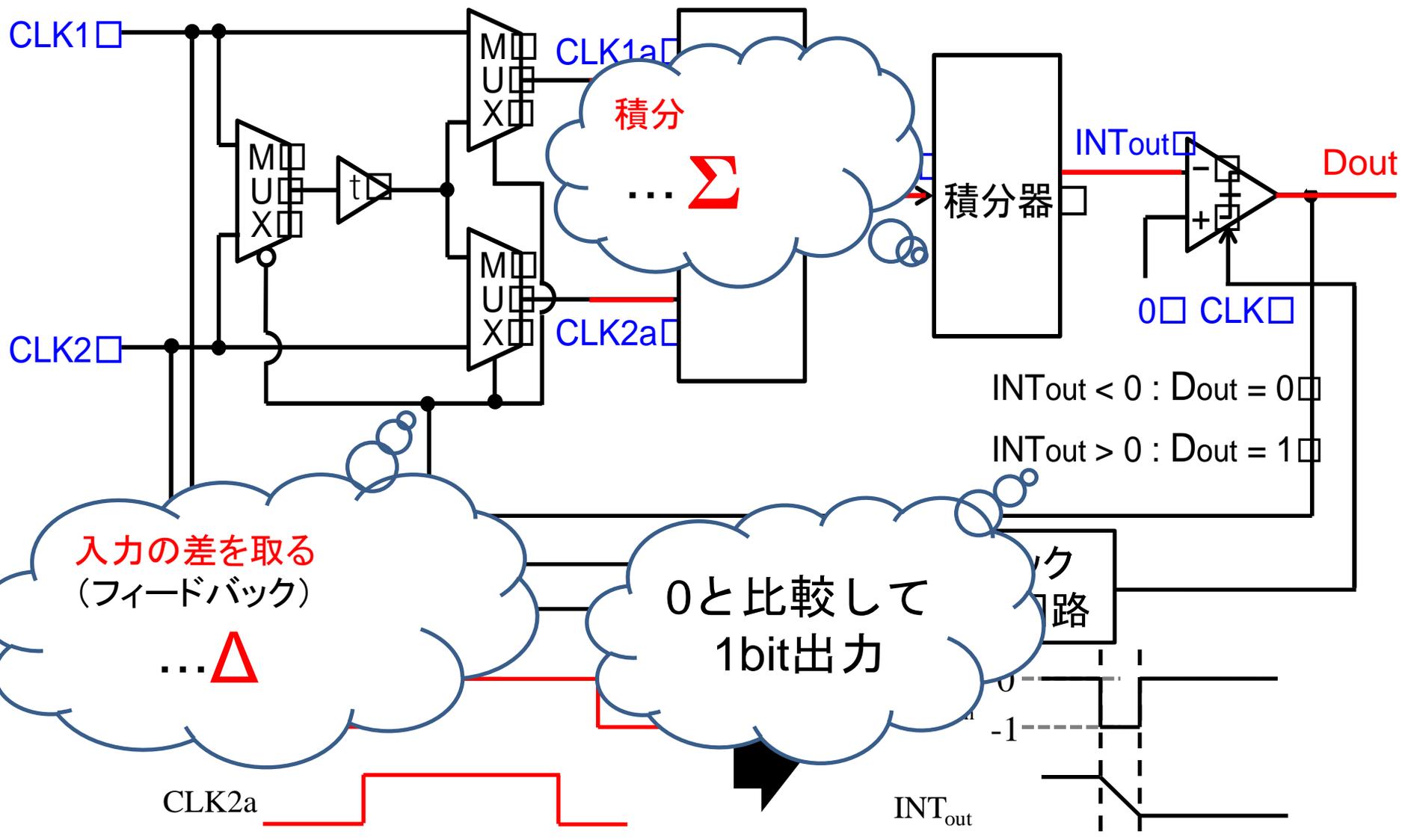
- $CLK1$ と $CLK2$ を入力
- 比較器出力により経路選択 → $CLK1a$, $CLK2a$ を得る



- $CLK1$ と $CLK2$ を入力
- 比較器出力により経路選択 → $CLK1a$, $CLK2a$ を得る



- 位相差 CLK_{in} を出力
- 比較器で INT_{out} を 0 と比較し、出力 D_{out} を得る → 次のクロックでの経路を制御



- 位相差 CLK_{in} を出力
- 比較器で INT_{out} を0と比較し、出力 D_{out} を得る \rightarrow 次のクロックでの経路を制御

(1) 時間分解能回路の研究背景

(2) デルタシグマ型タイムデジタイザ回路

- デルタシグマ変調技術
- デルタシグマ型タイムデジタイザ回路の構成と動作
- **アナログFPGA実現**

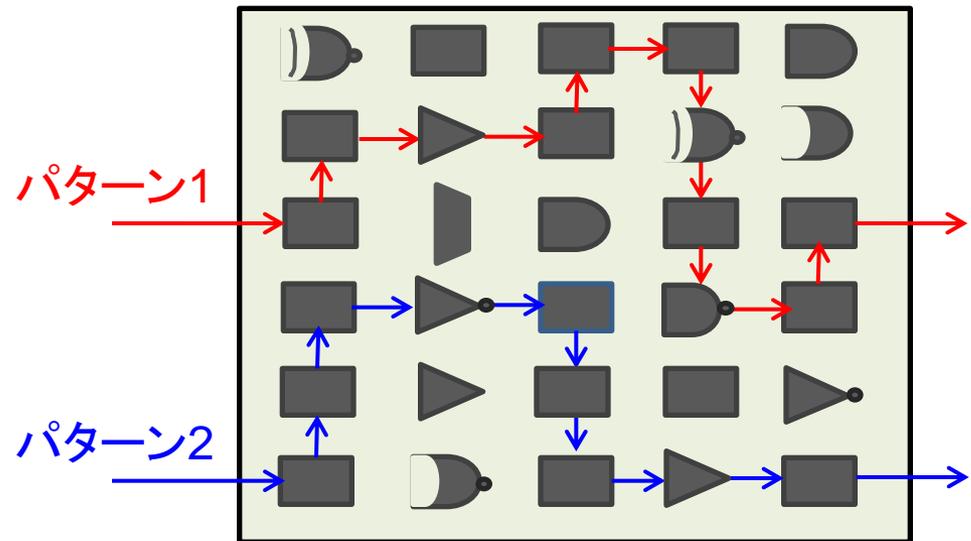
(3) マルチビットデルタシグマ型タイムデジタイザ回路

- マルチビット変調器の問題点
- DWAアルゴリズム
- アナログFPGA実現

(4) 位相ノイズ測定への応用の検討

(5) まとめ

Programmable System-on-Chip (PSoC) Cypress Semiconductor社

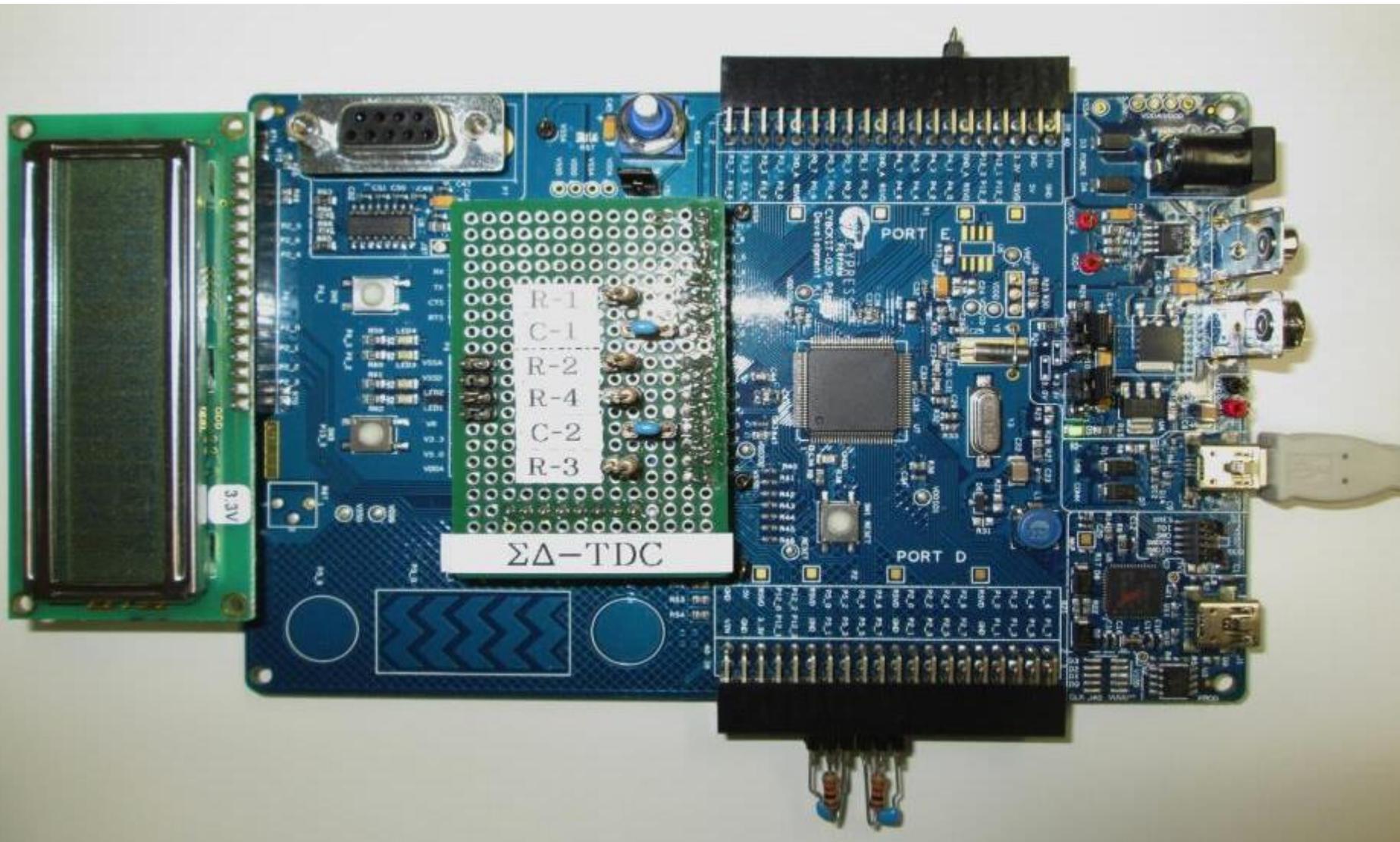


配線の変更によりアナログ・デジタル混載回路を自由に設計可能

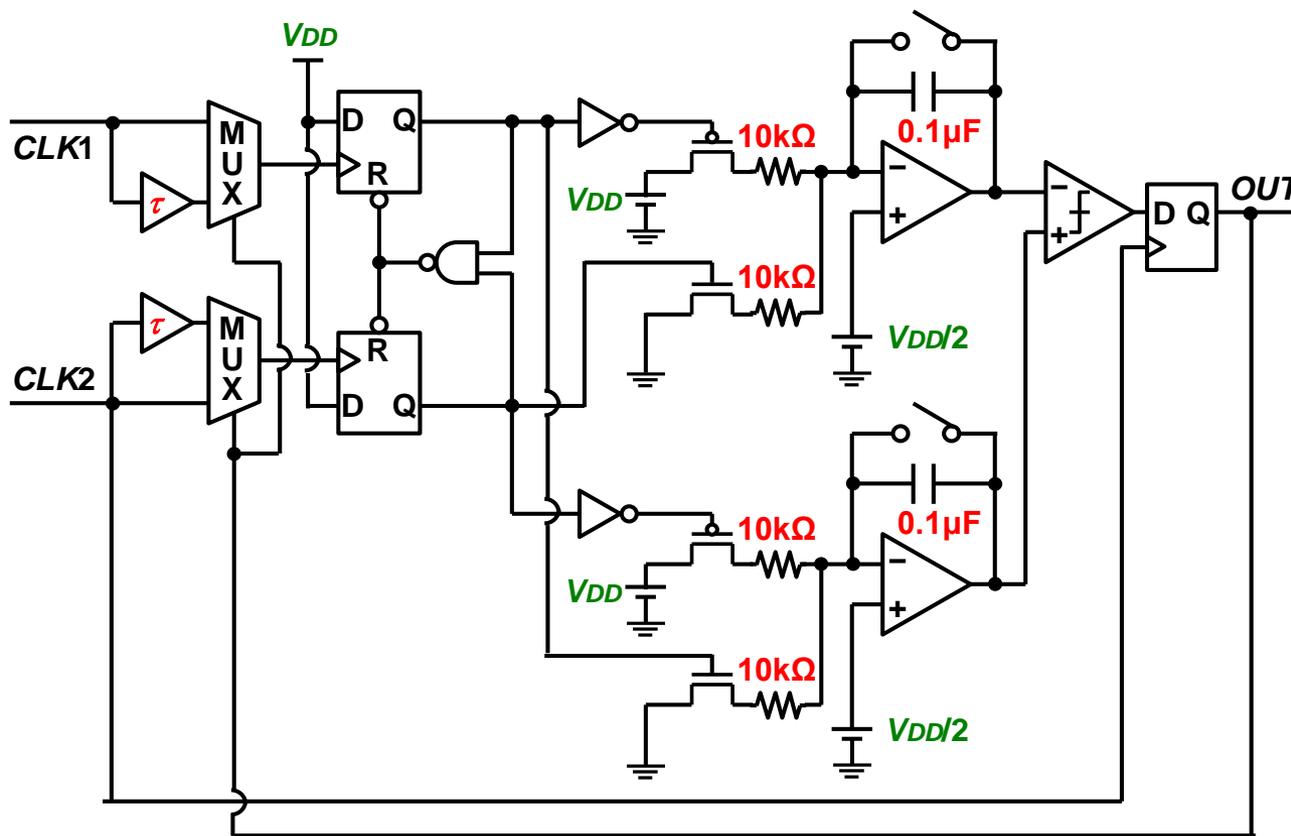
PSoCで実現する利点

- 低コスト
- 開発期間が短い
- オンチップでデバッグ・修正が可能
- 試験結果を容易に出力可能

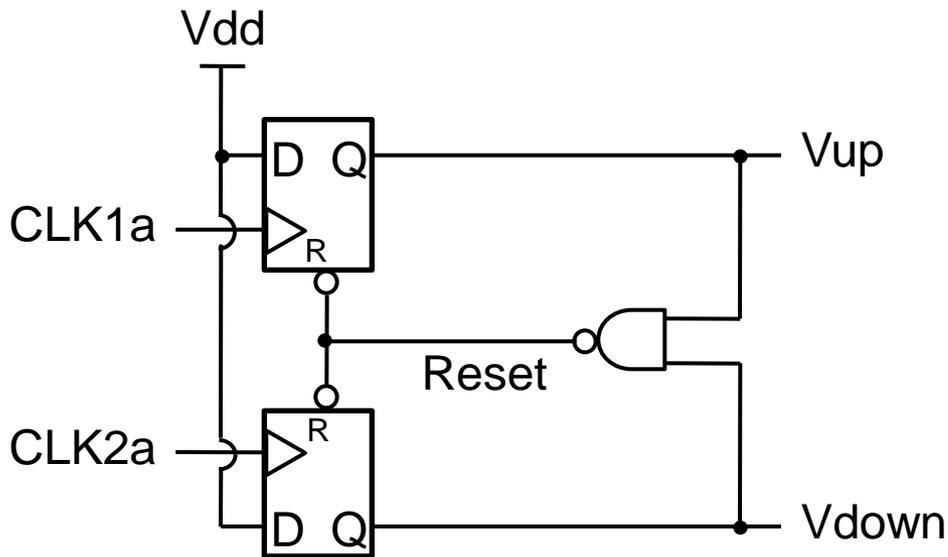
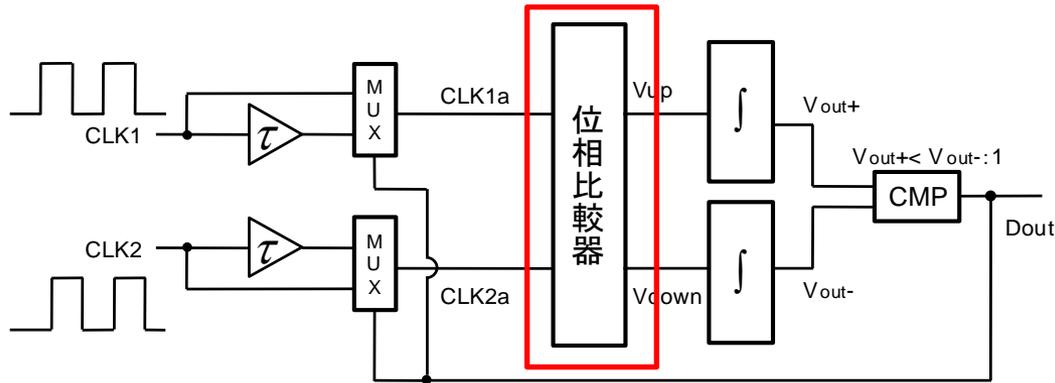
$\Delta\Sigma$ TDCを実装したPSoC



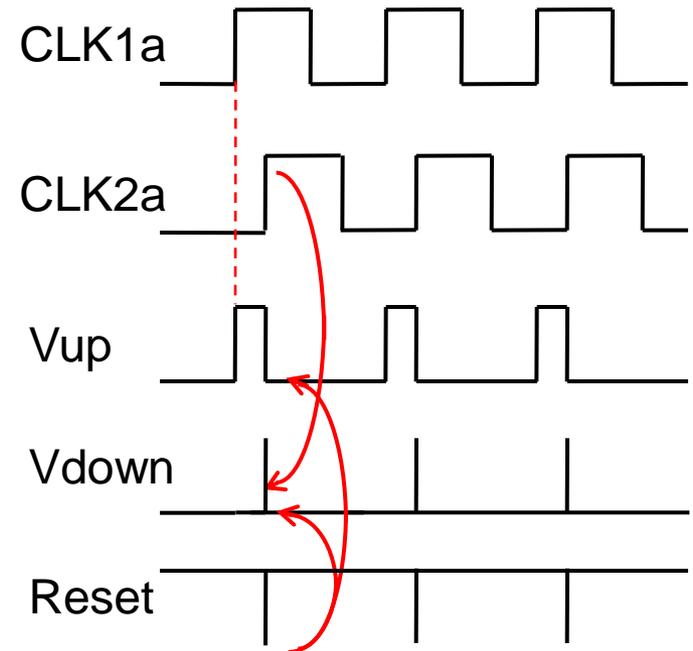
PSoC実装した $\Delta\Sigma$ TDC回路



電源電圧 V_{DD}	3.3V
遅延素子 τ	約5 μ s
入力周波数	20kHz
入力時間差 ΔT	$-4.17\mu\text{s} < \Delta T < 4.17\mu\text{s}$ 41.7ns刻みで変化

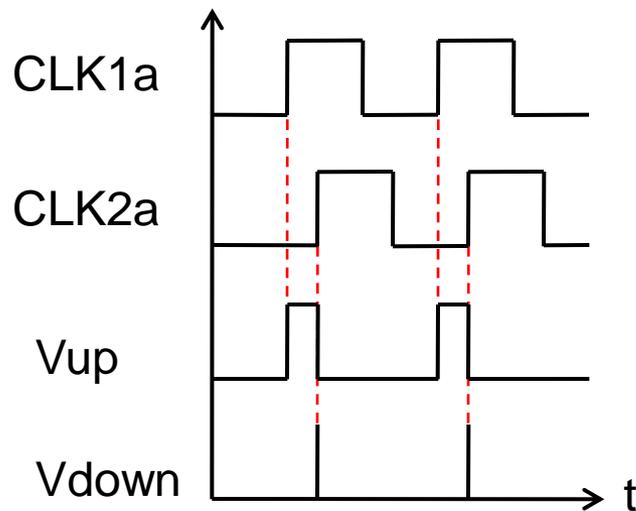


NAND型位相比較器

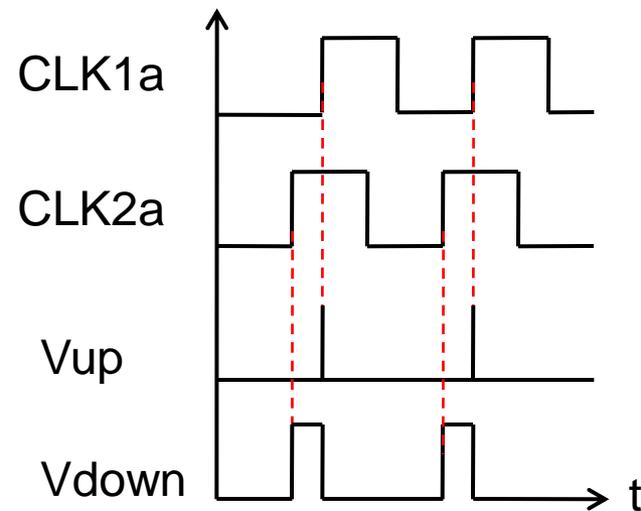


タイミングチャート

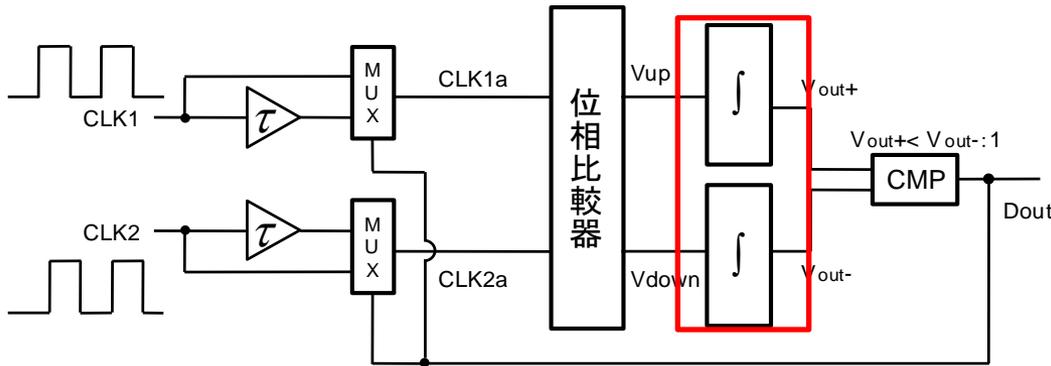
CLK1aとCLK2aの立ち上がりエッジのタイミングにより
出力が異なる



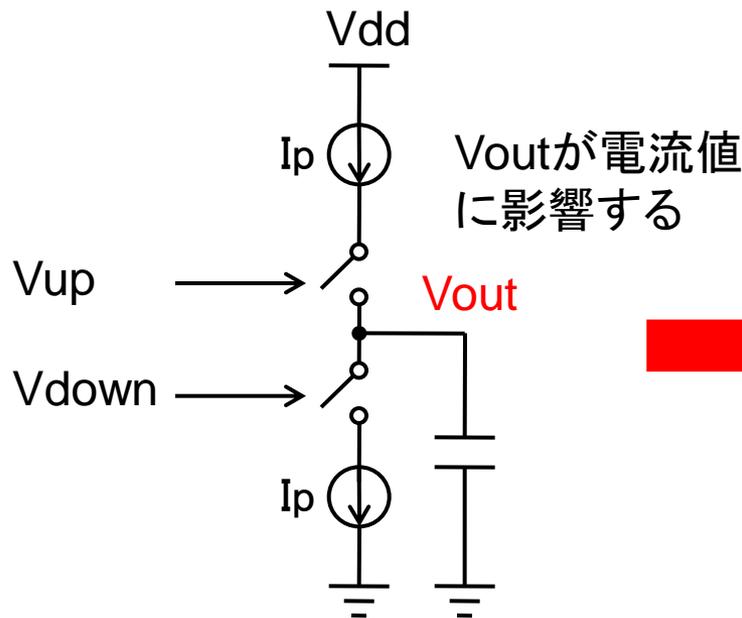
CLK1aの立ち上がりエッジが
CLK2aのエッジよりも速い場合



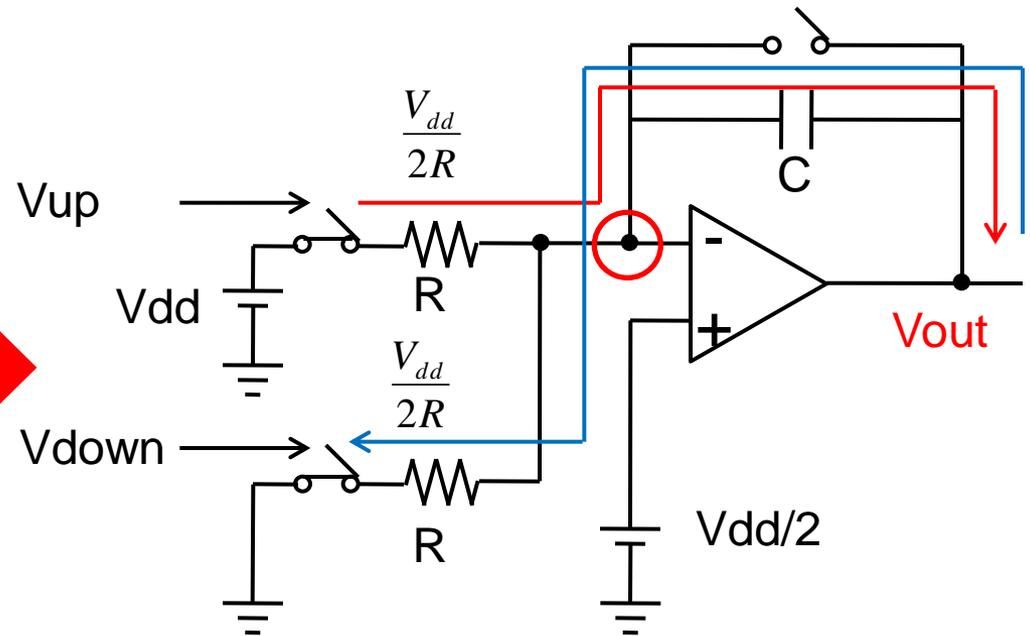
CLK2aの立ち上がりエッジが
CLK1aのエッジよりも速い場合



- オペアンプの仮想短絡を利用
- 電圧源と抵抗で電流を発生

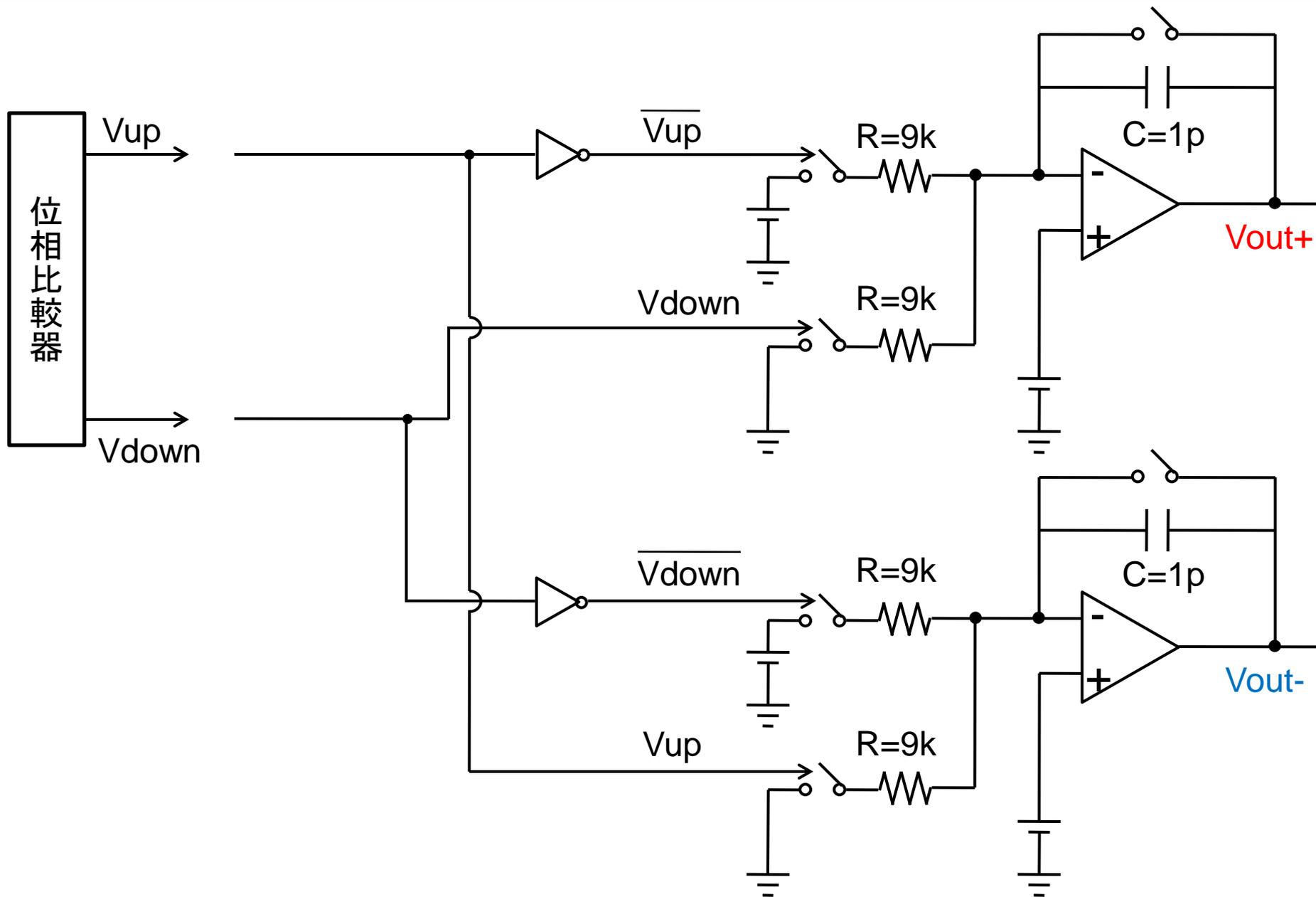


基本型チャージポンプ

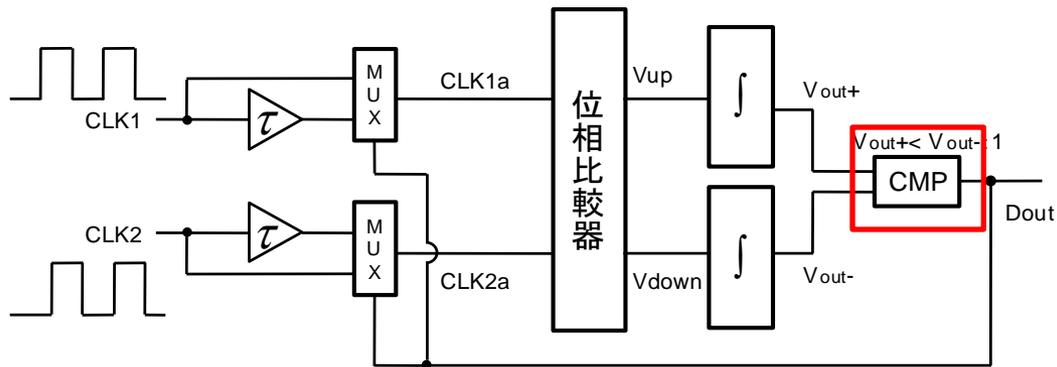


オペアンプ型チャージポンプ

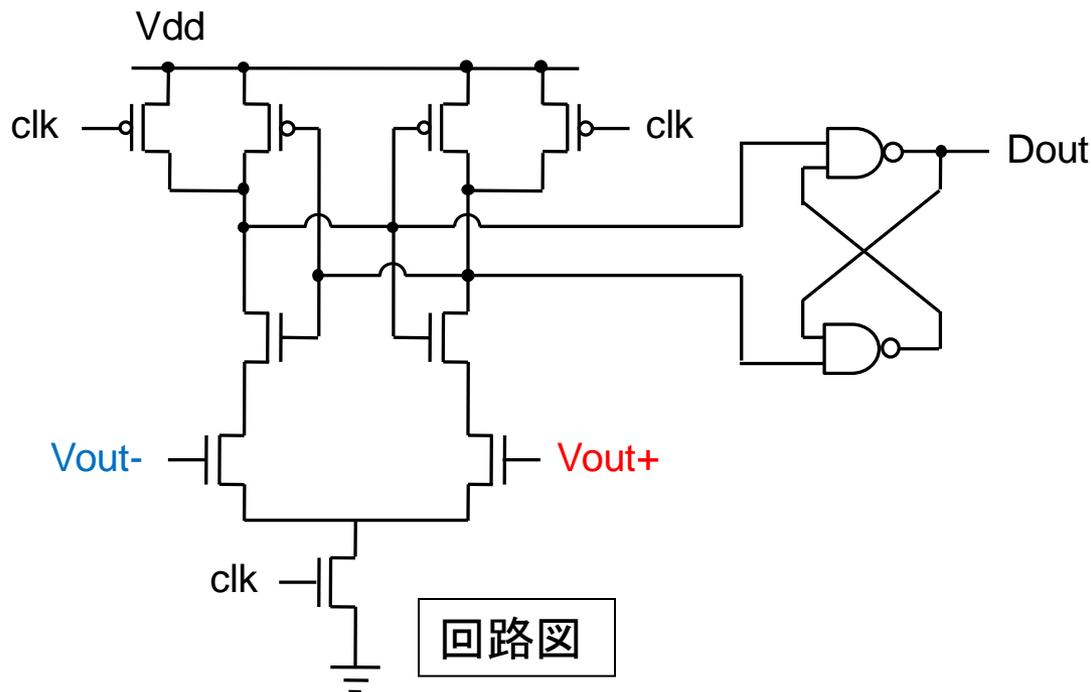
位相比較器とチャージポンプの接続



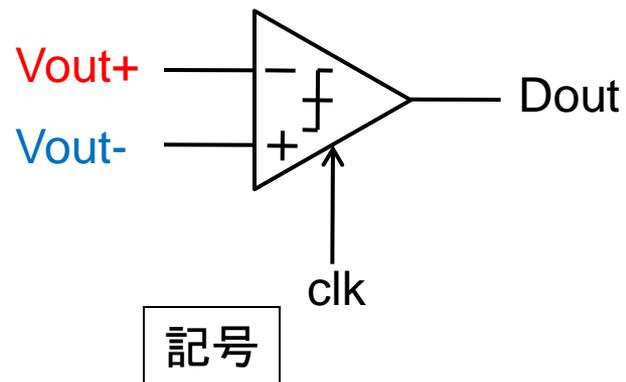
コンパレータの回路設計



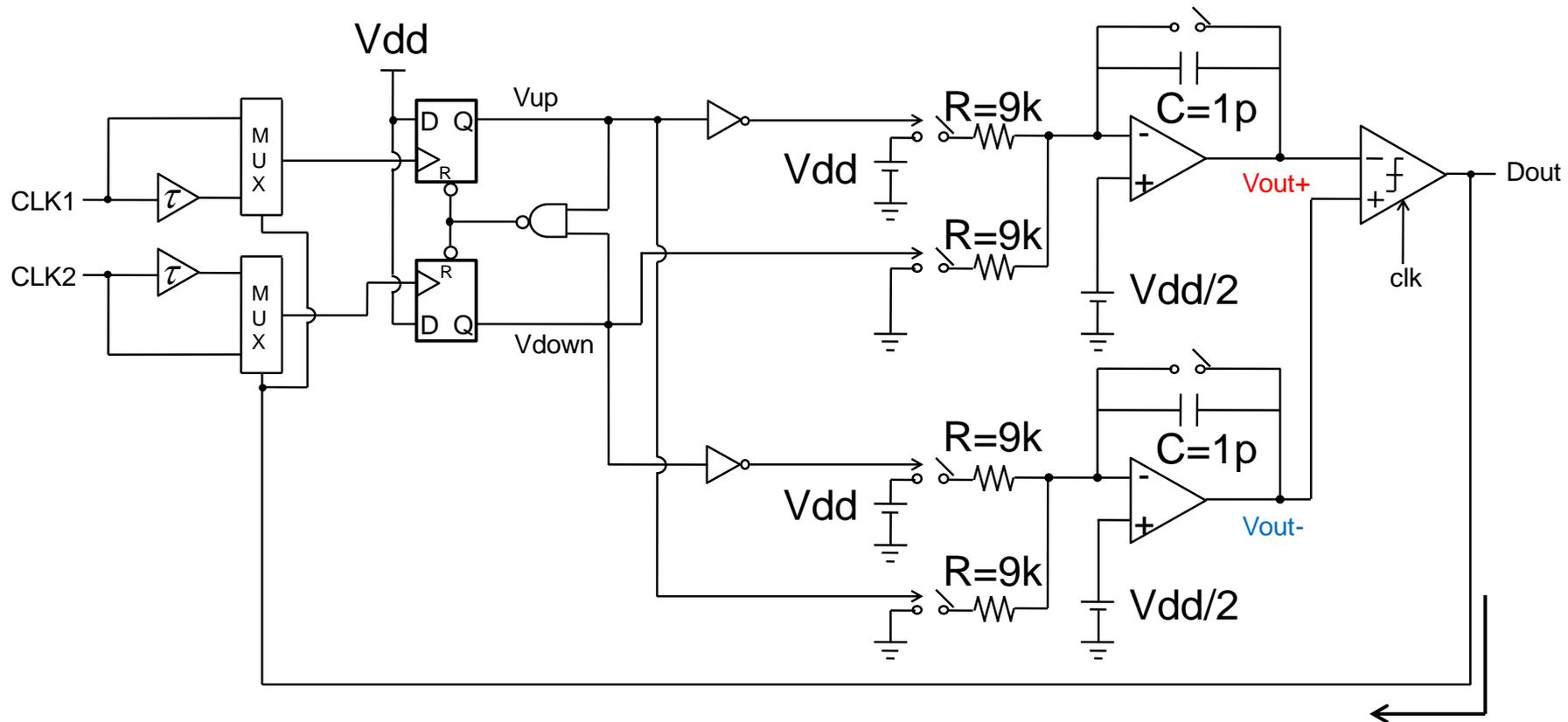
MOS	W[μ m]/L[μ m]
PMOS	6/0.18
NMOS	2/0.18



$V_{out-} > V_{out+} \rightarrow D_{out} = 1$
 $V_{out-} < V_{out+} \rightarrow D_{out} = 0$



1ビット $\Delta\Sigma$ 型TDC



シミュレーション条件

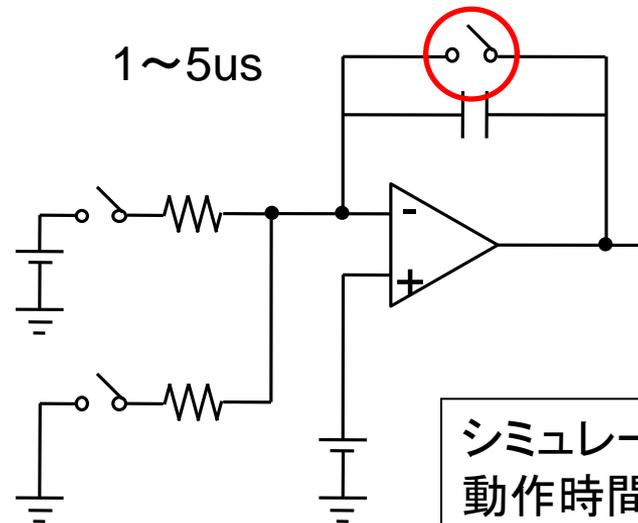
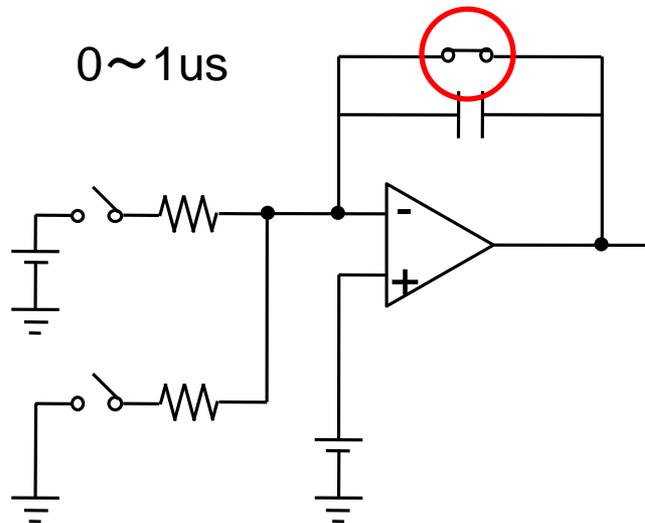
	High/Low	周波数	パルス幅
CLK1,CLK2	1.8V/0V	10MHz	50ns

電源電圧Vdd=1.8V
シミュレーション時間5us

spectreで設計
(TSMC0.18um CMOSプロセス)

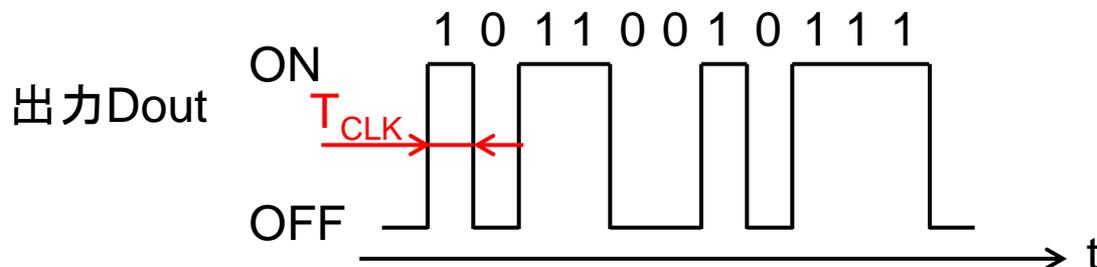
初期条件

- コンデンサの両端を1usまで短絡



シミュレーション時間: 5us
動作時間: 4us

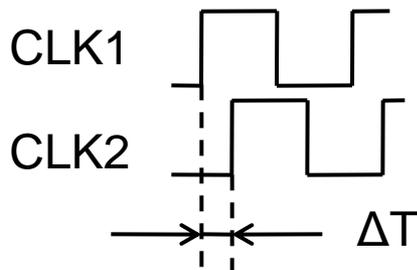
パルスの数え方



出力の総ON時間を
入力クロック周期 T_{CLK} で割る

パルス数合計: 7

CLK1が先に立ち上がる場合



ΔT

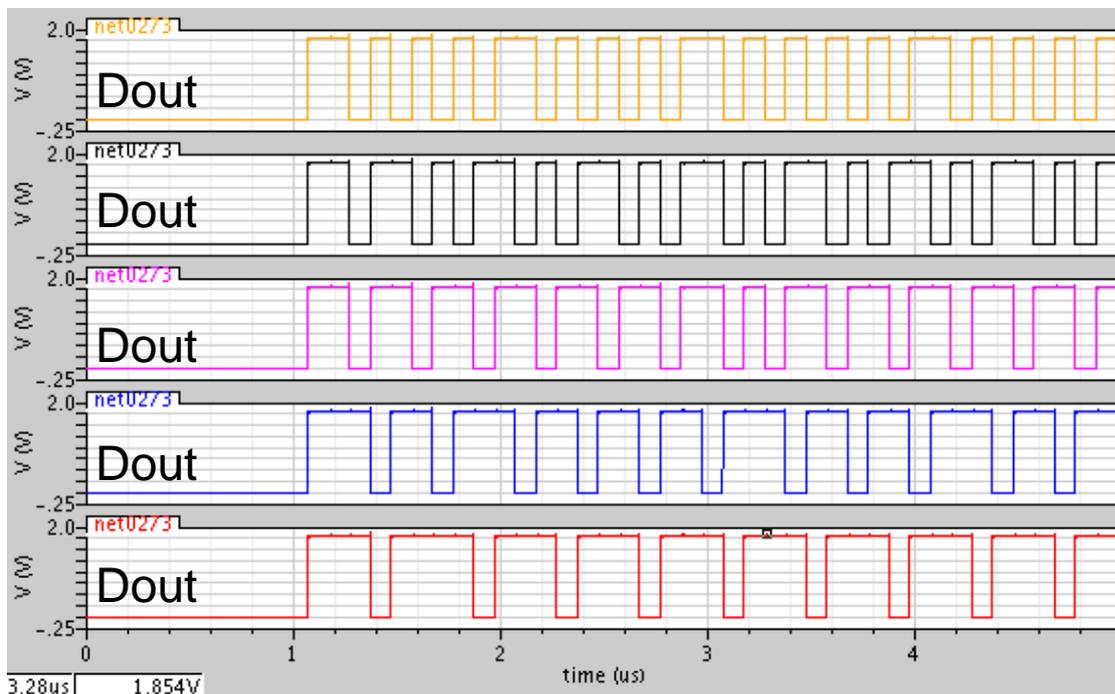
0.1ns

0.2ns

0.3ns

0.4ns

0.5ns



1のパルス数

22

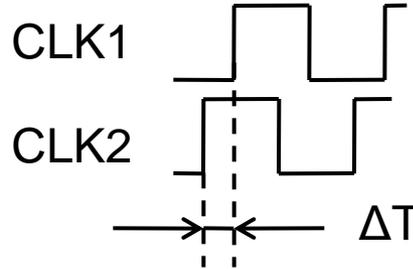
24

26

28

30

CLK2が先に立ち上がる場合



ΔT

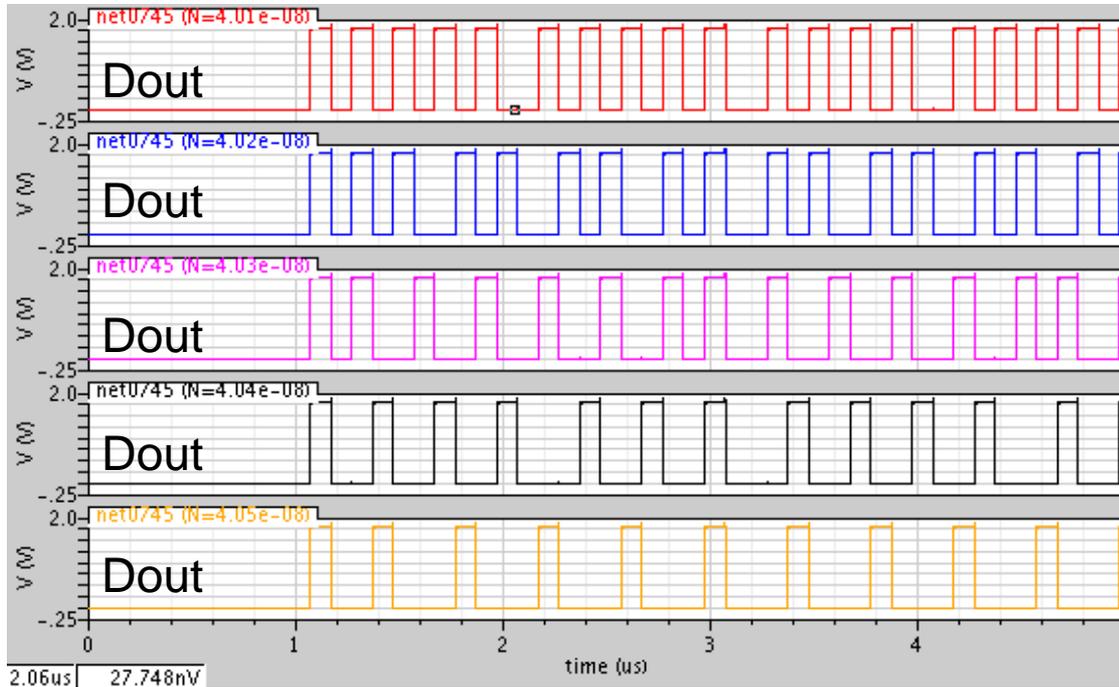
0.1ns

0.2ns

0.3ns

0.4ns

0.5ns



1のパルス数

18

16

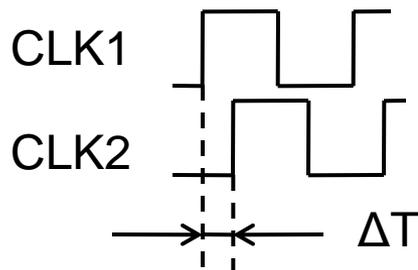
14

12

10

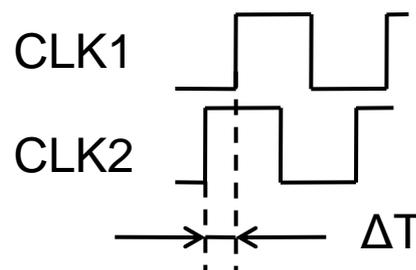
CLK1が先に
立ち上がる

$\Delta T(\text{ns})$	1の数
0.95	39
0.9	38
0.8	36
0.7	34
0.6	32
0.5	30
0.4	28
0.3	26
0.2	24
0.1	22
0	20



CLK2が先に
立ち上がる

$\Delta T(\text{ns})$	1の数
0.95	1
0.9	2
0.8	4
0.7	6
0.6	8
0.5	10
0.4	12
0.3	14
0.2	16
0.1	18
0	20



※動作時間4us

時間差0.1n毎
にパルス数が
2つつ変化

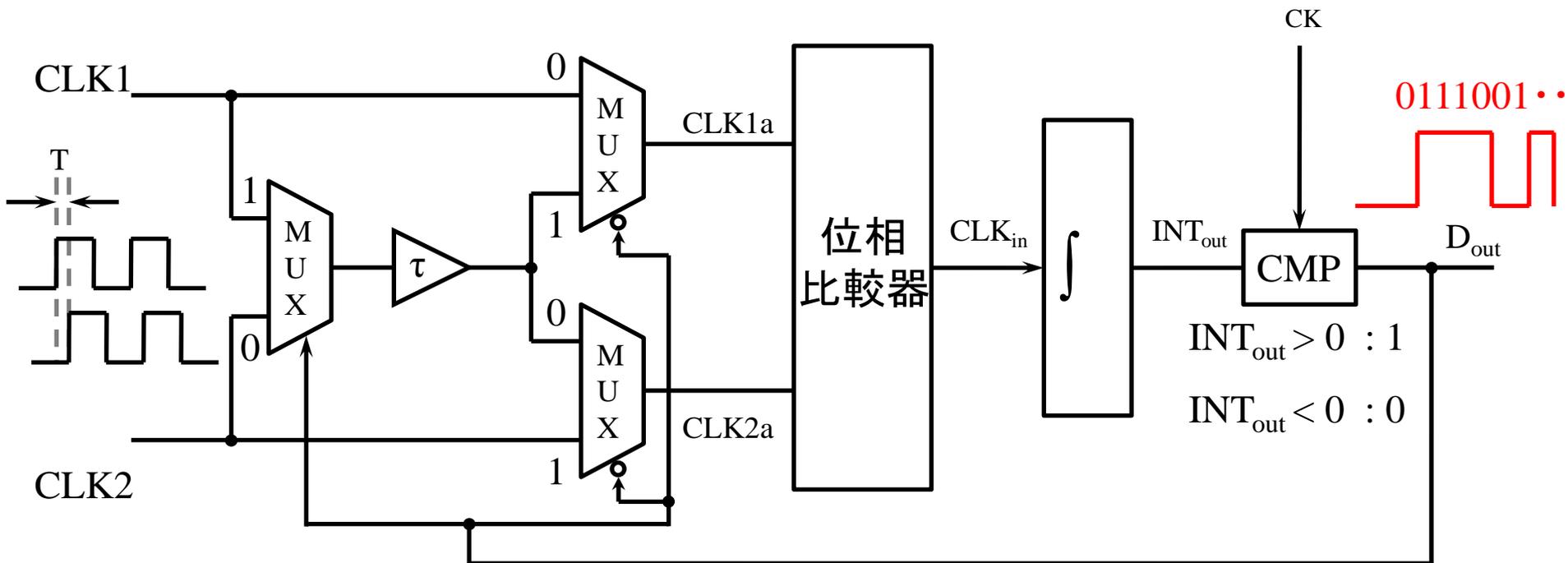


分解能50ps

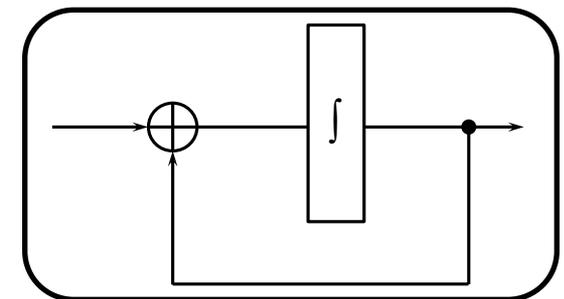
シミュレーションで確認

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - **マルチビット変調器の問題点**
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

シングルビット $\Delta\Sigma$ TDC回路の構成

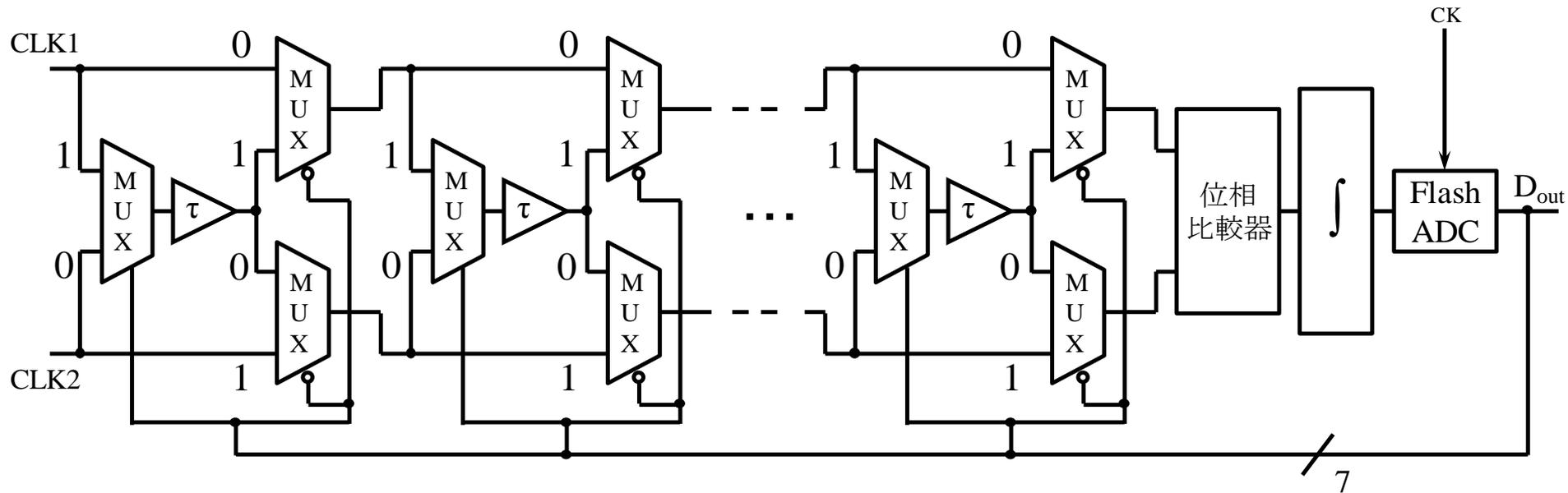


- CLK1とCLK2間の時間差を計測
- 出力は時間差Tに比例 ⇒ 1の個数でTを測定可
- D_{out}で経路制御
- 測定可能範囲 : $-\tau < T < \tau$



•積分制御のフィードバック構成

マルチビット $\Delta\Sigma$ TDCの構成



- 遅延セル, マルチプレクサを増やしマルチビット化
- n -bitの場合: $2^n - 1$ 本の出力
- 測定可能範囲: $-7\tau < T < 7\tau$
- Flash ADCの出力結果で経路選択

- シングルビット $\Delta\Sigma$ TDC
 - 遅延ミスマッチが影響しない
 - 精度が出せる
 - 測定時間が長い
- マルチビット $\Delta\Sigma$ TDC
 - 測定時間を短縮可能
 - 補正技術を適用することで精度が保てる

テスト：短時間, テスト精度の向上が重要

マルチビット化によりテスト時間が短縮



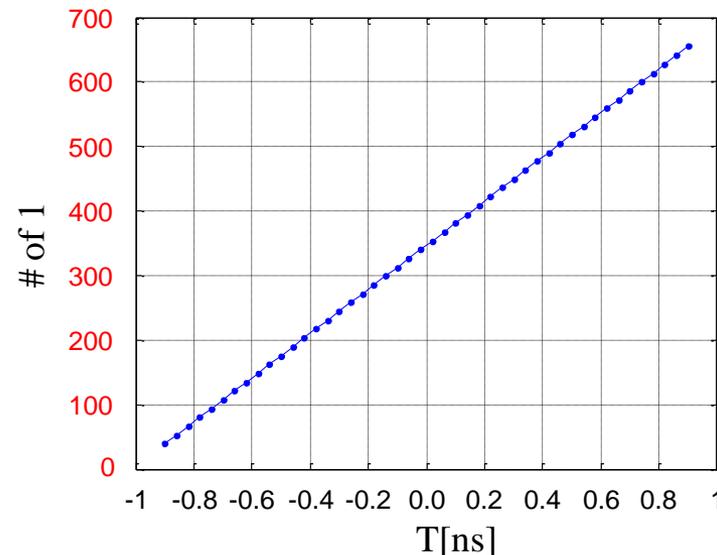
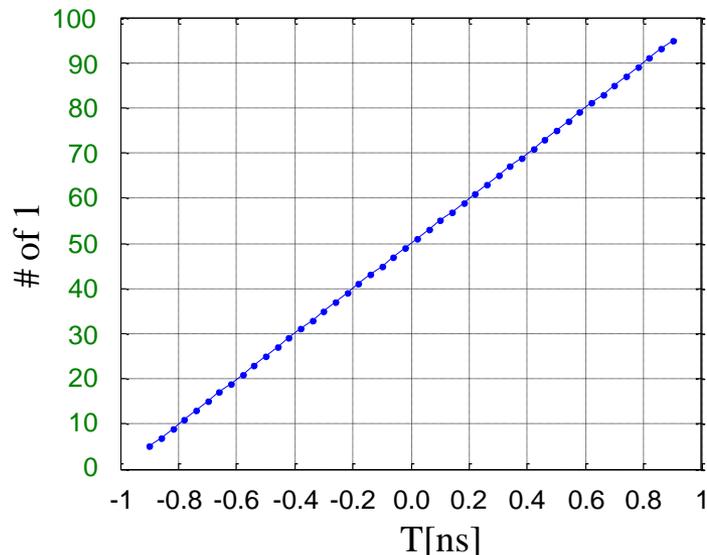
テストコストを削減可能

$\Delta\Sigma$ TDCのMATLABシミュレーション結果 49

● シミュレーション条件

	1-bit $\Delta\Sigma$ TDC	3-bit $\Delta\Sigma$ TDC
立ち上がり時間差 T	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])
遅延時間 τ	1[ns]	0.145[ns]
出力数(比較回数)	99点	99点

■ 立ち上がり間隔 T に対する1の出力数



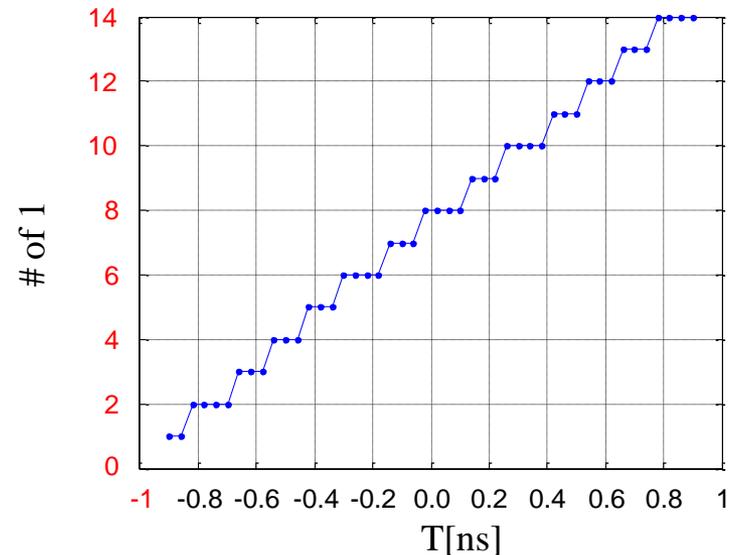
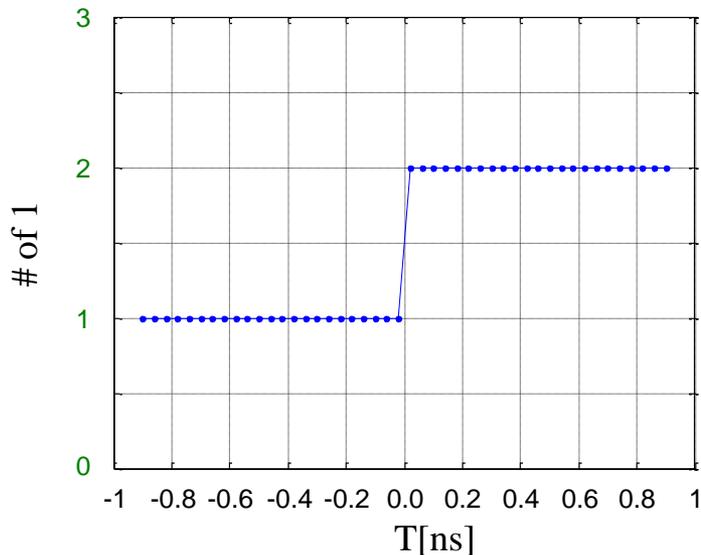
- 1の出力数は入力時間差に比例
 - 時間差測定が可能

測定時間を短縮した場合の検討

● シミュレーション条件

	1-bit $\Delta\Sigma$ TDC	3-bit $\Delta\Sigma$ TDC
立ち上がり時間差 T	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])
遅延時間 τ	1[ns]	0.145[ns]
出力数(比較回数)	2点	2点

■ 立ち上がり間隔 T に対する1の出力数



マルチビット変調器の利点

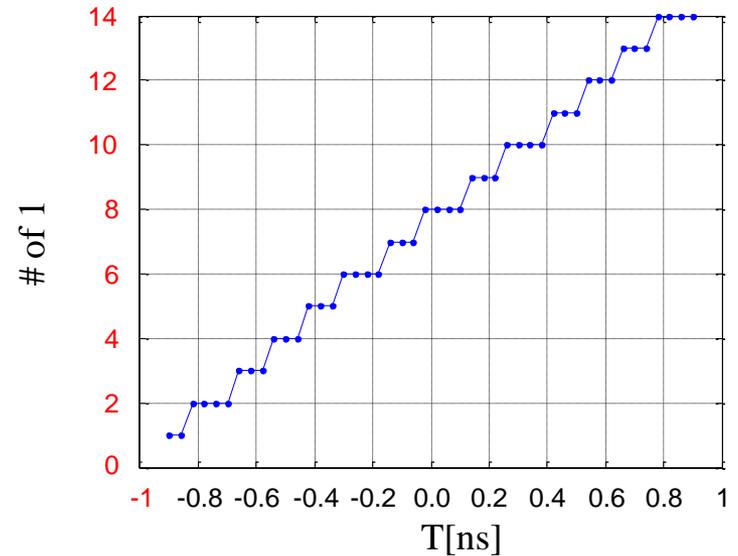
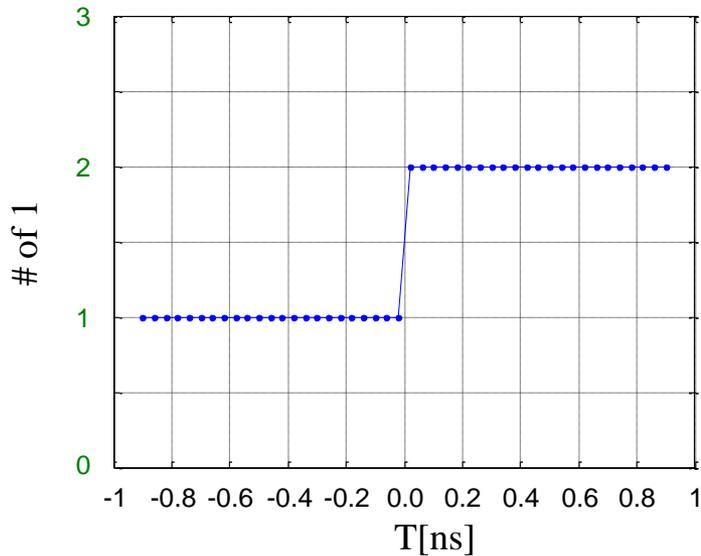
✓マルチビット化することで短時間で細かく測定可能



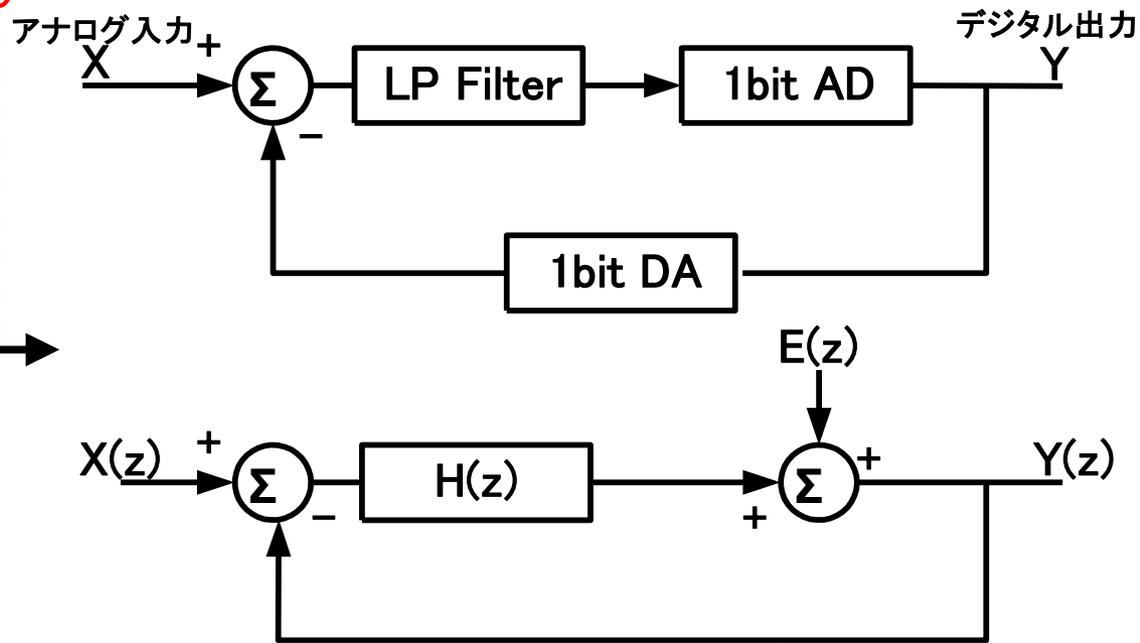
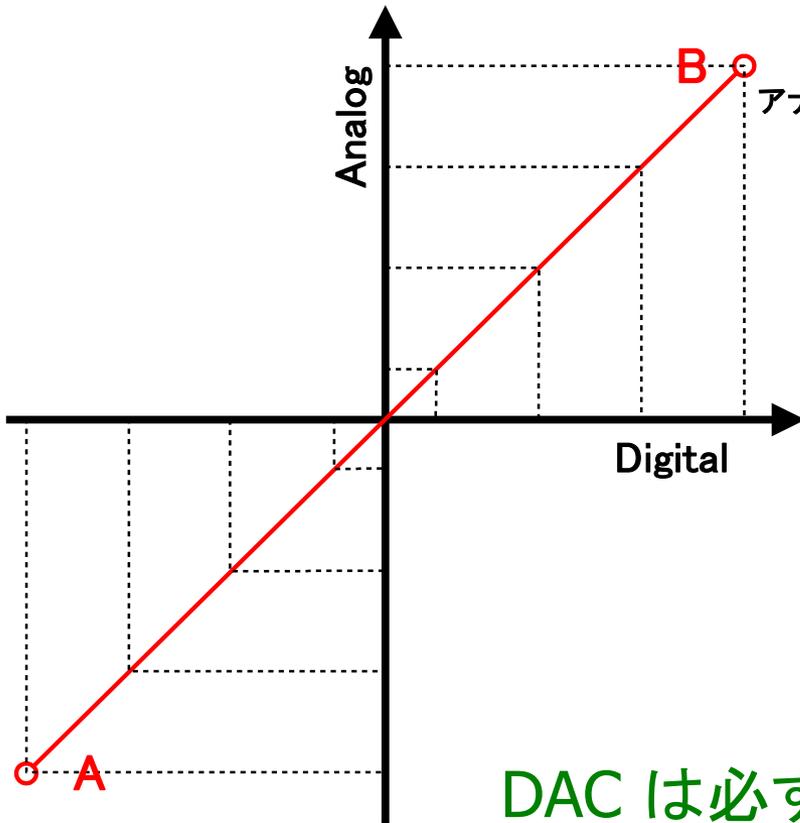
低コスト・テスト



■ 立ち上がり間隔 T に対する1の出力数

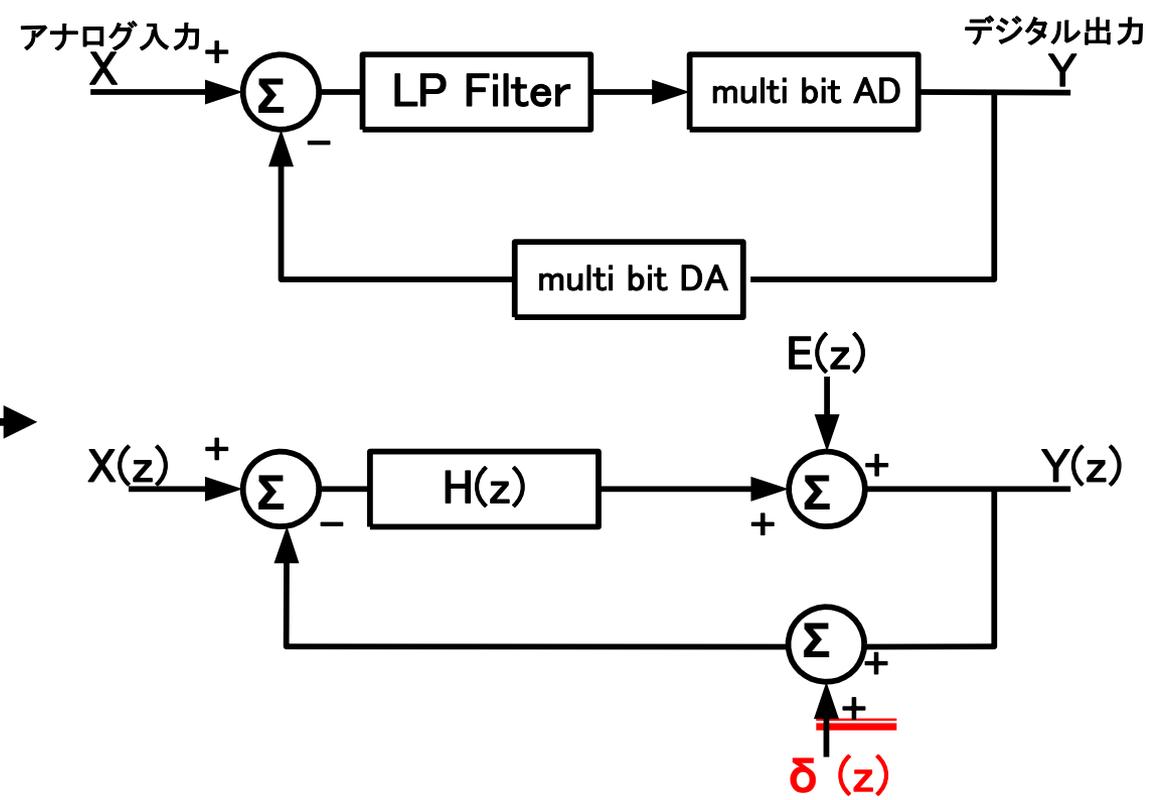
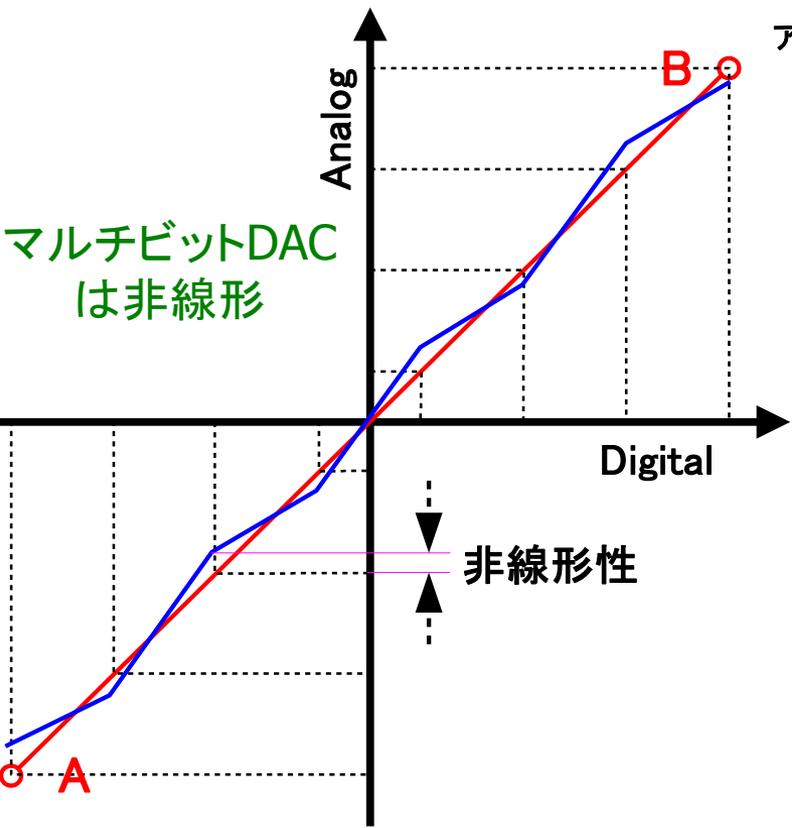


内部ADC/DACが1ビット



DAC は必ず線形

内部ADC/DACが多ビット



$$Y(z) = \frac{H(z)}{1+H(z)} (X(z) - \delta(z)) + \frac{1}{1+H(z)} \cdot E(z)$$

2値: 論理

Yes かNoか。

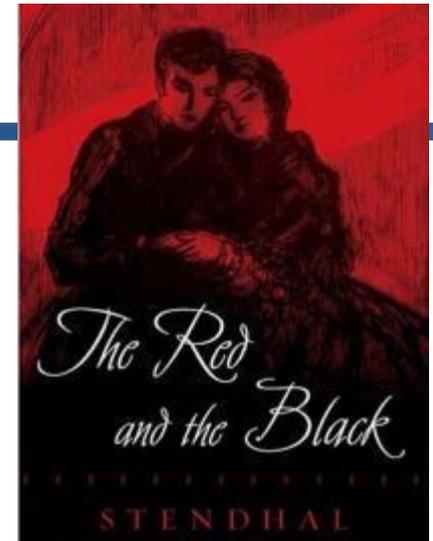
白か黒か。

誤差なし

多値: 数値

灰色

誤差を含む



赤と黒



灰色の空

多少行き過ぎた行動をしても

(ADCに誤差があっても)

その結果を正しく戻せば対応できる。

(DACが正確ならば)

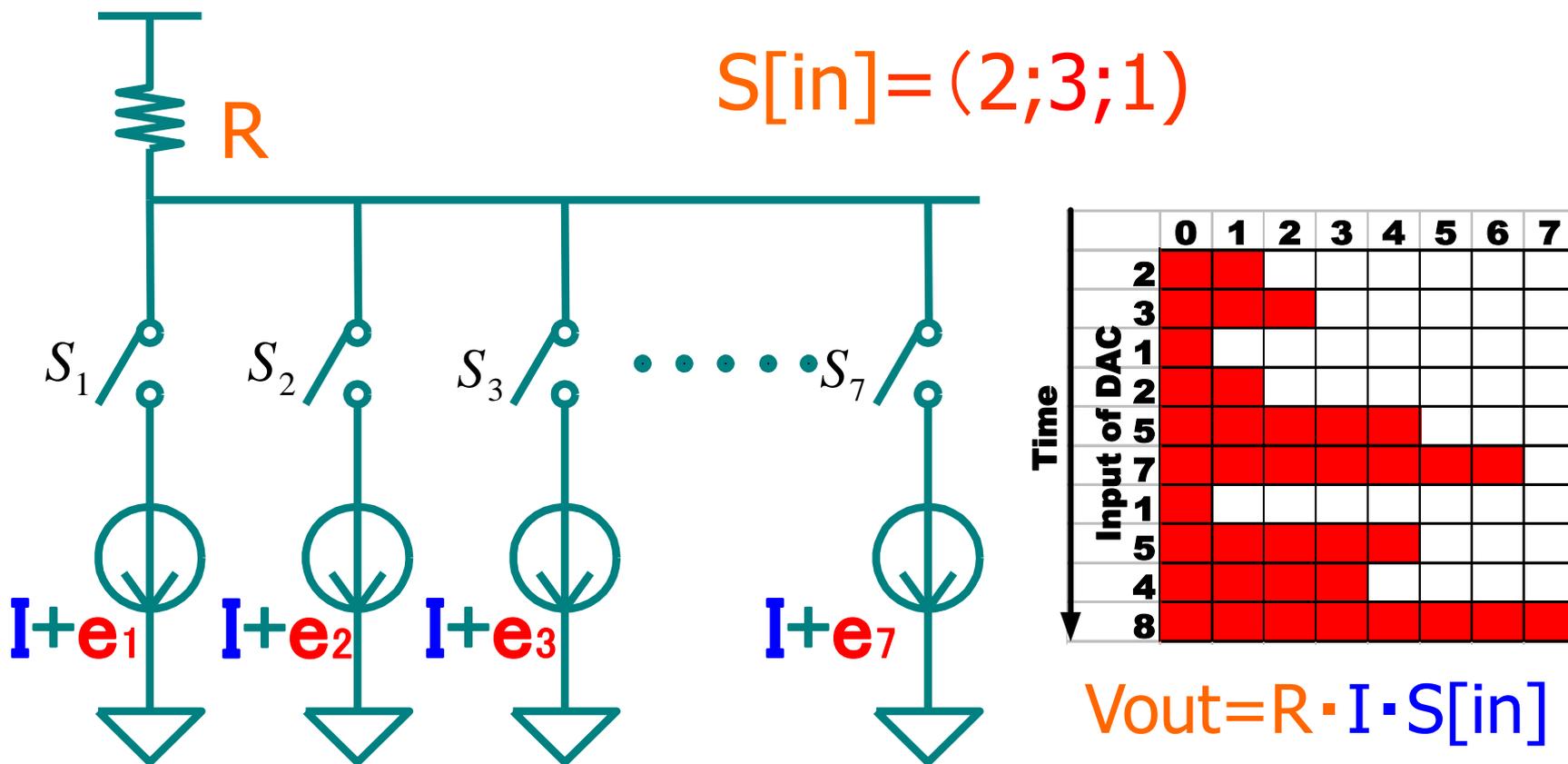
結果を正しく報告できなければ

(DACが不正確なら)

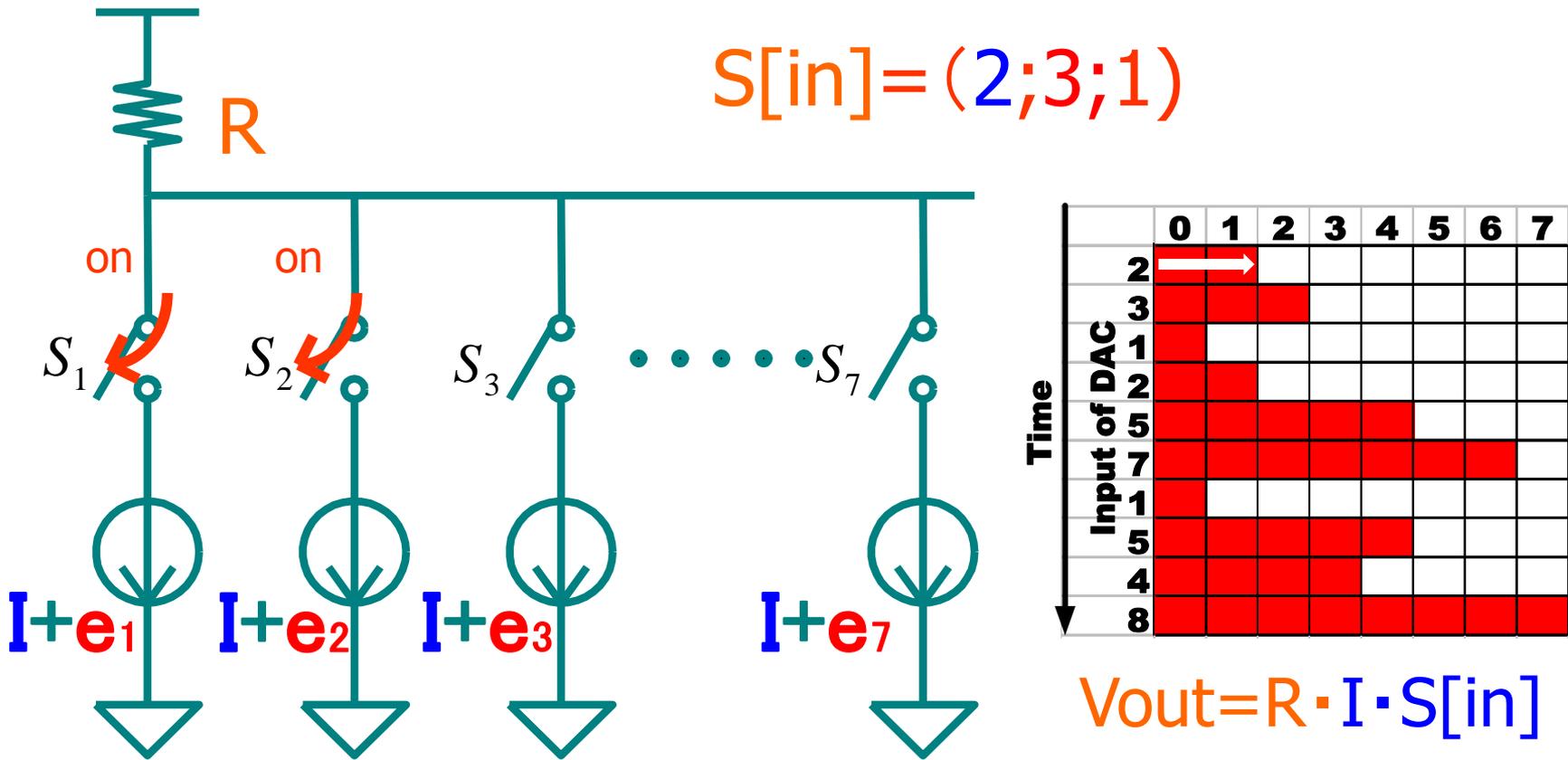
システム全体の性能劣化

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - **DWAアルゴリズム**
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

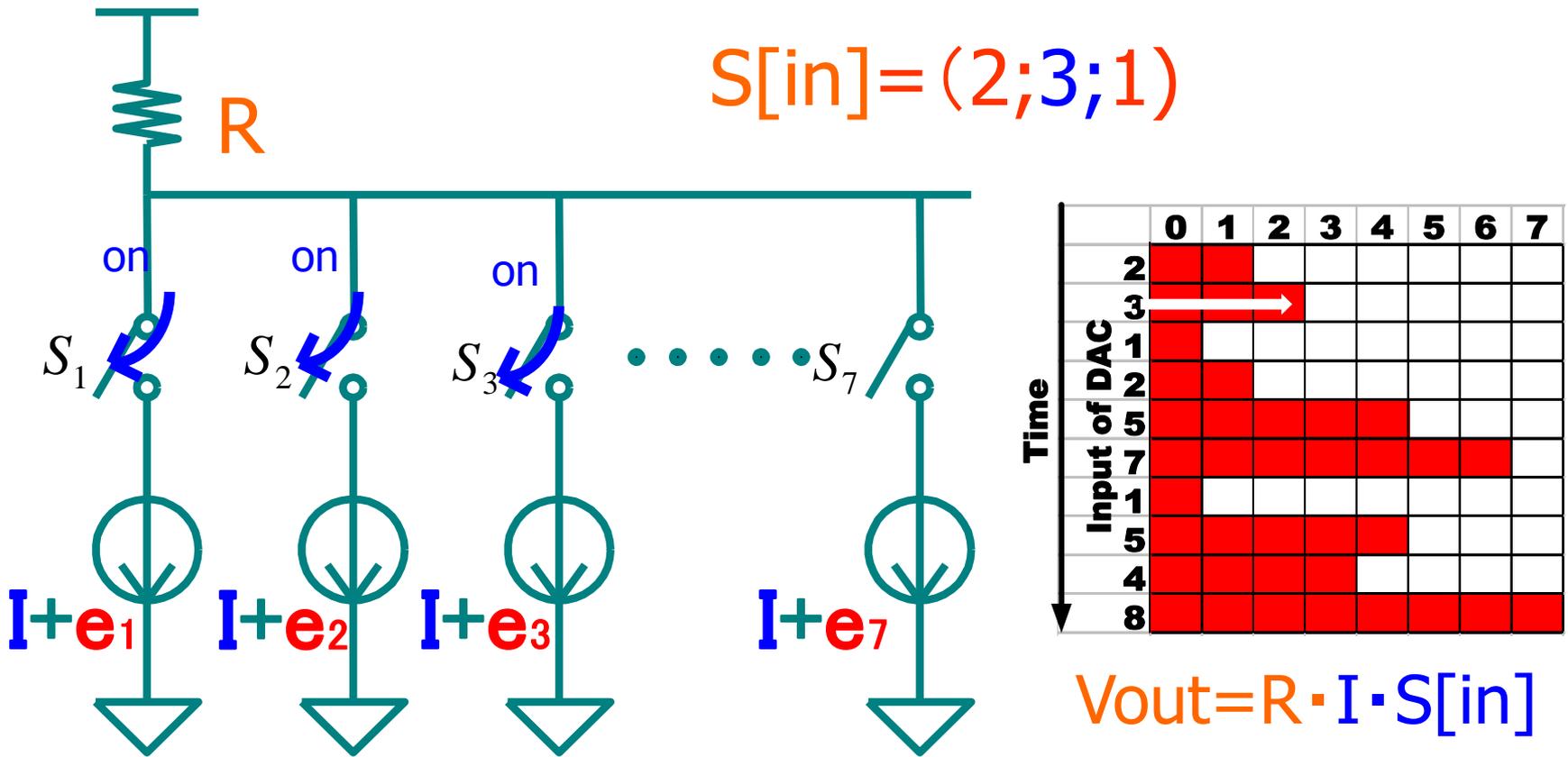
セグメント電流セル型DACの構成



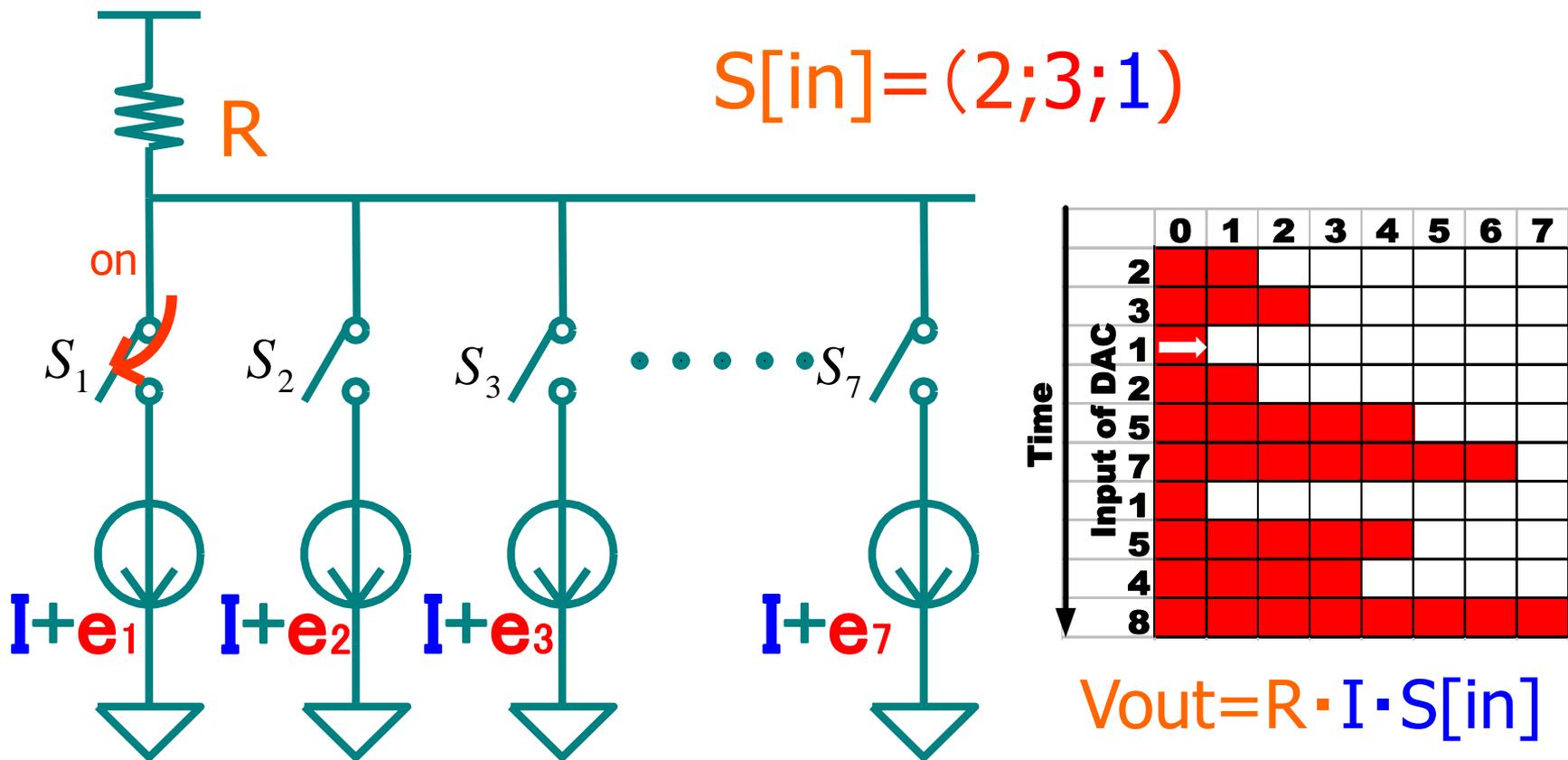
電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性



電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性



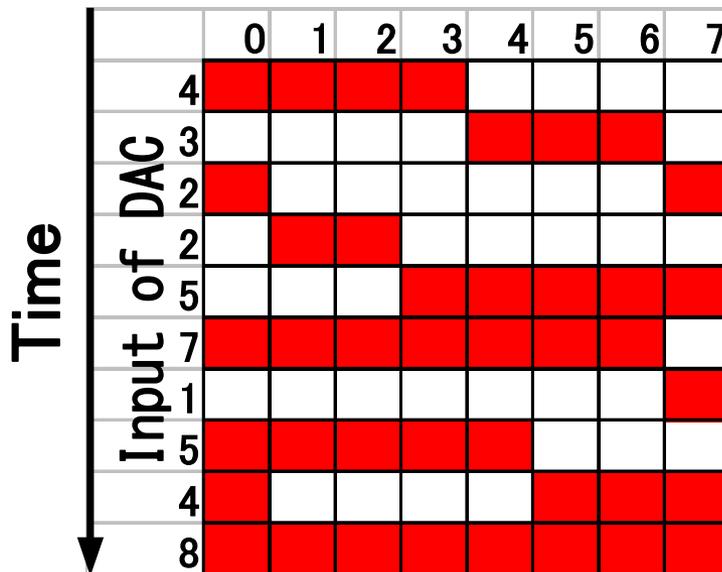
電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性



電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

Data Weighted Averaging (DWA)アルゴリズム

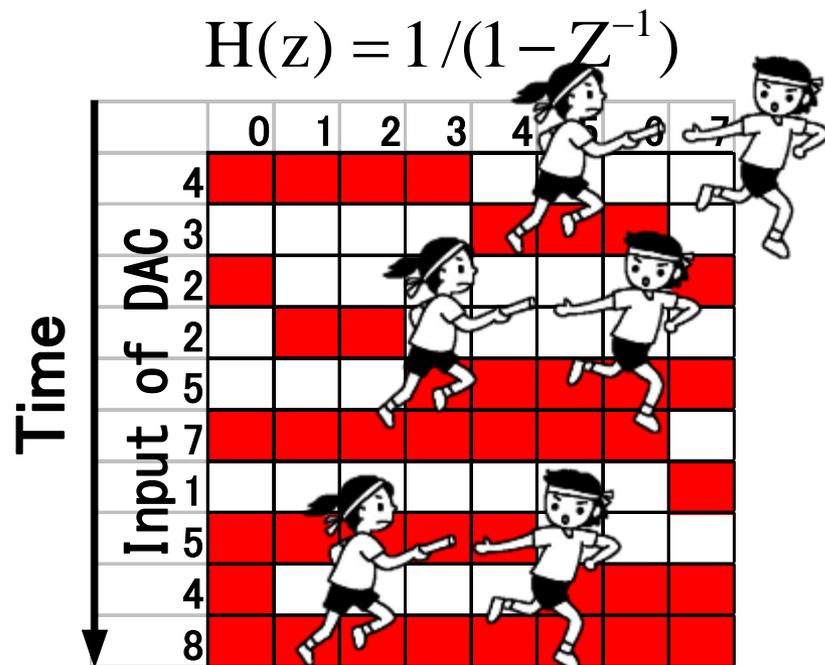
$$H(z) = 1 / (1 - Z^{-1})$$



セグメント型の
冗長性を利用

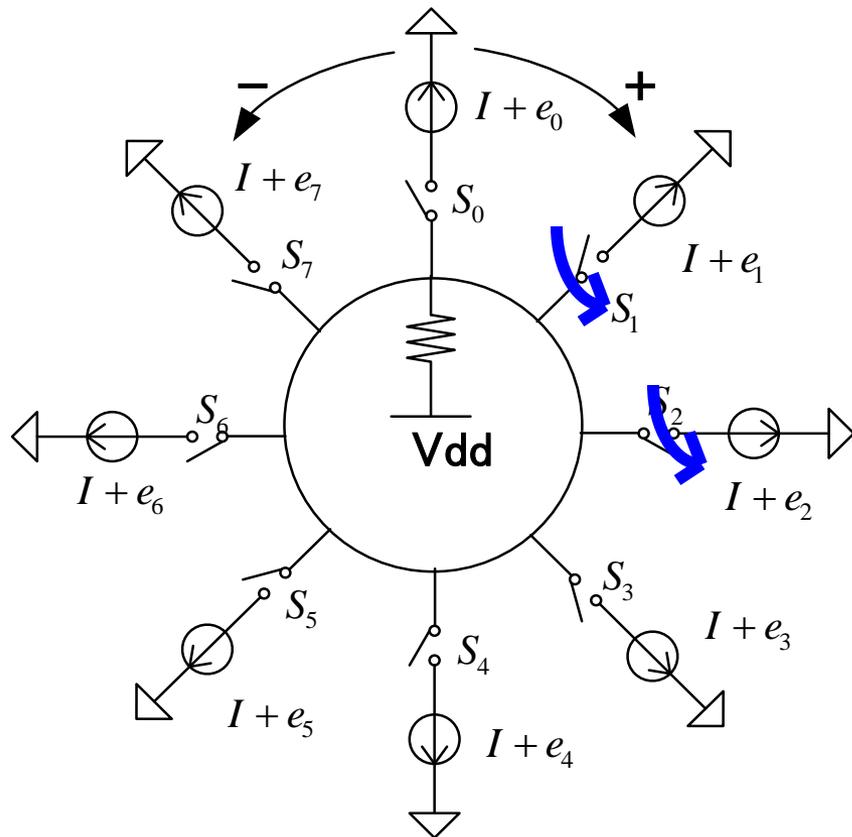
Data Weighted Averaging (DWA)アルゴリズム

セグメント型の冗長性を利用



バトンレースの動作

DWAアルゴリズム使用 時刻4

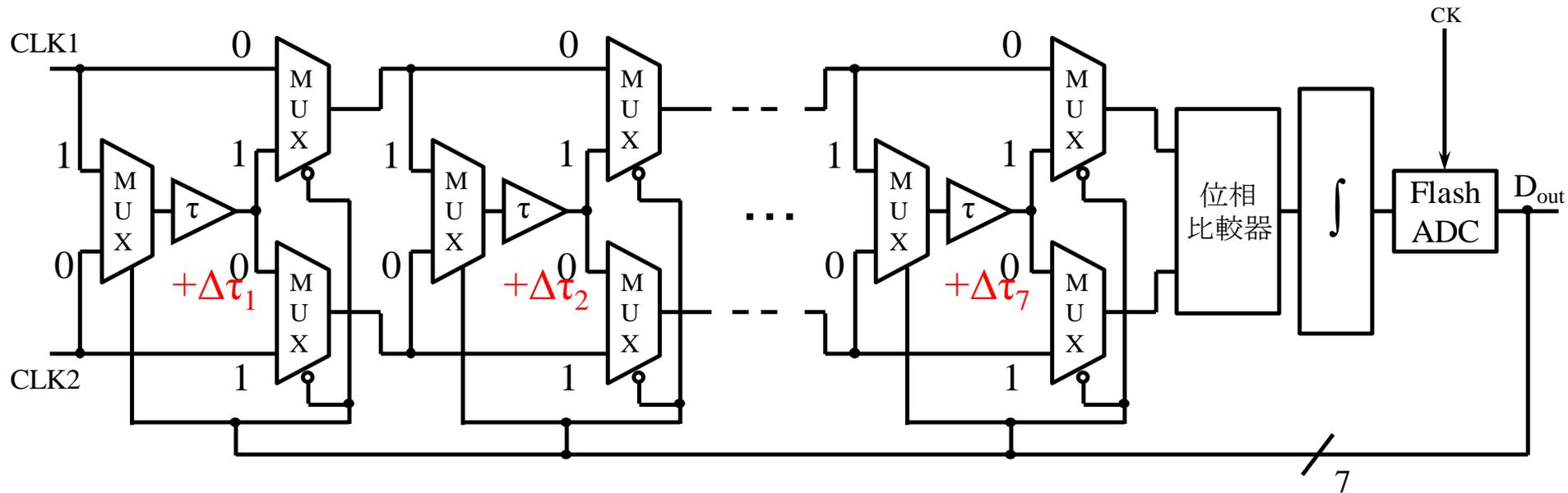


$$H(z) = 1/(1 - Z^{-1})$$

Time ↓

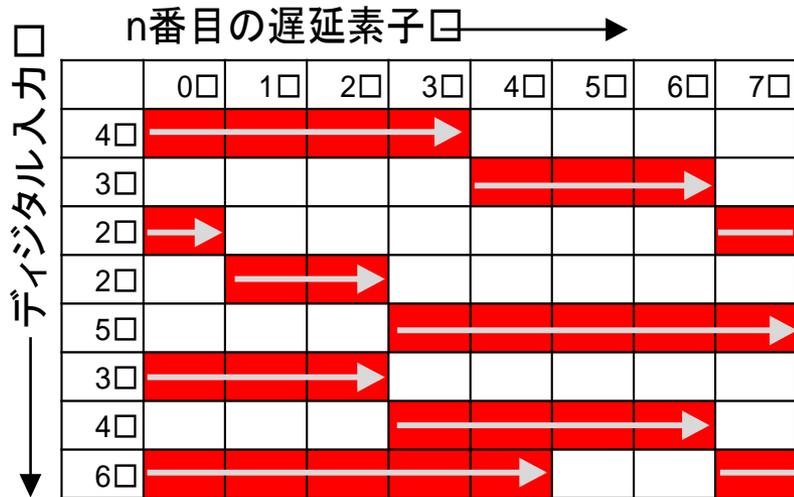
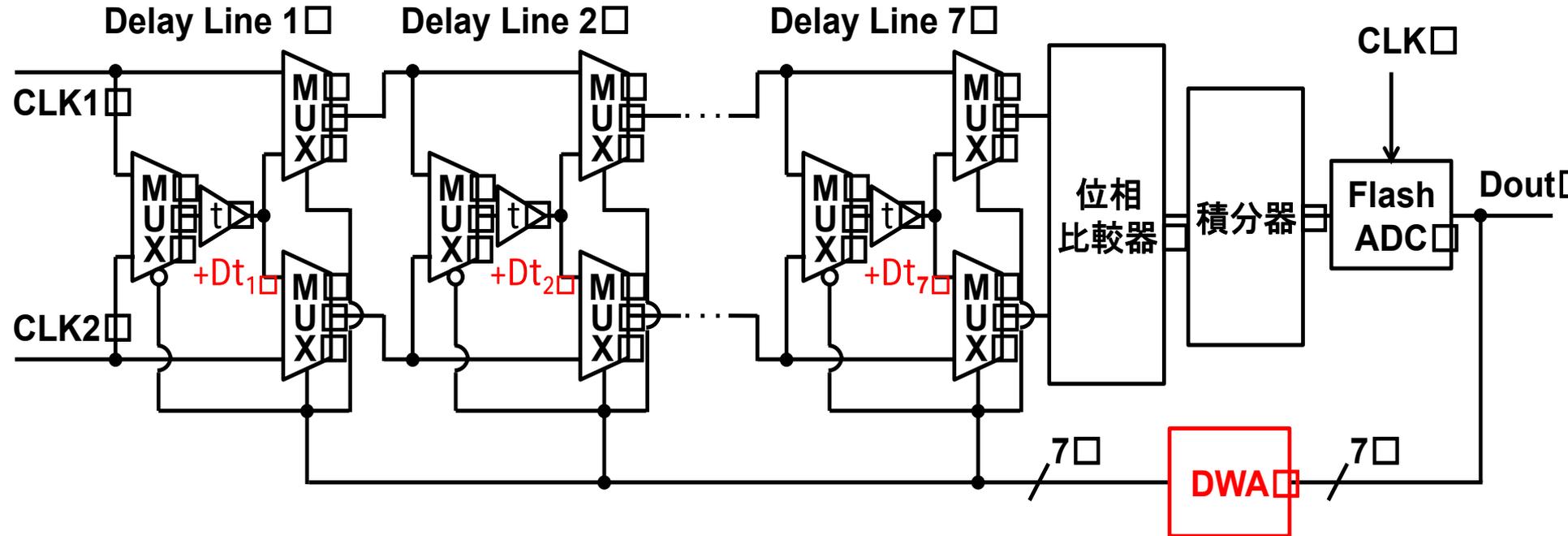
	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

Input of DAC ↓



- 遅延セルのミスマッチにより非線形性が発生

ΔΣTDCでのDWAアルゴリズム

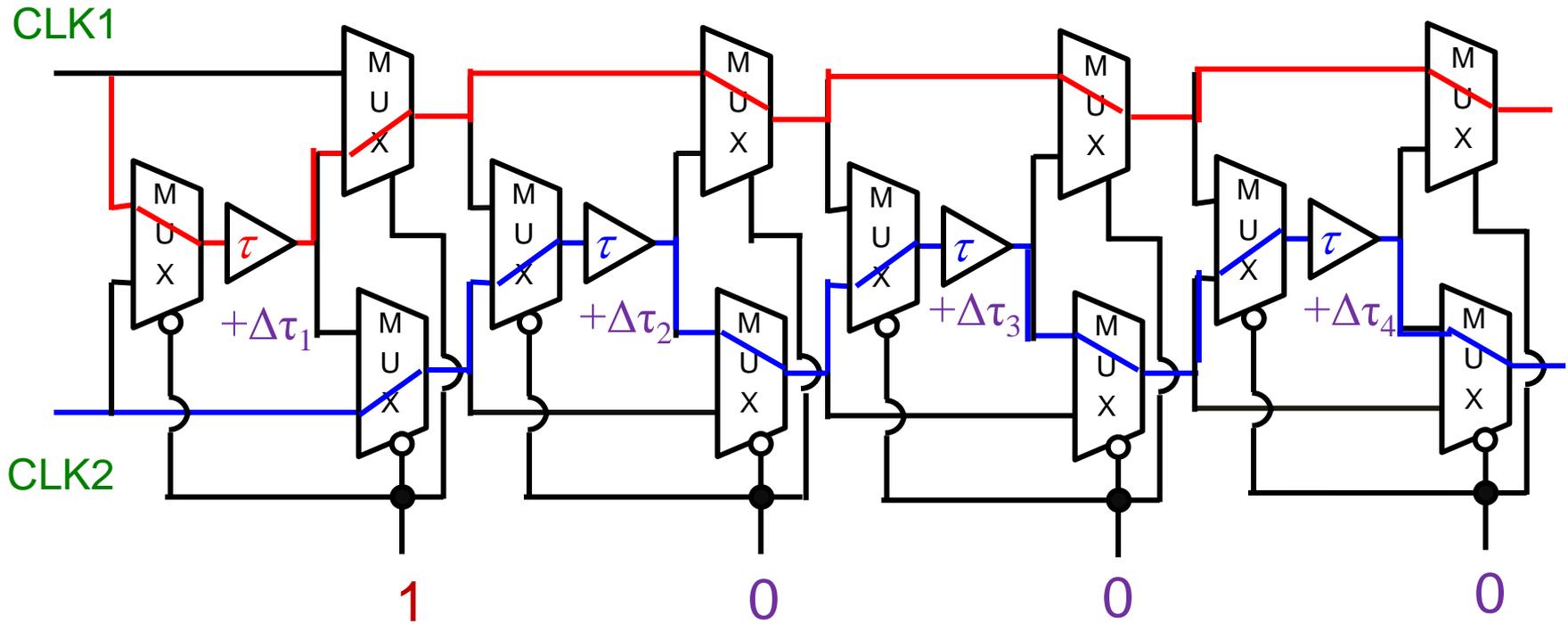


- 遅延素子のばらつきによる非線形性
使用する遅延素子をシャッフル



非直線性誤差の低減

DWAなし デジタル入力1 時刻1

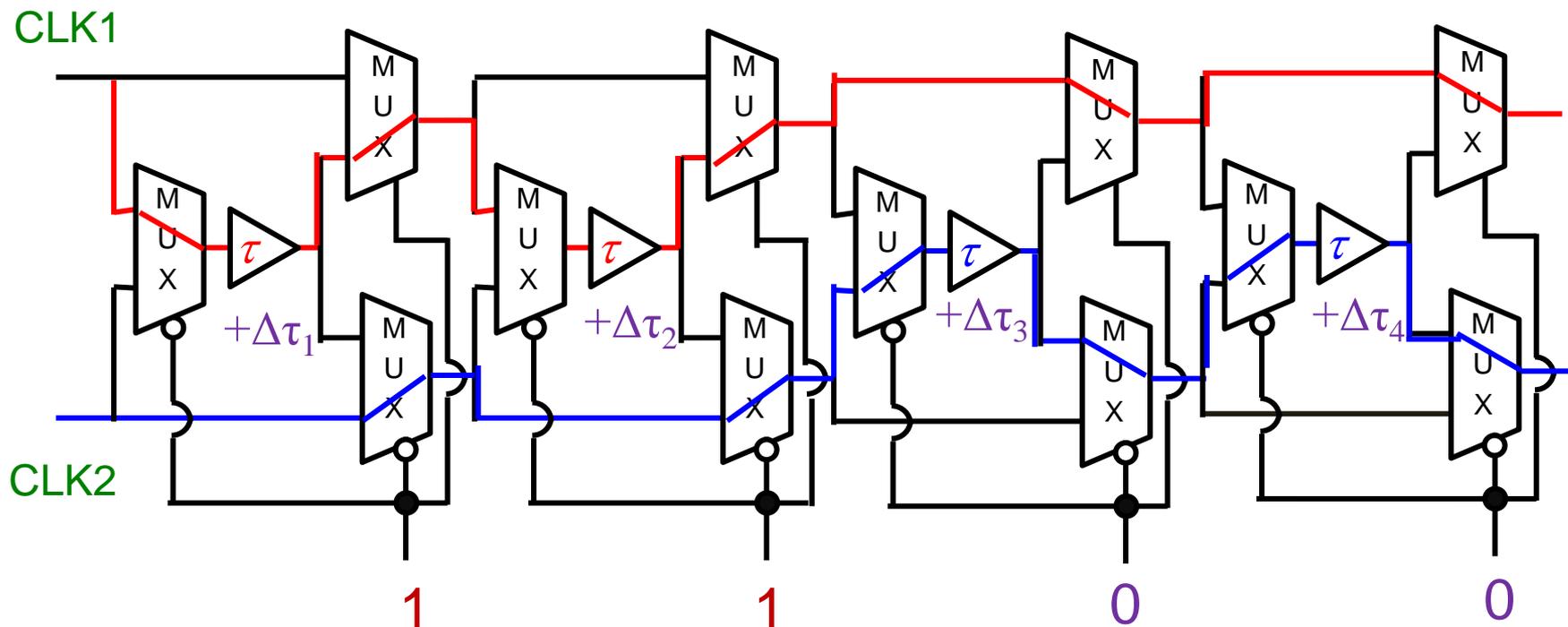


遅延セルの選択状況

CLK1 $\tau + \Delta\tau_1$

比較器配列
出力

DWAなし デジタル入力2 時刻2



遅延セルの選択状況

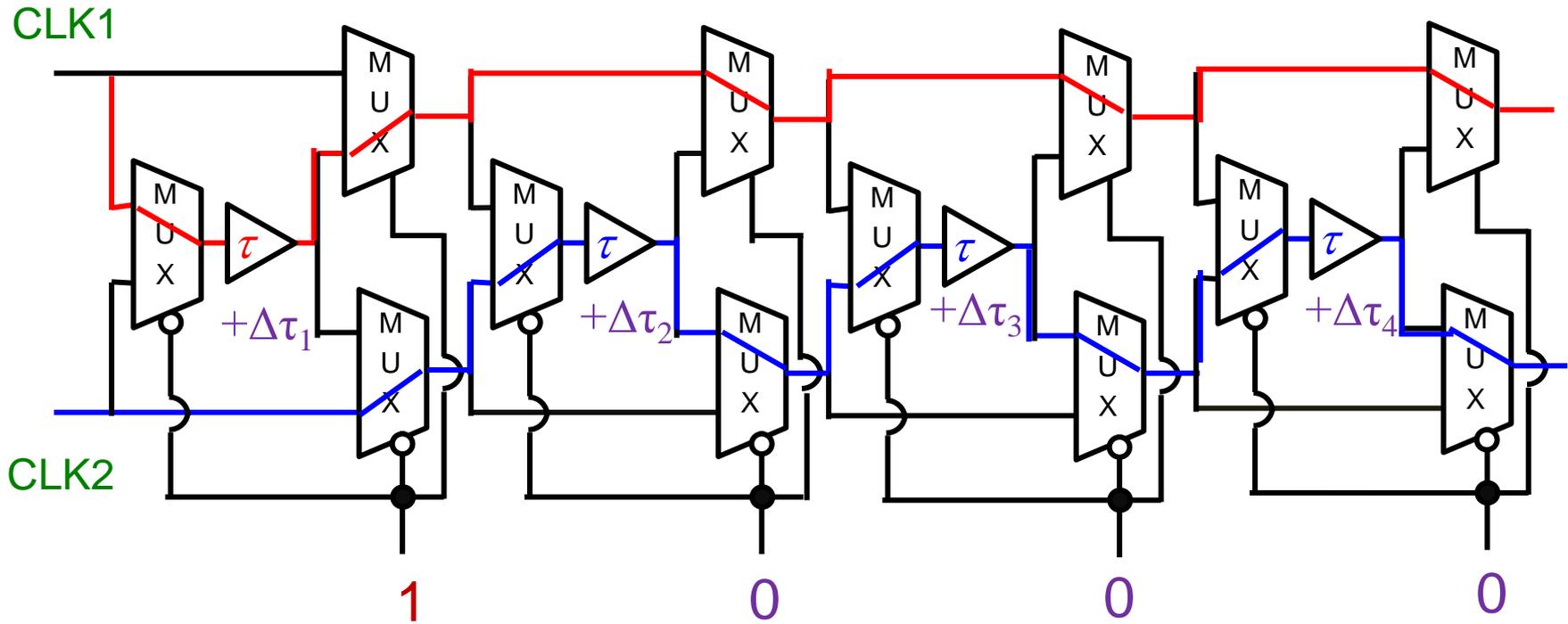
CLK1

$\tau + \Delta\tau_1$

$\tau + \Delta\tau_2$

比較器配列
出力

DWAなし デジタル入力1 時刻3

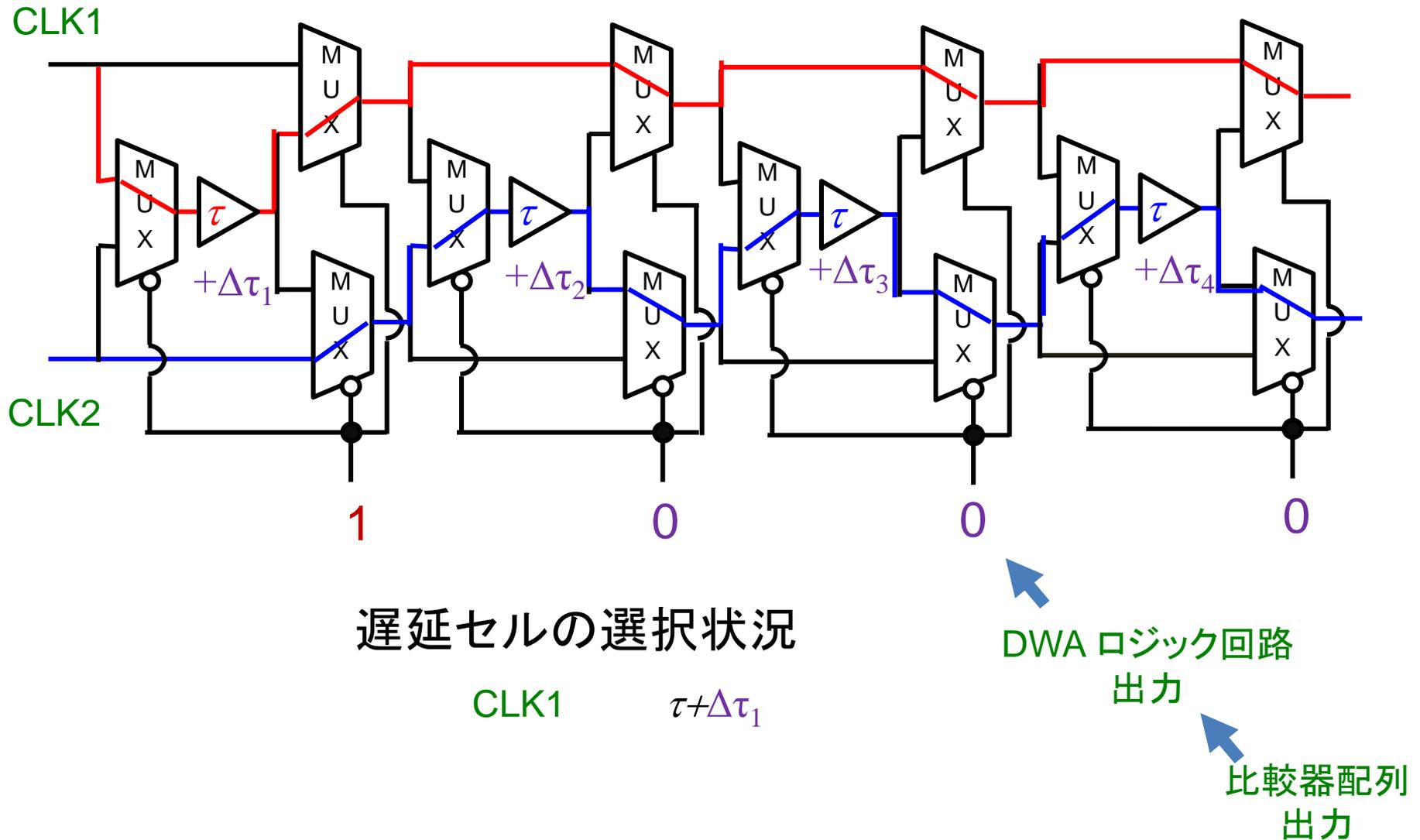


遅延セルの選択状況

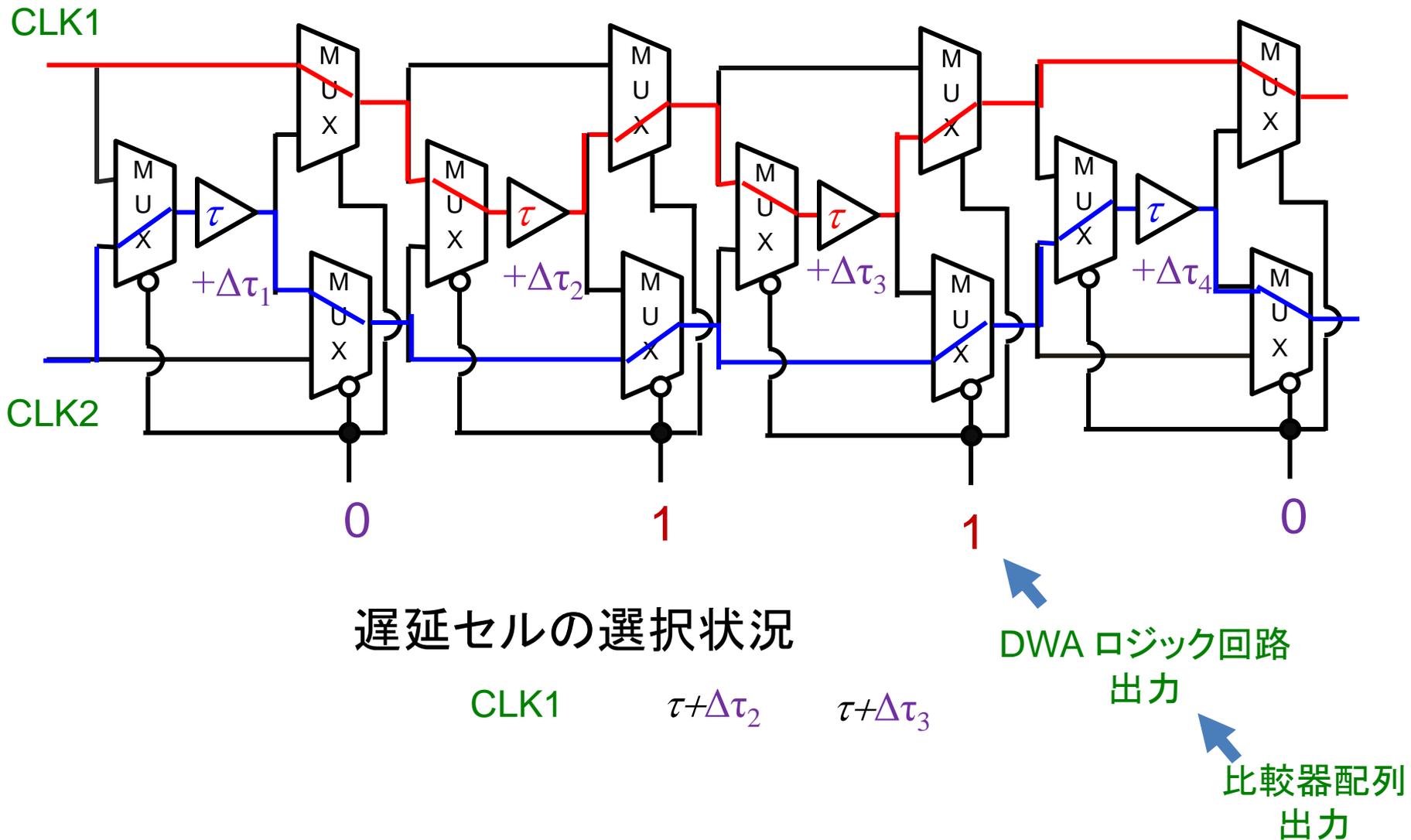
CLK1 $\tau + \Delta\tau_1$

比較器配列
出力

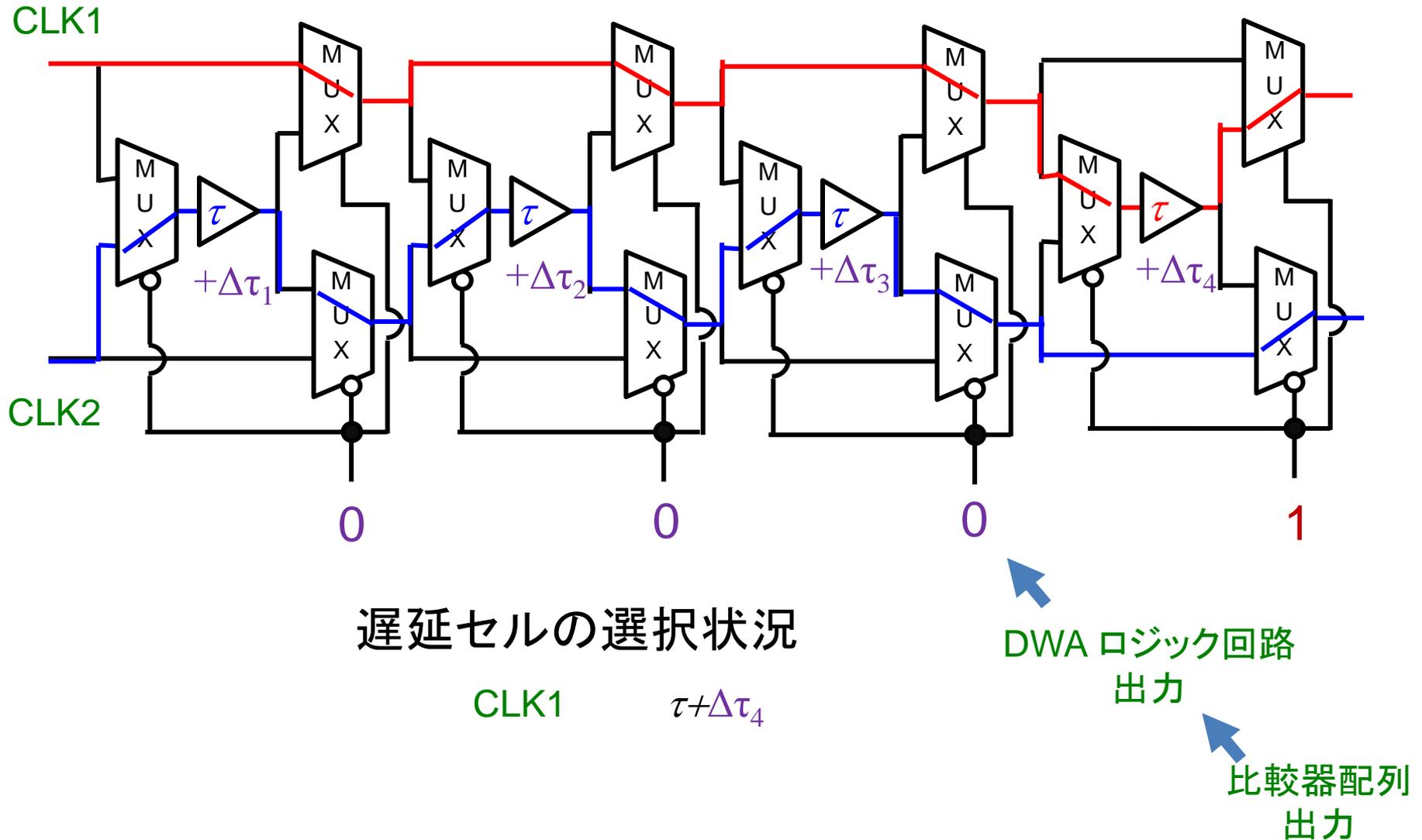
DWAあり デジタル入力1 時刻1



DWAあり デジタル入力2 時刻2



DWAあり デジタル入力1 時刻3

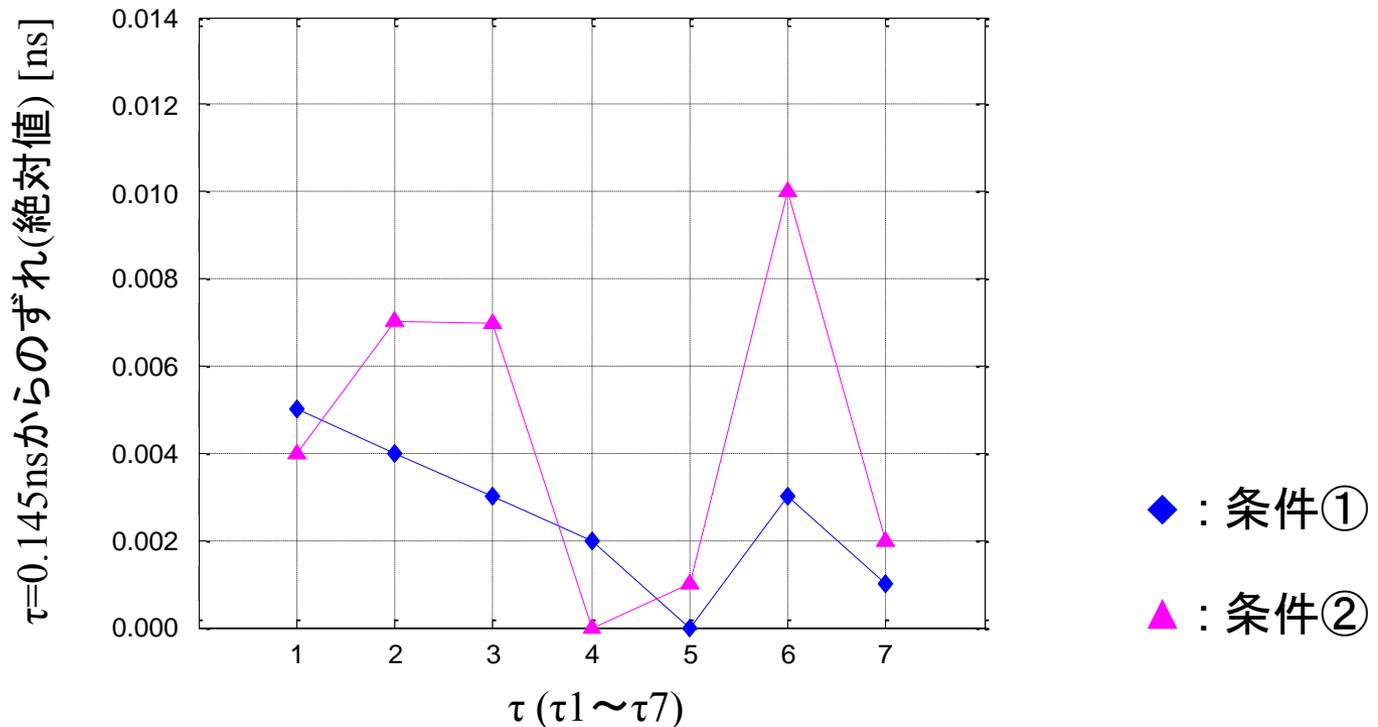


遅延ばらつきの影響の検証

- 遅延ばらつき：ガウス分布でランダムに生成
最大で $\tau=0.145\text{ns}$ の $\pm 10\%$ 程度の誤差とした

MATLABシミュレーション

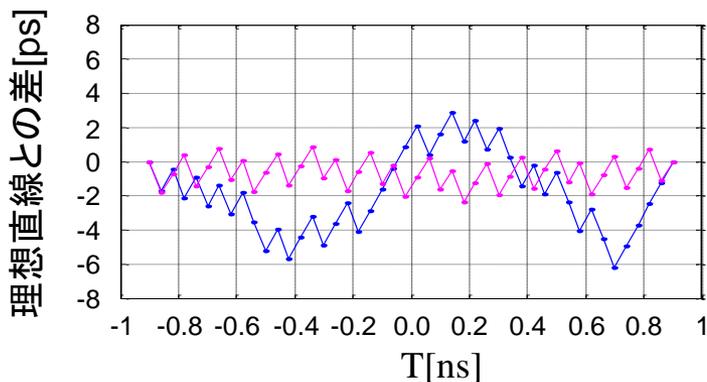
- シミュレーション時に生成した遅延パラメータ



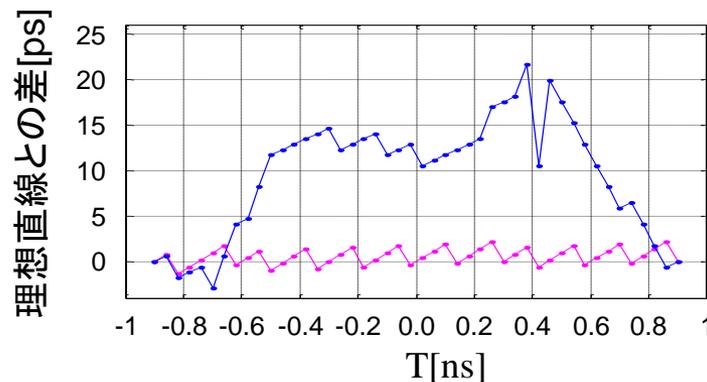
・3-bit $\Delta\Sigma$ TDC (遅延時間 : $\tau=0.145\text{ns}+\Delta\tau_N$)

条件①

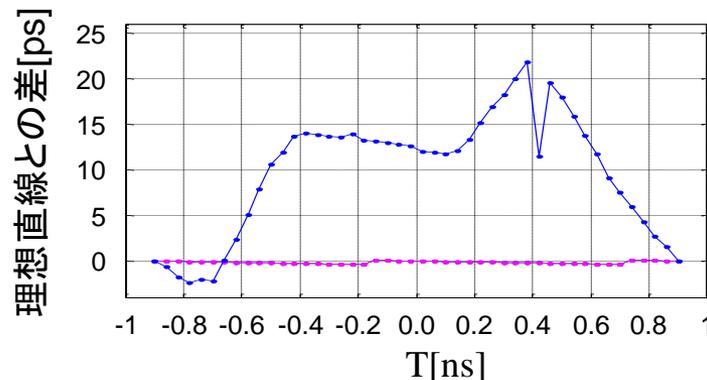
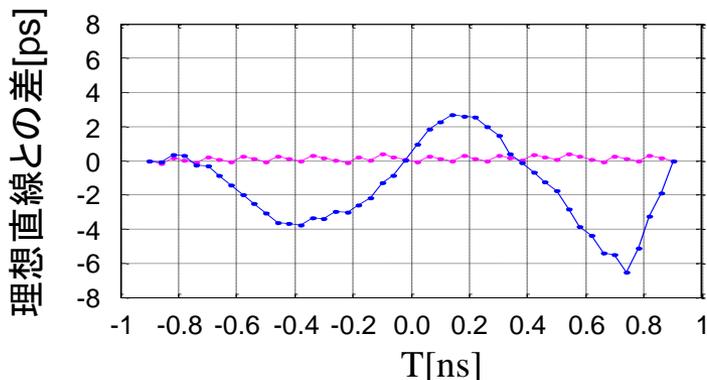
● 出力数 : 99点



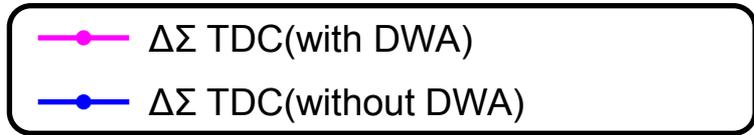
条件②



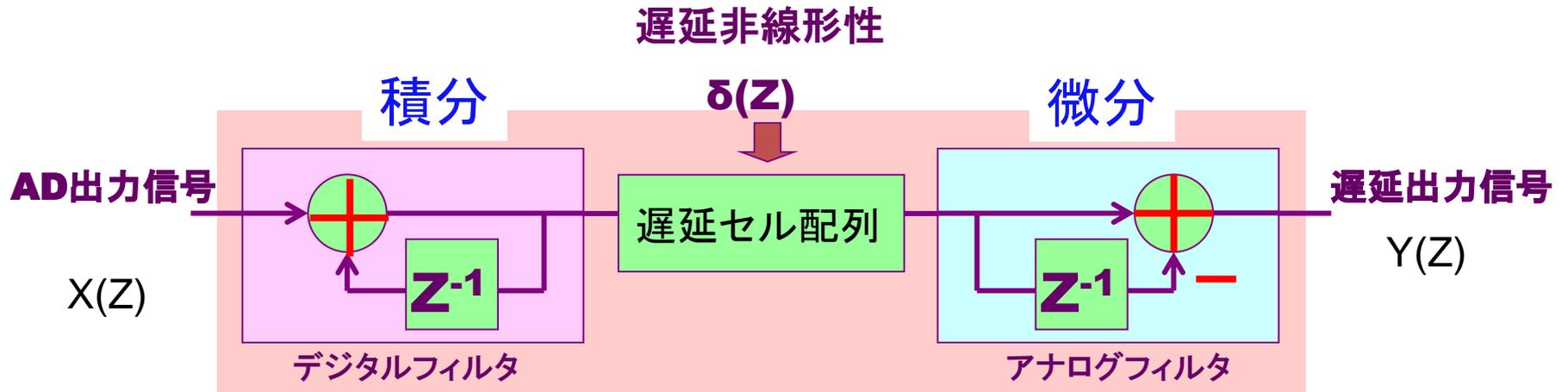
● 出力数 : 599点



✓ 遅延ミスマッチの影響が軽減
➤ 出力の線形性を改善



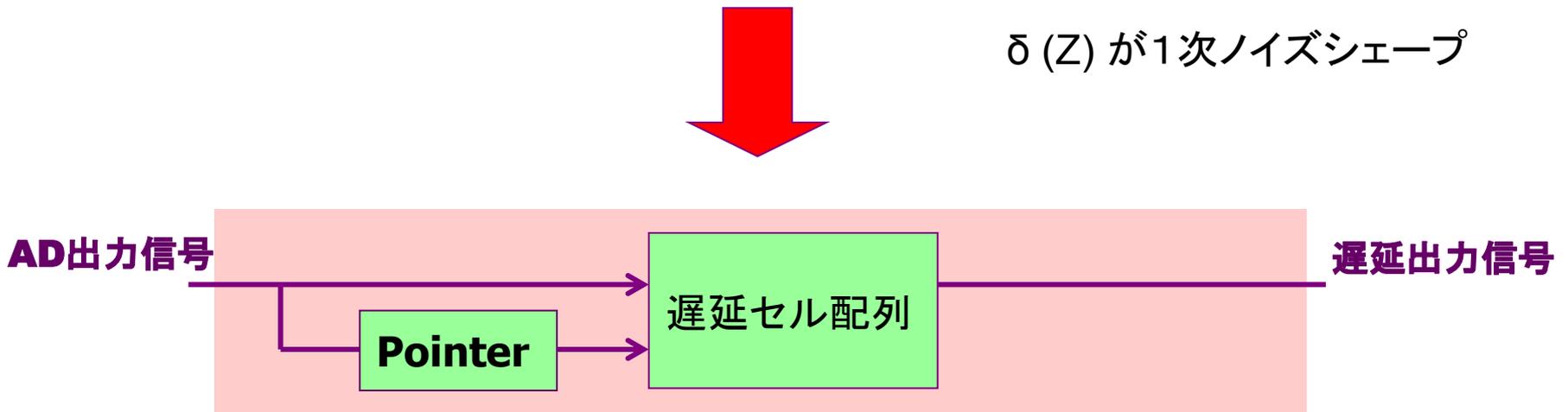
DWA自体も $\Delta\Sigma$ 変調の構造



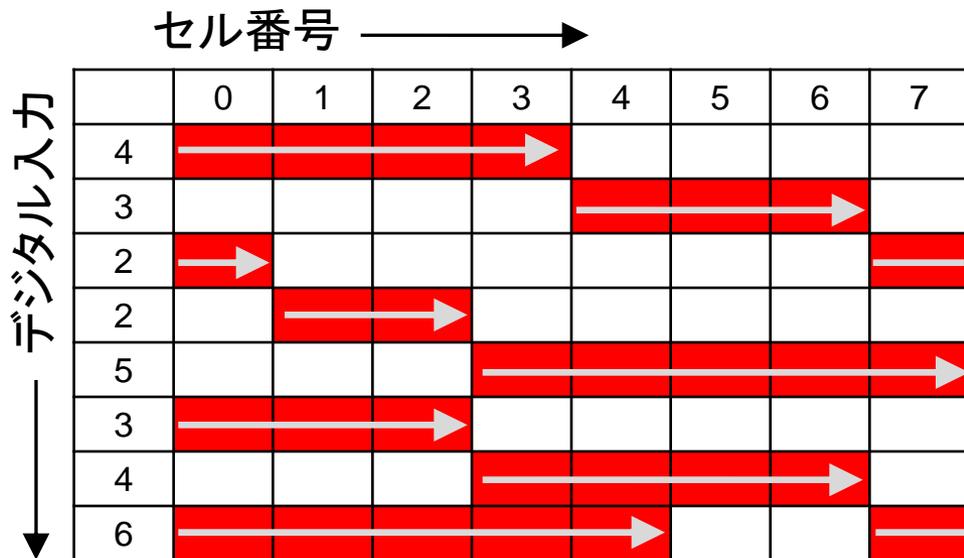
直接実現できない

$$Y(Z) = X(Z) + (1 - 1/Z) \delta(Z)$$

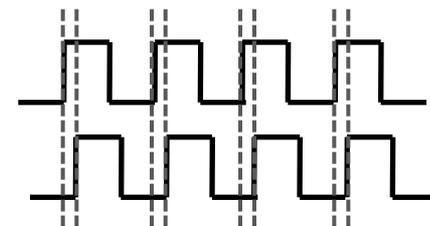
$\delta(Z)$ が1次ノイズシェープ



等価実現



群馬大 小林Gr:
ΔΣTDCにDWA使用の提案

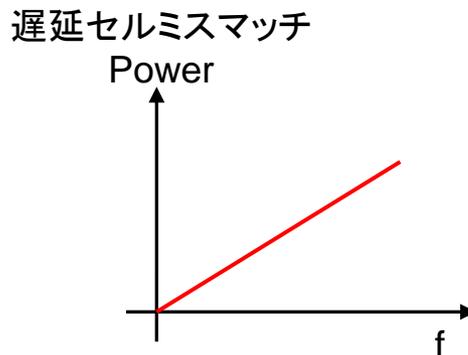
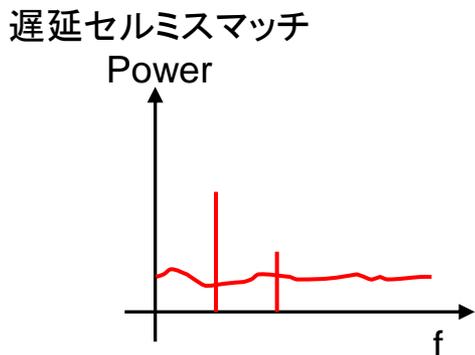


- デジタル入力によりシフトする量を制御
- 積分して微分を等価的に実現
 - 遅延セルミスマッチが1次ノイズシェープ

繰り返し信号を測定する

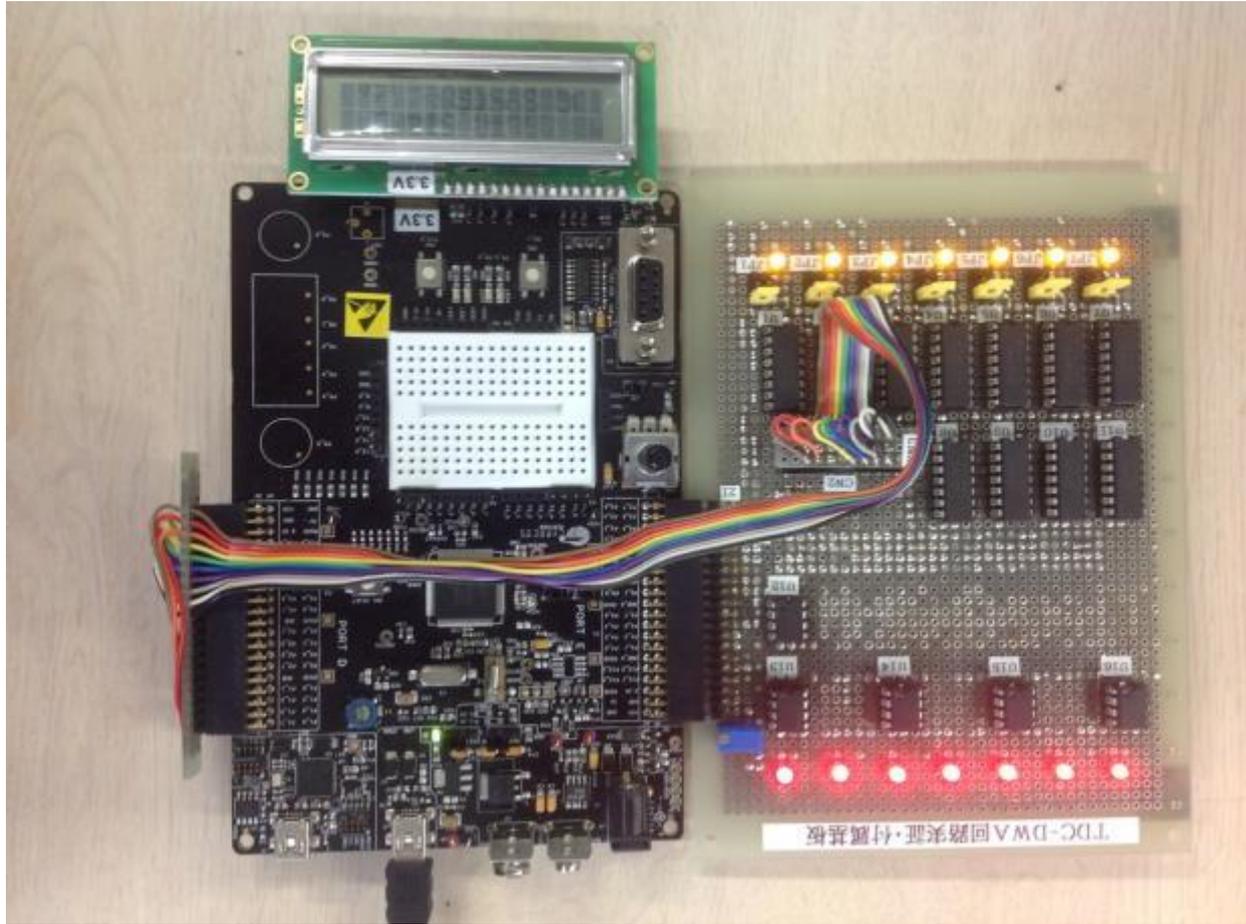


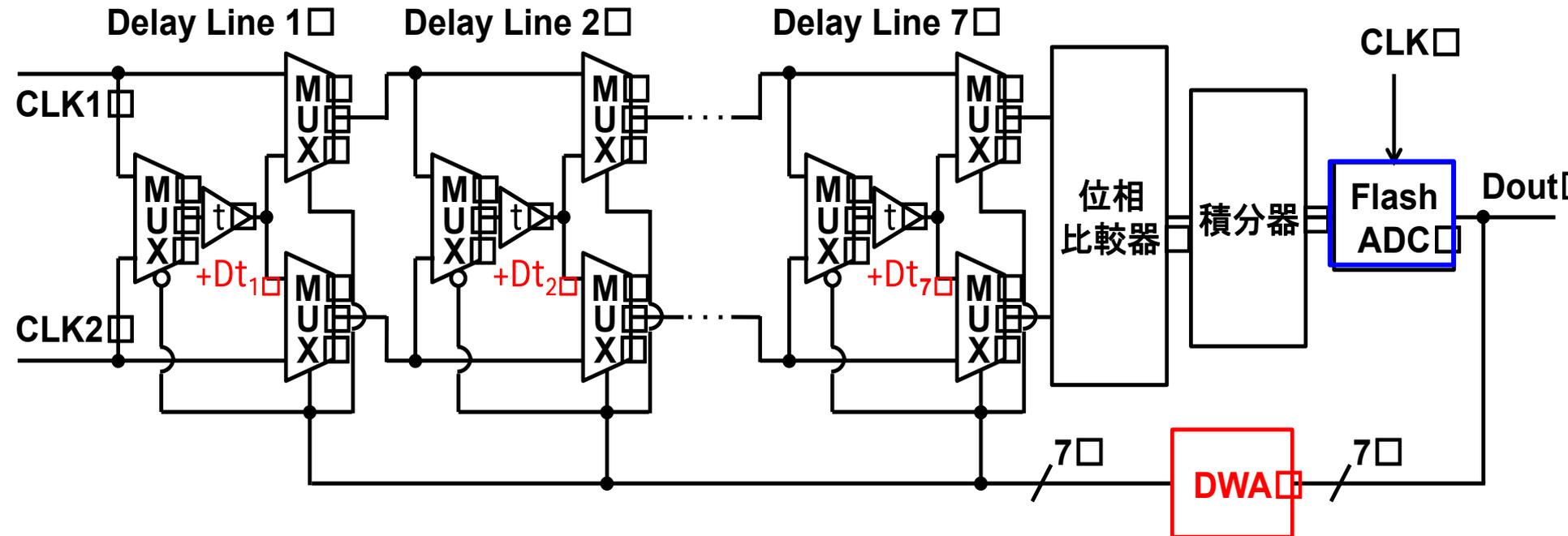
DC成分のノイズが減少すれば理想に近づく



- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - **アナログFPGA実現**
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

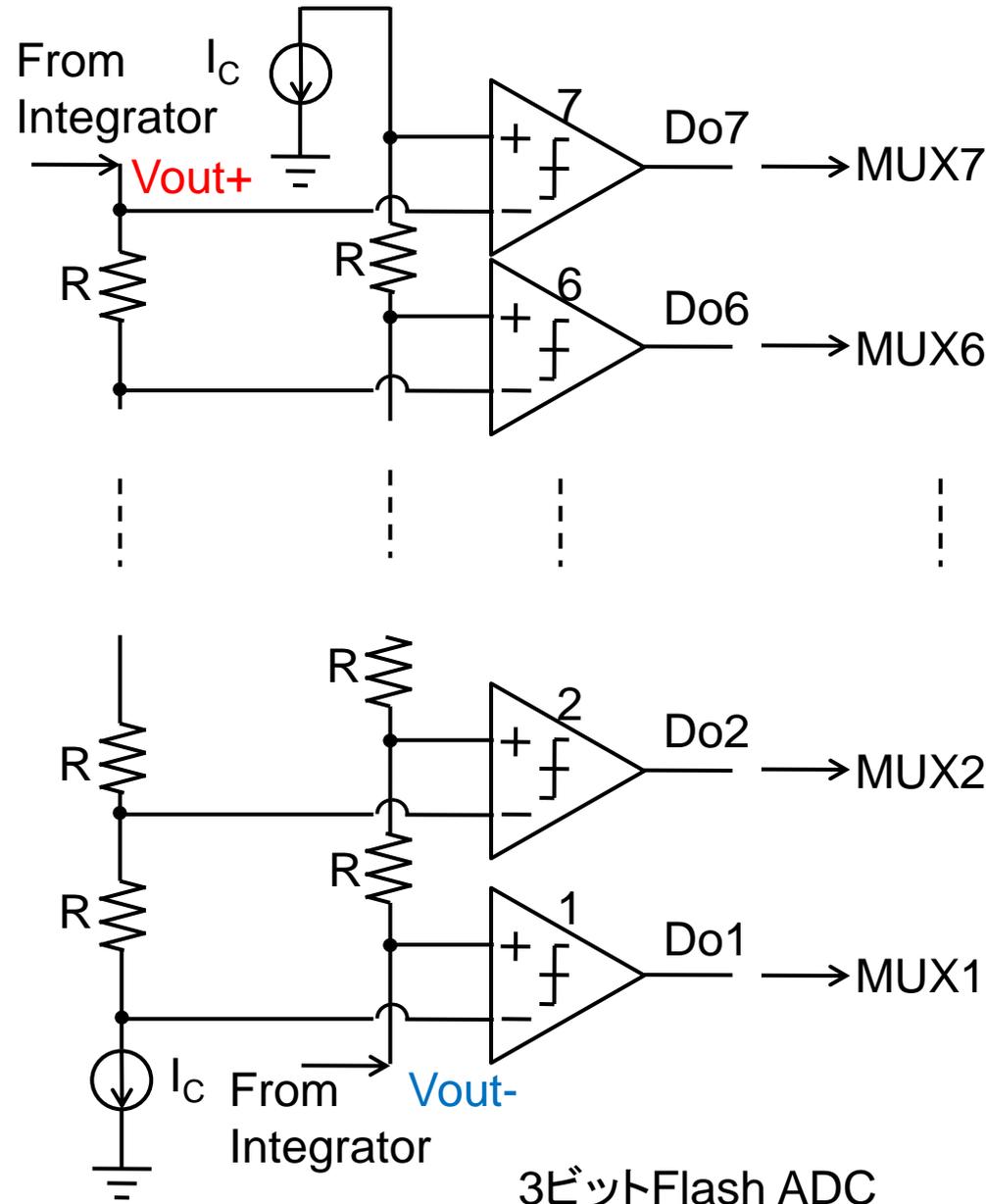
マルチビット $\Delta\Sigma$ TDCのPSoC実装





ブロック図

遅延 τ は外付けのRC遅延で実現。
 各遅延セルの抵抗Rは個別にスイッチで値が切り換え可能。
 (意図的に遅延ばらつきを生成できる。)



差動構成
+
ダイナミック抵抗ラダー

DWAロジック回路に入力
クロックの遅延選択回路の
Select 信号へ

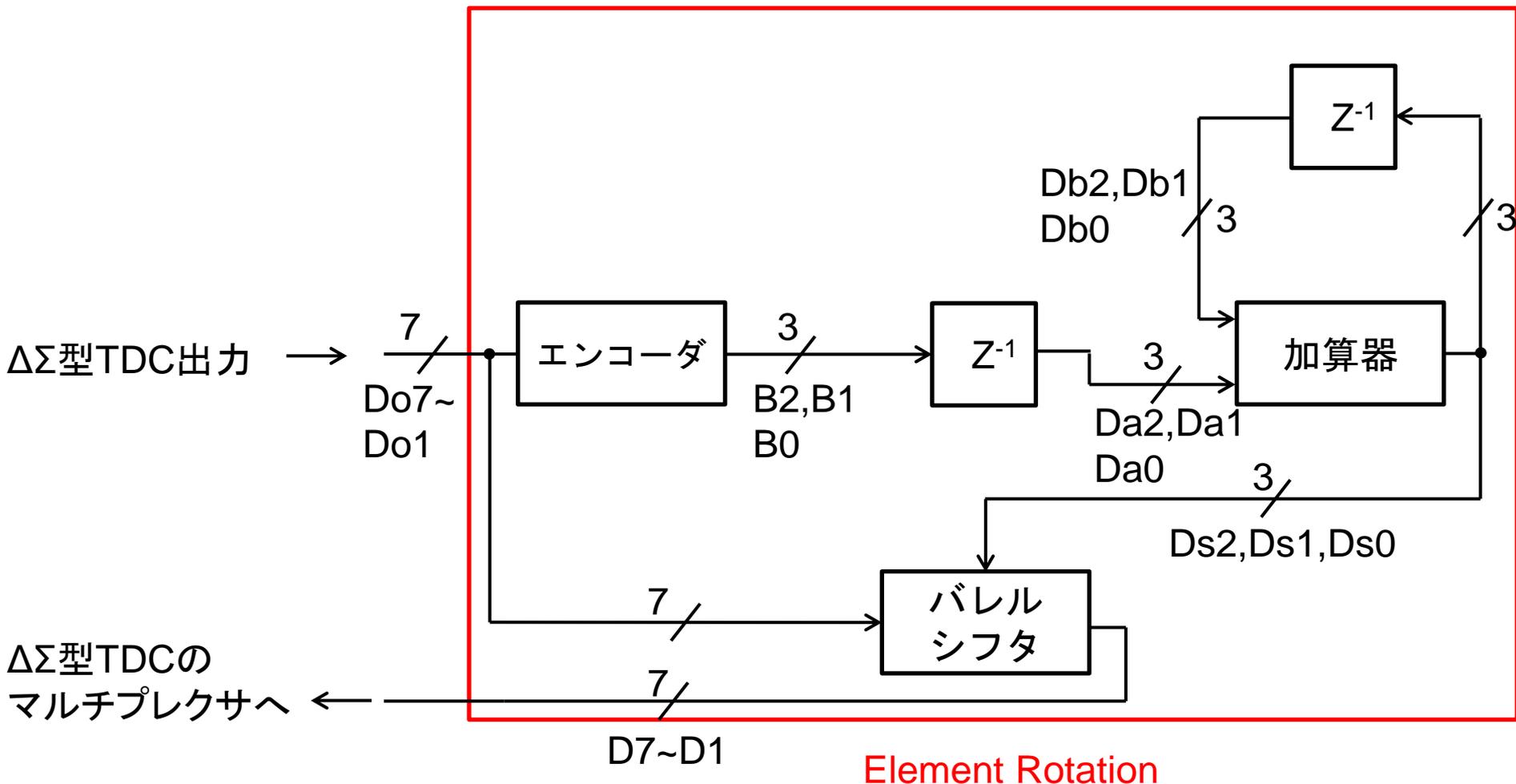


- 温度計出力コードの信号をシフトし、クロック毎に選択する遅延素子をシフト
- 前のクロックでの1の数とシフト回数を保持・加算し現在のクロックでのシフト回数を決定

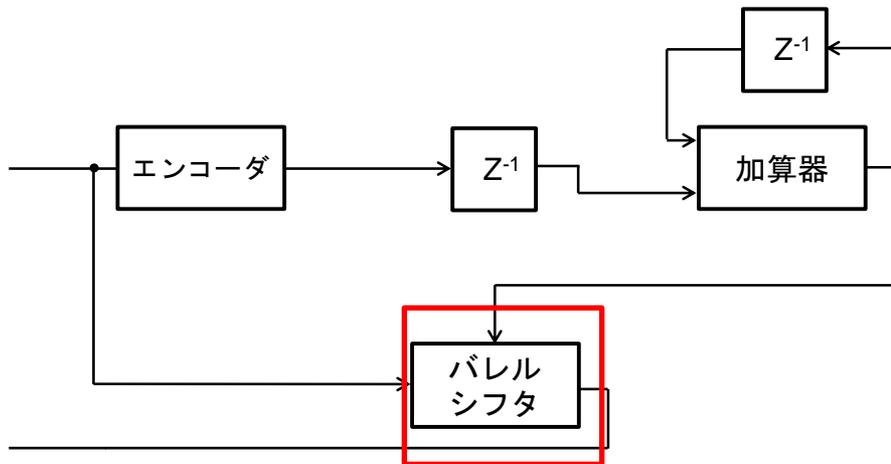
Do1	Do2	Do3	Do4	-----	DoN		D1	D2	D3	D4	D5	D6	D7	-----	DN
1	0	0	0	----	0		1	0	0	0	0	0	0	----	0
1	1	1	0	----	0	→	0	1	1	1	0	0	0	----	0
1	1	0	0	----	0		0	0	0	0	1	1	0	----	0

N個コンパレータ $\Delta\Sigma$ 型TDC出力

DWAロジック回路出力



エンコーダ、遅延回路、加算器、バレルシフタにより構成



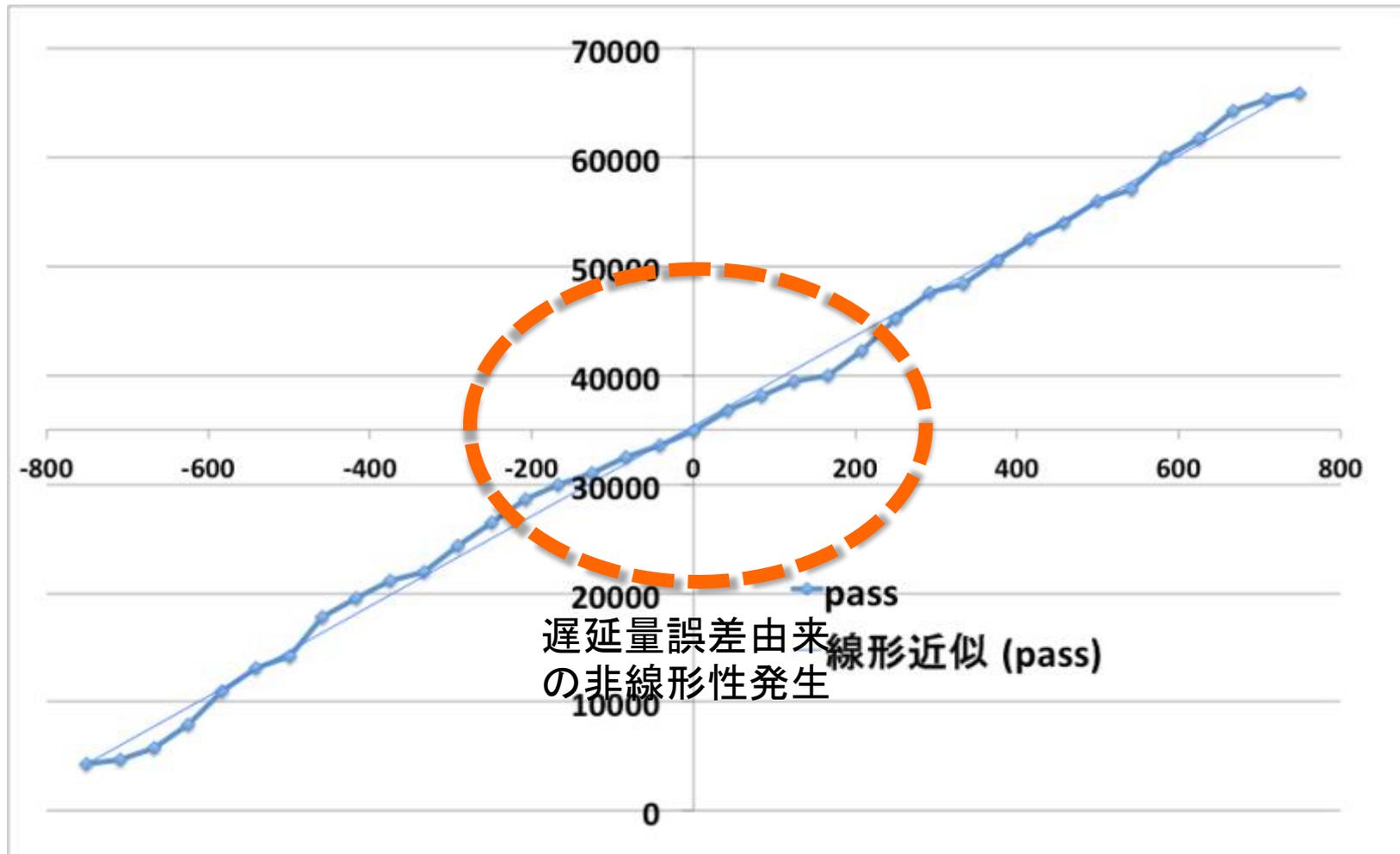
DWA論理回路のブロック図

入力信号を任意の数だけシフトする
→右回転シフト回路

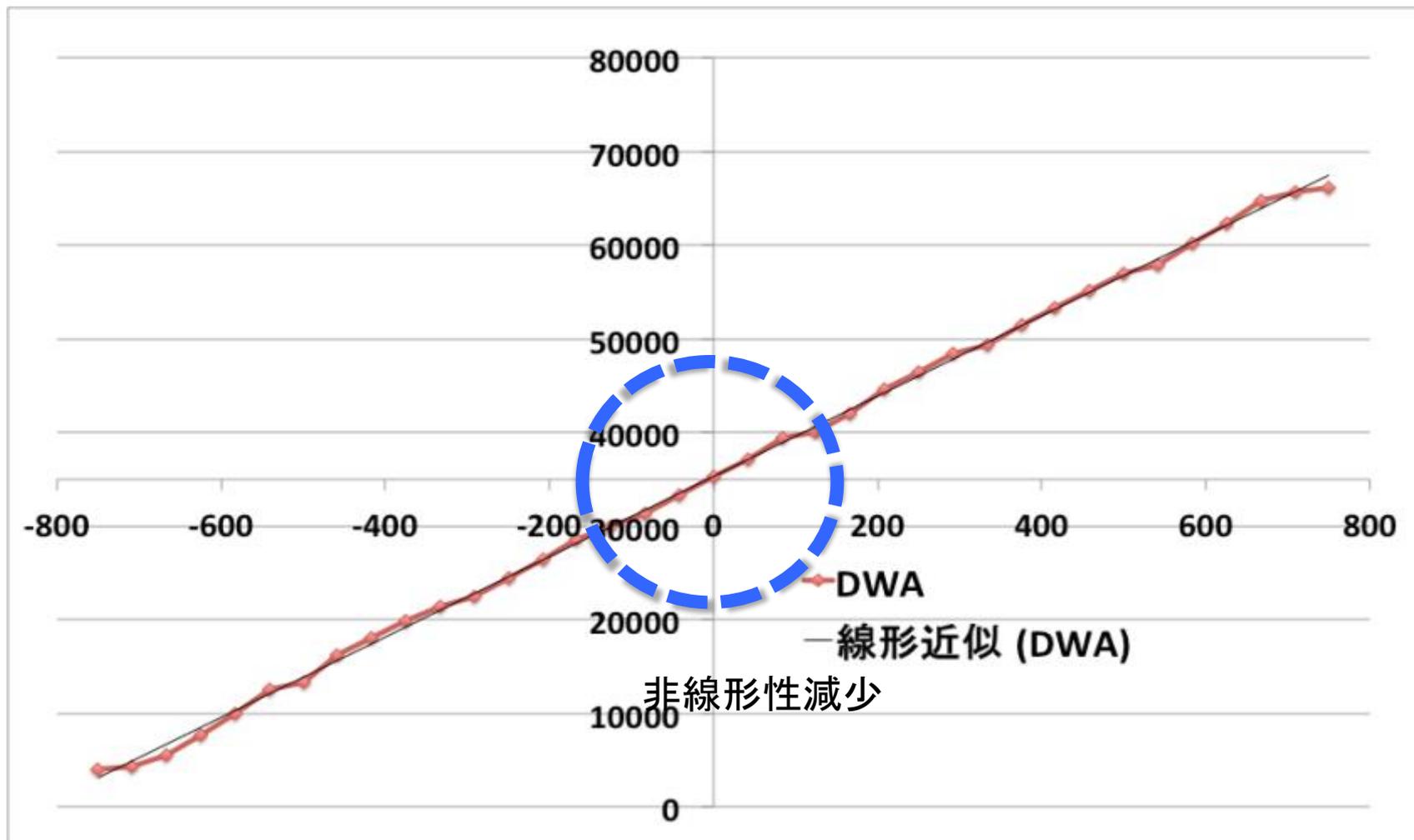
1	0	0	0	0	0	0	0	入力
0	1	0	0	0	0	0	0	1回シフト
0	0	0	1	0	0	0	0	3回シフト
0	0	0	0	0	1	0	0	5回シフト
1	0	0	0	0	0	0	0	N回シフト

N回シフトで元の位置に戻る

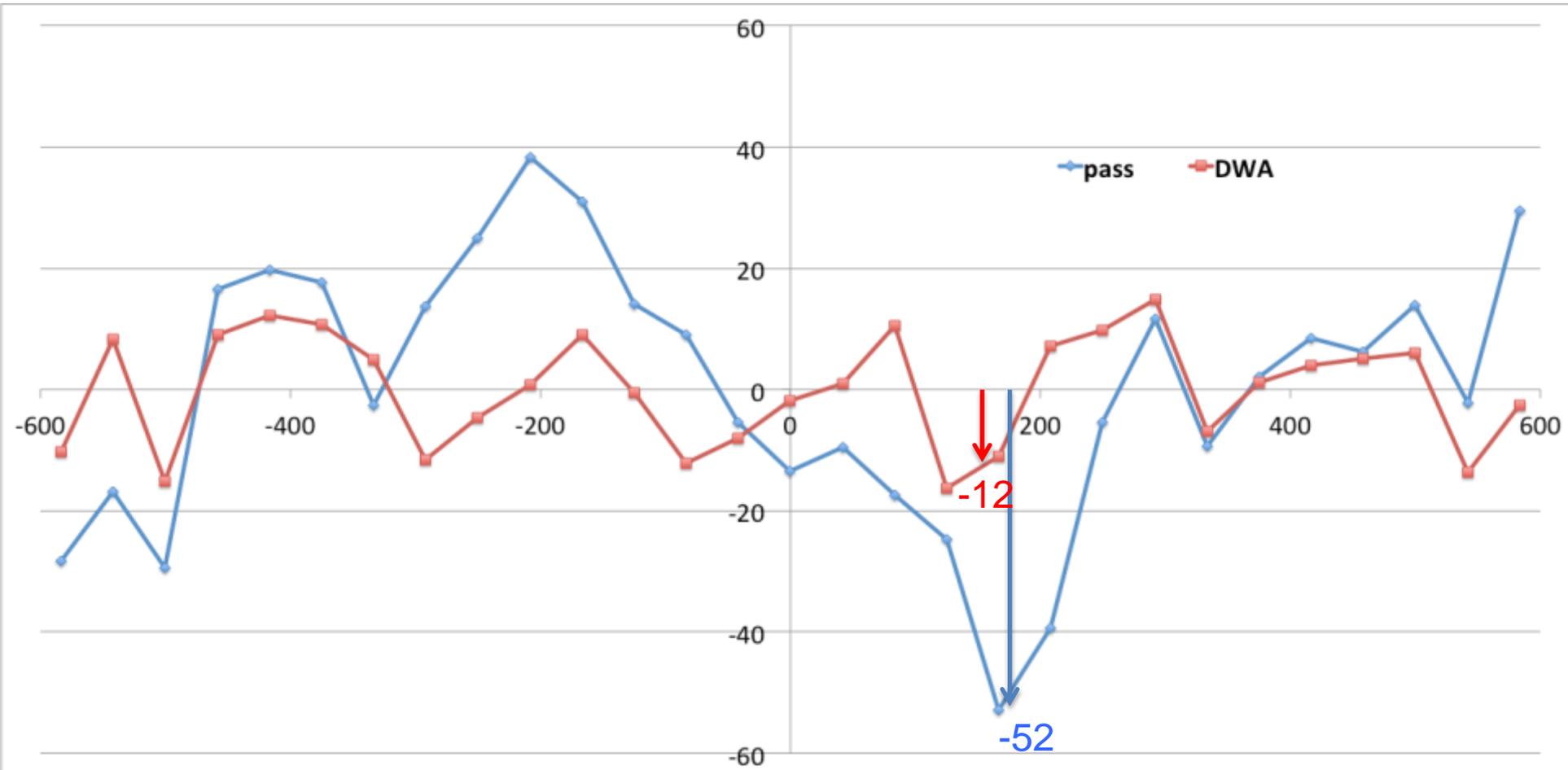
$\Delta\Sigma$ TDC 測定結果1(DWA不使用)



$\Delta\Sigma$ TDC 測定結果1 (DWA使用)

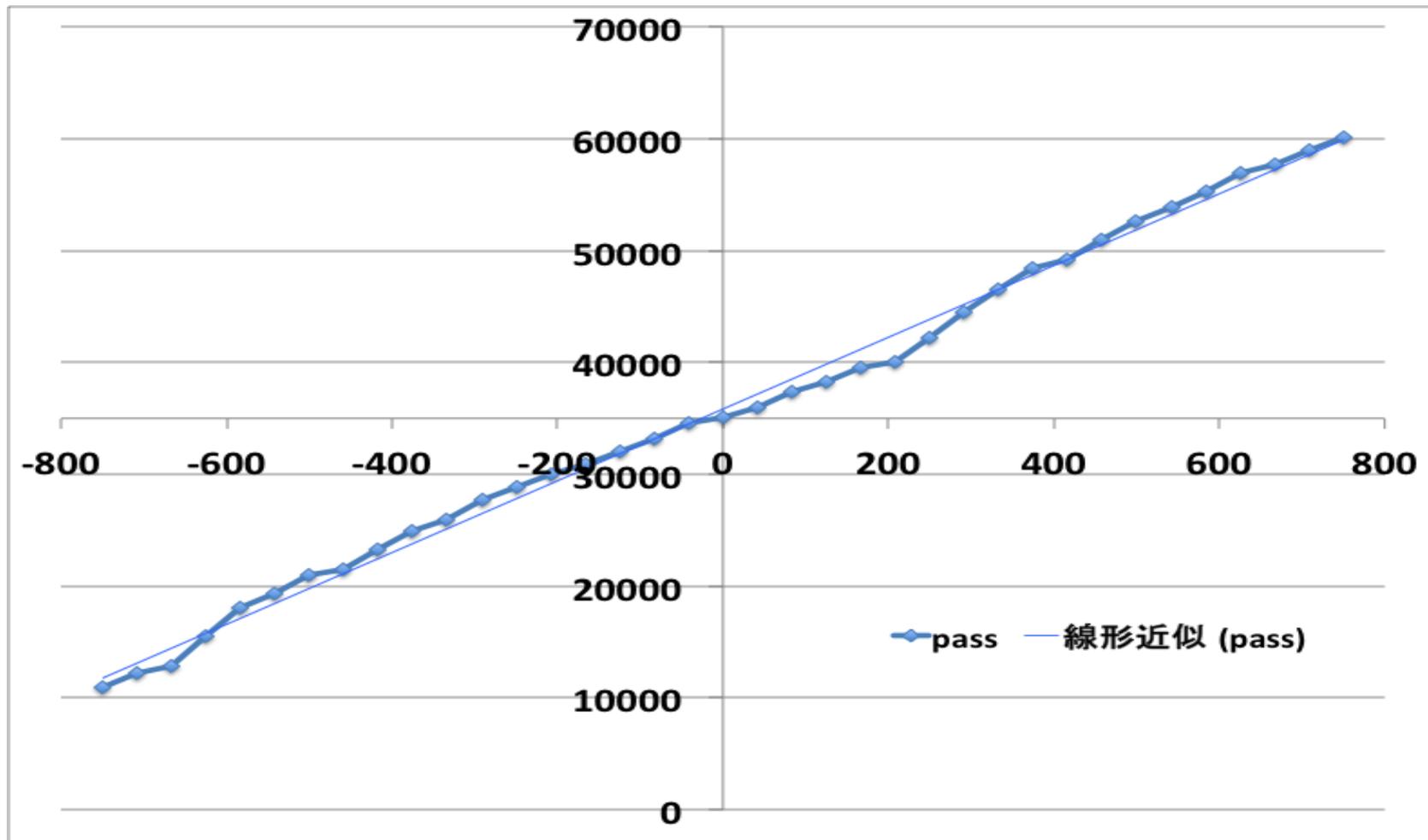


積分非直線性 INL

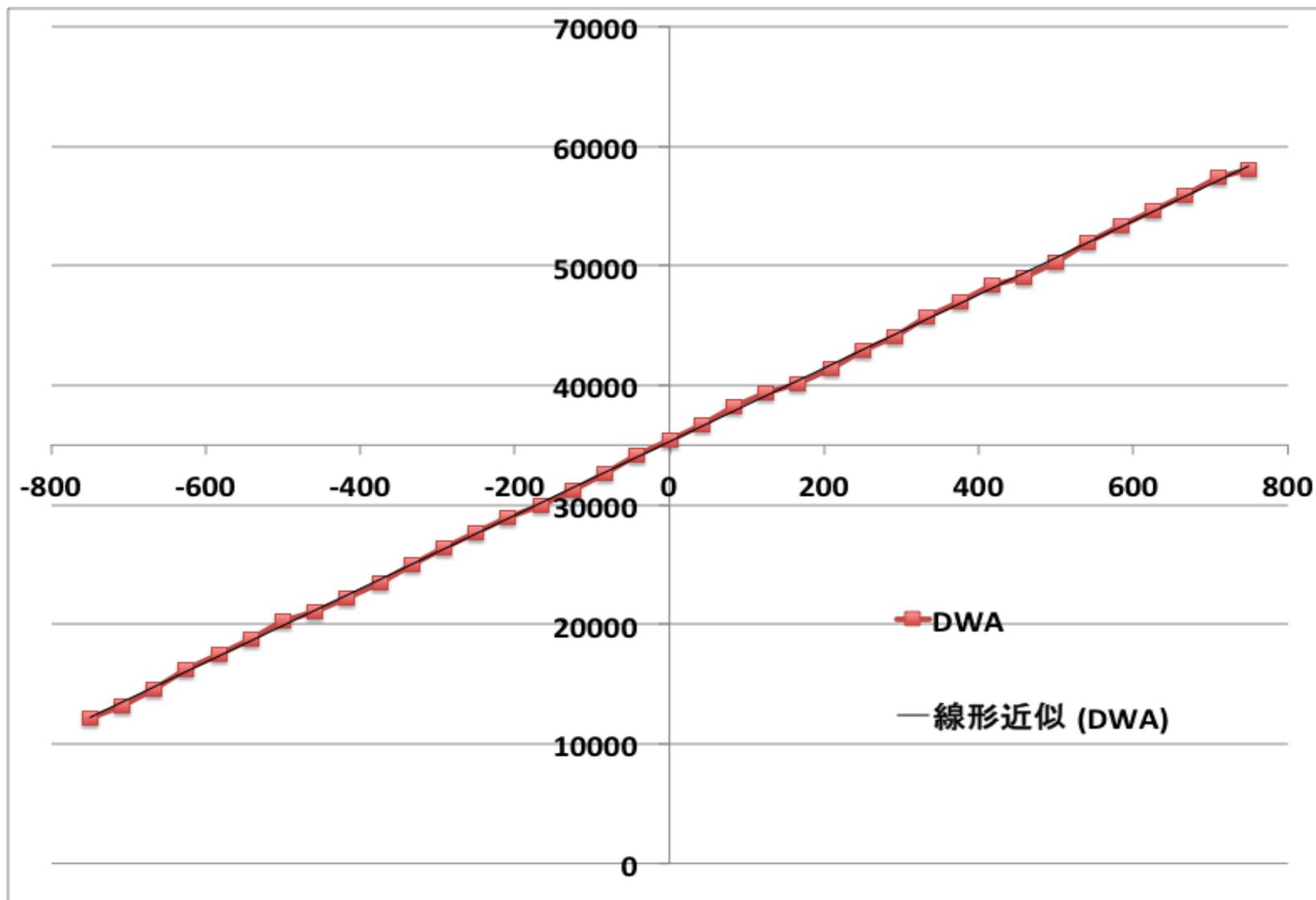


遅延素子由来のINLの減少を確認

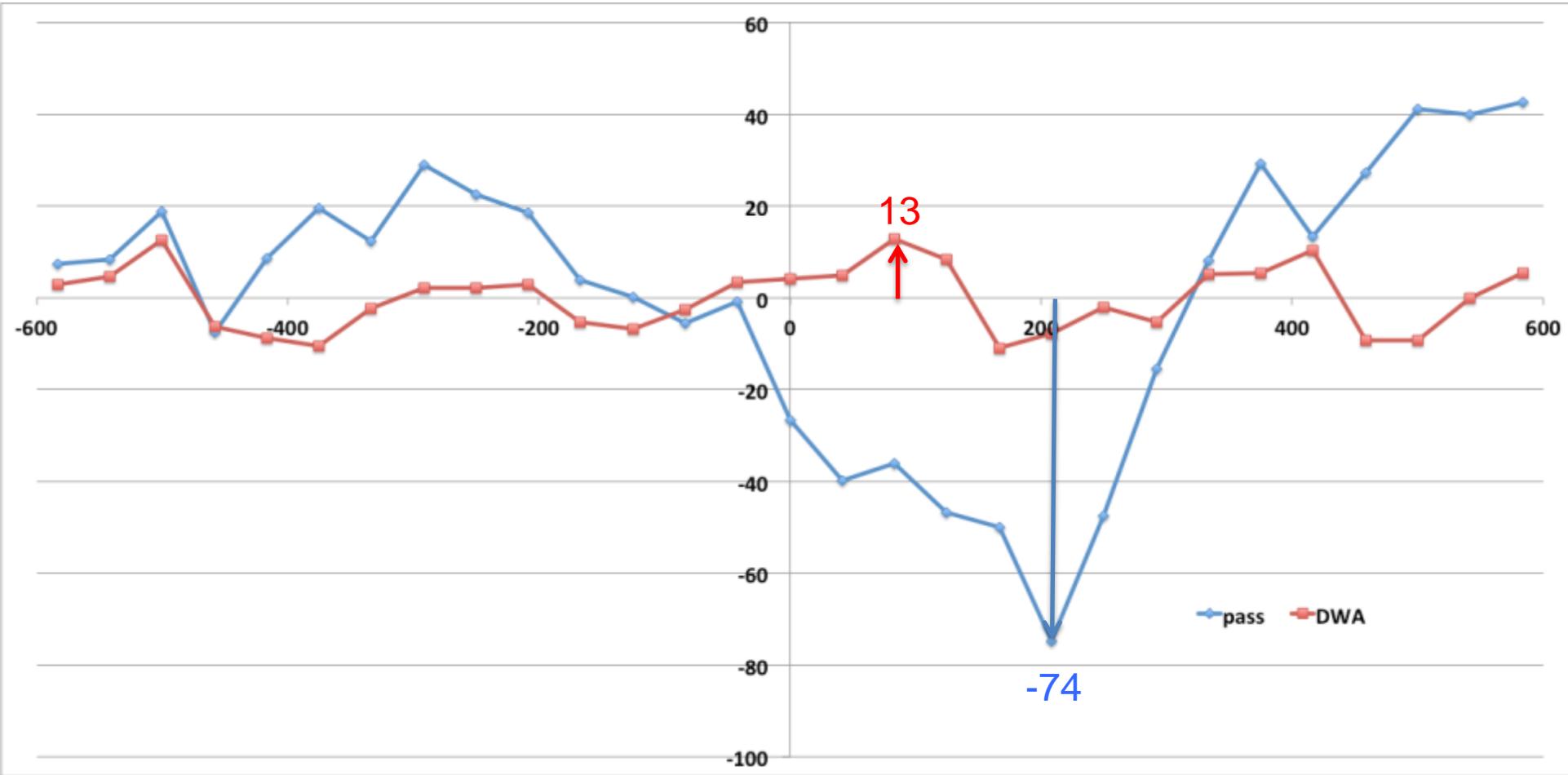
$\Delta\Sigma$ TDC 測定結果2(DWA不使用)



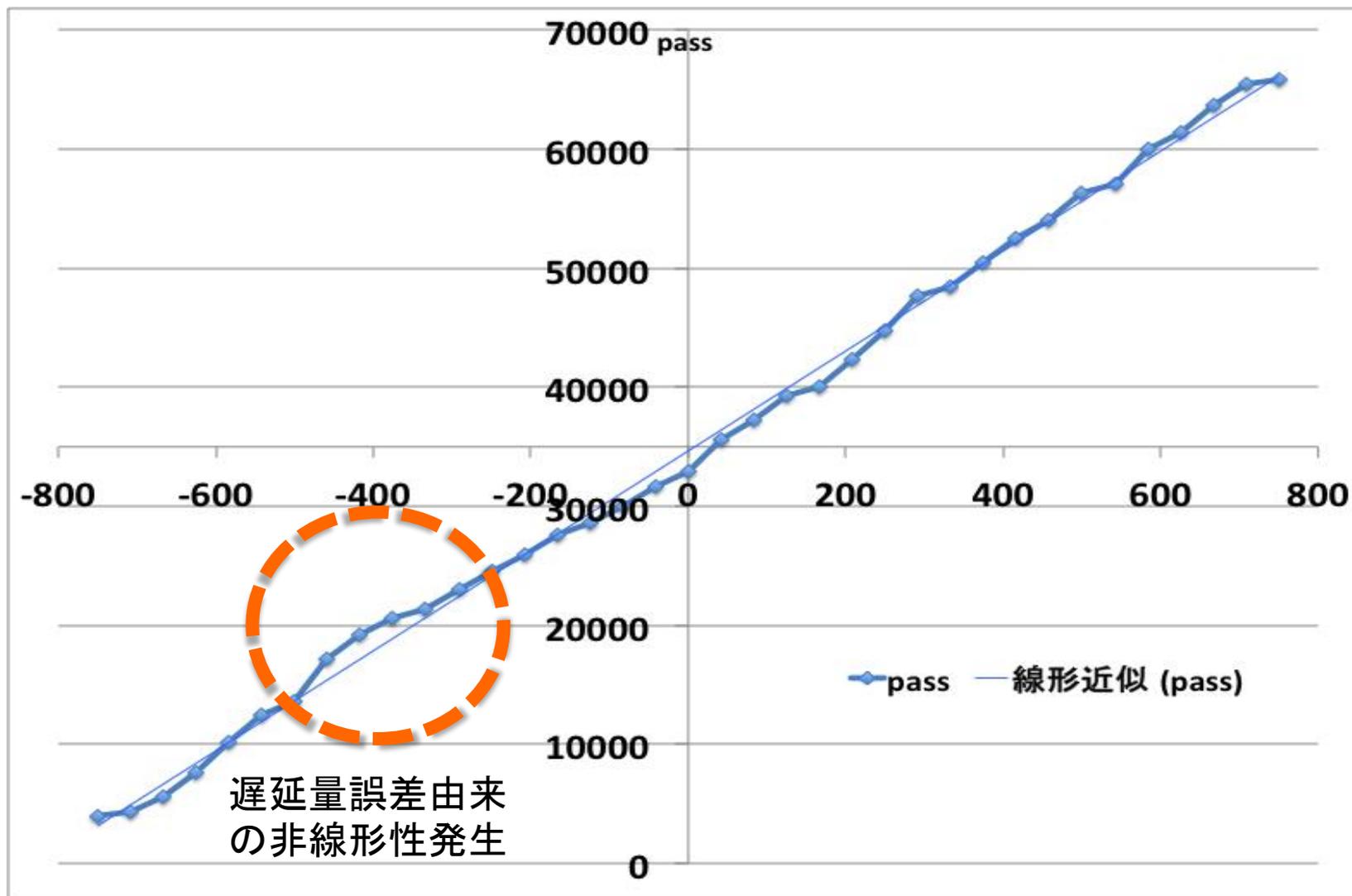
$\Delta\Sigma$ TDC 測定結果2 (DWA使用)



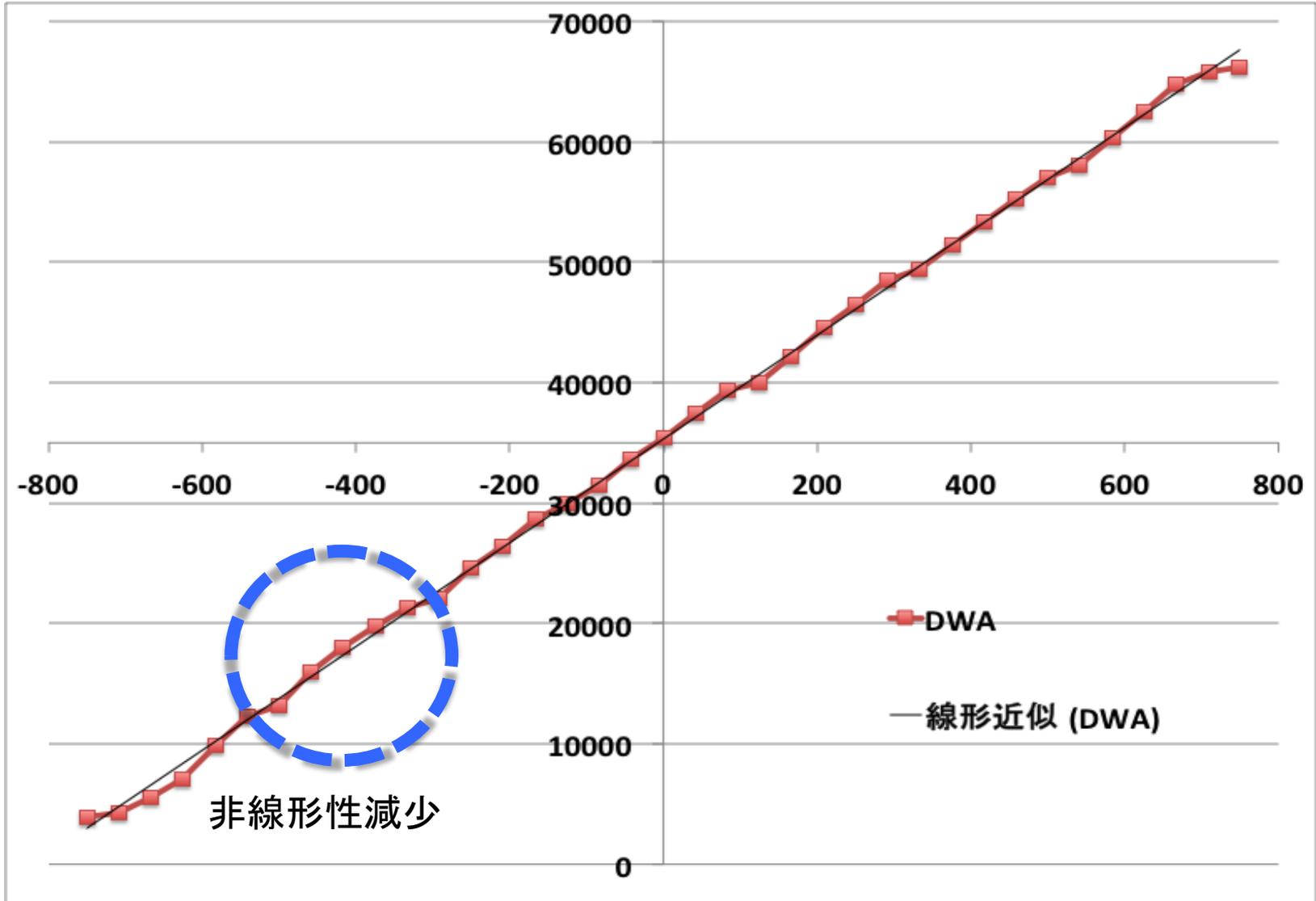
積分非直線性 INL



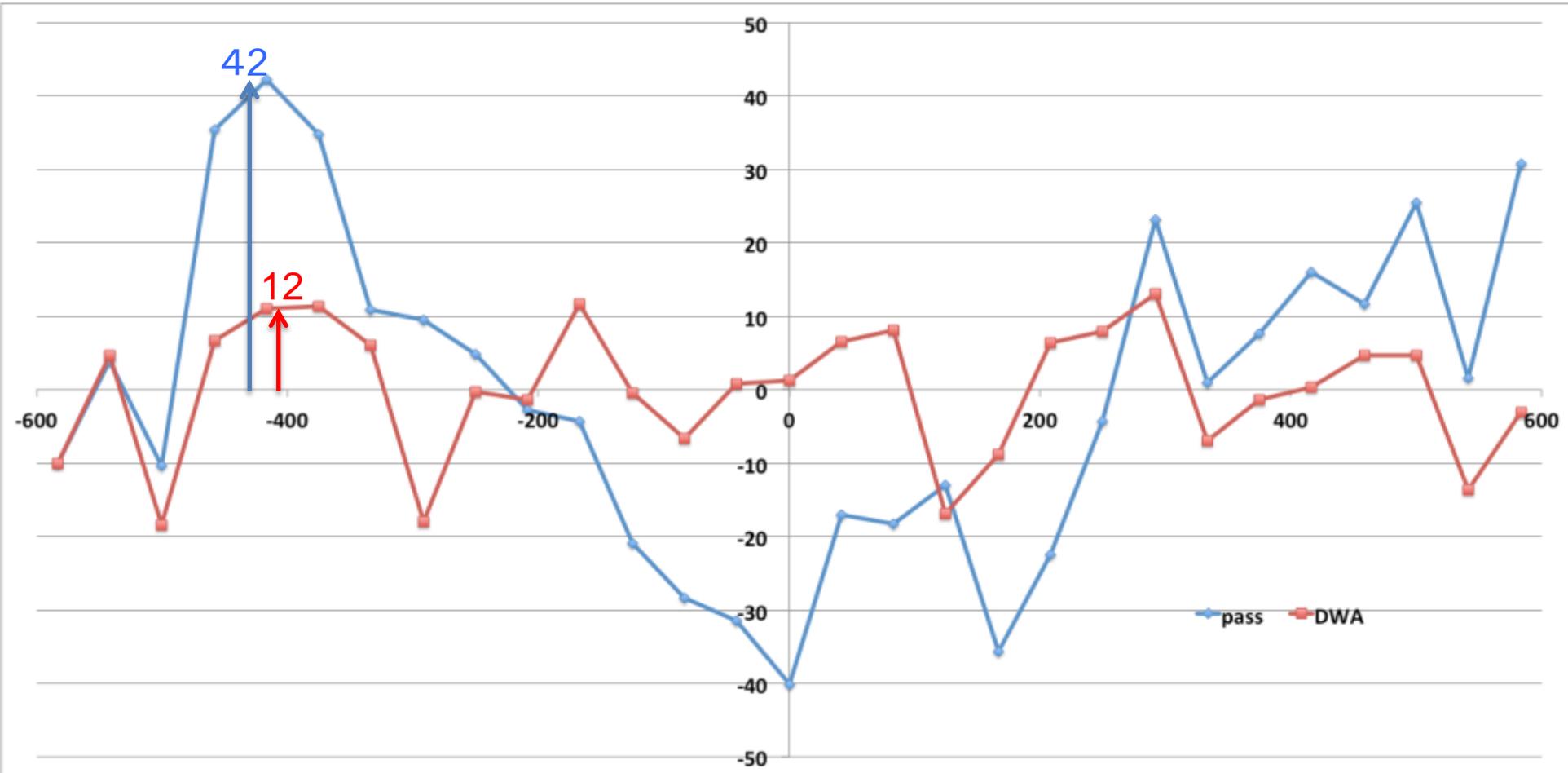
$\Delta\Sigma$ TDC 測定結果3 (DWA不使用)



$\Delta\Sigma$ TDC 測定結果3 (DWA使用)



積分非直線性 INL



回路性能のまとめ

	Flash TDC	1-bit $\Delta\Sigma$ TDC	マルチビット $\Delta\Sigma$ TDC (without correction)	マルチビット $\Delta\Sigma$ TDC (with correction)
回路量	×	◎	○	○
時間分解能	×	◎	◎	◎
精度	△	◎	×	○
測定時間	◎	×	○	○

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

2つのクロック間の立ち上がり時間差を高時間分解能で測定するデルタシグマ型タイムデジタイザ回路について下記をご紹介しました。

(1) デルタシグマ型タイムデジタイザ回路の構成と動作

(2) 開発した高精度化のアルゴリズムと

そのMATLABシミュレーションによる効果確認

(3) 回路設計、アナログFPGA(PSoC) 実現、測定評価結果

集積回路分野の研究者

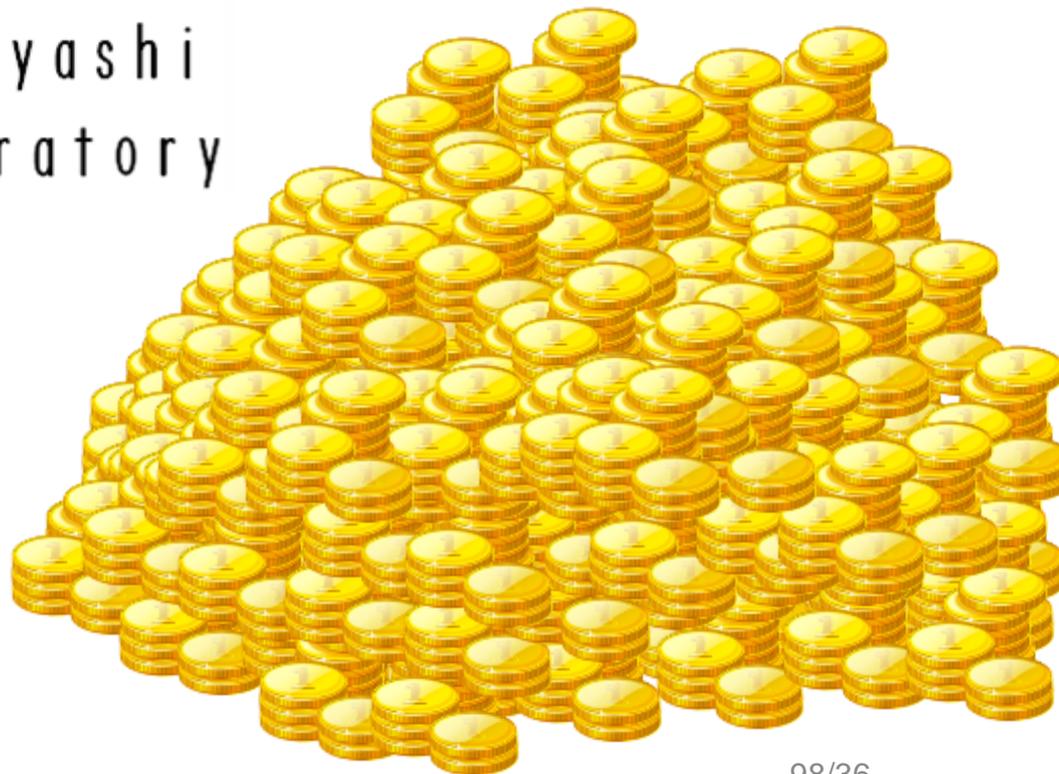
フルカスタムIC重視、(アナログ)FPGAに関心少ない傾向



(アナログ)FPGAは「破壊的イノベーション」になる(?)



Kobayashi
Laboratory



Time is *GOLD* !!

$\Delta\Sigma$ TDC is a key.

この研究をご支援いただいています
半導体理工学研究センター(STARC)に
感謝いたします。

[フラッシュ型TDCの最初の論文](#)

- [1] Y. Arai, T. Baba, “A CMOS Time to Digital Converter VLSI for High-Energy Physics”,
IEEE Symposium on VLSI Circuits (1988).

[\$\Delta\Sigma\$ 変調技術の発明者 安田靖彦先生の回顧・解説文](#)

- [2] 安田 靖彦「技術の生みの親・育ての親」郵政研究所月報 巻頭言 (2001年7月).

[\$\Delta\Sigma\$ TDCの最初の論文](#)

- [3] B. Young, K. Sunwoo A. Elshazly, P. K. Hanumolu, “A 2.4ps Resolution 2.1mW Second-order Noise-shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth,” IEEE Custom Integrated Circuits, San Jose (Sept. 2010)

[マルチビット \$\Delta\Sigma\$ TDCの線形性向上技術](#)

- [4] S. Uemori, M. Ishii, H.Kobayashi, et. al., “Multi-bit Sigma-Delta TDC Architecture with Improved Linearity,”
Journal of Electronic Testing : Theory and Applications, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).

[\$\Delta\Sigma\$ TDCの位相ノイズ測定法への提案](#)

- [5] D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi et. al., ”Phase Noise Measurement with Sigma-Delta TDC”,
IEEE International Test Conference, Poster Session, Anaheim, CA (Sept. 2013).
- [6] 大澤 優介、平林 大樹、針谷 尚裕、小林 春夫、新津 葵一、小林 修「デルタシグマTDCを用いた位相ノイズ測定」
電気学会 電子回路研究会 島根 (2014年7月)

[マルチビット \$\Delta\Sigma\$ TDCのアナログFPGA実現](#)

- [7] 中條剛志、平林大樹、荒船拓也、佐藤幸志、小林 春夫 「マルチビットデルタシグマ型タイムデジタイザ回路の
FPGA実現・測定検証」電気学会 電子回路研究会, 秋田(2014年10月)

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉



「技術で世の中に喜びを提供する」
「研究所は、技術ではなく
どういふものが人に好かれるかを
研究するところである。」（本田宗一郎）

「事業の目的は
顧客の創造である」（ドラッカー）

「もの作り」だけではない。
「新しい社会作り」ができる。

イノベーション:

新しい技術もとに、
社会的意義のある新たな価値を創造し、
社会的に大きな変化をもたらす変革。

蒸気機関の発明: 馬車から鉄道へ

→ 社会が大きく変わる

「大木を育てるには小さな種をまく必要がある。
小さなことから始めよ。
小さなことを大切にせよ。」

(リチャード W. ハミング、ベル研究所)

「着眼大局 着手小局」

知識は 発展している、作り出されている、
進歩している。

➡ 学生の **研究を通じての教育**

「大学は 学問をいまだに完全には
解決されていない問題として、
たえず研究されつつあるものとして
扱うことに特色がある。」

「新しい学問分野を切り開くのが
一流の大学教授の証」

工学部 大学教員

製造業(第2次産業)の要素をもった

サービス業(第3次産業)

「松下電器は人を作る会社です。
あわせて電気製品を作っています。」

(松下幸之助)

「情報化社会においては、
いかなる組織も学ぶ組織にならねばならない。
同時に教える組織にもならなければならない。」

(ドラッカー)

東大名誉教授 北森俊行先生

思考力・創造力の向上のために

- 数学の定理を教え、証明してみせるよりも、
定理を発見する気持ちを教える。
- 物理法則を教えるよりも、
物理法則を見つけ出そうという気持ちを教える。
- 出来上がった理論を教えるよりも、
理論を創る気持ちを教える。

足代弘訓(江戸時代後期の国学者)

人をあざむくために学問をしない。

人とあらそうために学問をしない。

人をそしるために学問をしない。

人の邪魔をするために学問しない。

自分を自慢をするために学問をしない。

名を売るために学問をしない。

利をむさぼるために学問をしない。

宇都宮高校の生徒の時代にはじめて聴く。自分を戒める。

明治維新等の歴史を振り返っても
新しい時代を開くのは若者

「新しい葡萄酒は新しい皮袋に入れよ」 **(新約聖書)**

「後生畏るべし、
焉んぞ来者の今に如かざるを知らんや。
四十五にして聞こゆることなきは、
これ亦畏るるに足らざるのみなり。」 **(論語)**