

剰余系を用いた TDC 回路の FPGA 実現の検討

李从兵*(群馬大学), 加藤健太郎(鶴岡高専), 小林春夫(群馬大学)

FPGA Implementation and Verification of Chinese Remainder Theorem Based TDC

Congbing Li*(Gunma University), Kentaroh Katoh (Tsuruoka National College of Tech.),

Haruo Kobayashi (Gunma University)

キーワード：時間-デジタル変換器, 剰余定理, FPGA

(Time to Digital Converter, Chinese Remainder Theorem, FPGA)

1. はじめに

時間-デジタル変換器(TDC: Time to Digital Converter)は時間分解能型アナログ回路のキーコンポーネントである。電圧振幅の大きさに依存せずに、従来よりも一歩進んだデジタル RF 回路を実現できることが期待できる。フラッシュ型 TDC (図1) が広く用いられているが、回路が大きくなり、小チップ面積化・低消費電力化を得ることが困難である。そこで本研究では、小回路規模・低消費電力 TDC を可能にするために、剰余定理利用した TDC 回路を提案し、FPGA を用いて回路動作の確認と性能検証を行った。剰余定理を利用するとフラッシュ型 TDC に比べ、回路面積(コスト)、消費電力を低減できる可能性がある。

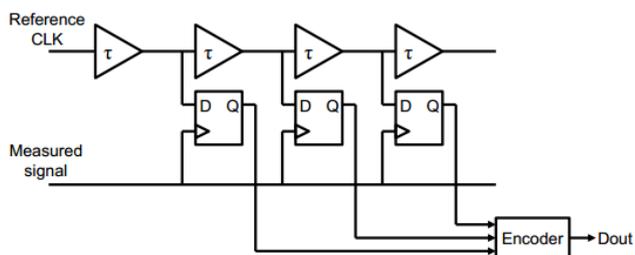


図1 フラッシュ型 TDC

2. 剰余定理

剰余定理は古代中国の本『孫子算経』に登場していることから欧米で Chinese remainder theorem と呼ばれる、数の余りに関する定理である[1]。孫子の定理とも呼ばれる。『孫子算経』には「3で割ると2余り、5で割ると3余り、7で割ると2余る数はいくらか」という問題とその解法が書かれている。剰余定理は、この問題を他の整数についても適用できるように一般化したものである。剰余定理の最も基本的な形は次のような形式で述べることができる。

m_1, \dots, m_r を2つずつ互いに素な正の整数とする。このとき、任意の整数 a_1, \dots, a_r について

$$x \equiv a_k \pmod{m_k}, k = 1, 2, \dots, r$$

を満たす x は $M = m_1 \cdots m_r$ を法としてただ一つ存在する。 m_1, \dots, m_r は『剰余数系』と言う。

例えば、 m_1, m_2, m_3 を互いに素な自然数 2, 3, 5 とする。このとき、最小公倍数は $N = 2 \times 3 \times 5 = 30$ となる。 a, b, c を $0 \leq a \leq 2, 0 \leq b \leq 3, 0 \leq c \leq 5$ となる整数とすると、2で割った余りが a で、3で割った余りが b で、5で割った余りが c であるような整数 k ($0 \leq k \leq N-1$) が必ずただ一つ存在する。

この定理により解が存在することが保証されている。実際に解を計算することも容易であり、具体的な解法は直接計算による方法やユークリッド互除法等がある。 (m_1, m_2, m_3) が (2, 3, 5) のときの解 k を表1に示す。 (m_1, m_2, m_3) の組と k は1対1に対応している。 k を (m_1, m_2, m_3) で表現することは『剰余表現』と言う。

表1 自然数 k と剰余表現 (m_1, m_2, m_3) は1対1対応

m_1	m_2	m_3	k
0	0	0	0
1	0	0	15
0	1	0	16
1	1	0	17
0	2	0	18
1	2	0	19
0	3	0	20
1	3	0	21
0	4	0	22
1	4	0	23
0	0	1	24
1	0	1	25
0	1	1	26
1	1	1	27
0	2	1	28
1	2	1	29
0	3	1	30
1	3	1	31
0	4	1	32
1	4	1	33
0	0	2	34
1	0	2	35
0	1	2	36
1	1	2	37
0	2	2	38
1	2	2	39
0	3	2	40
1	3	2	41
0	4	2	42
1	4	2	43
0	0	3	44
1	0	3	45
0	1	3	46
1	1	3	47
0	2	3	48
1	2	3	49
0	3	3	50
1	3	3	51
0	4	3	52
1	4	3	53
0	0	4	54
1	0	4	55
0	1	4	56
1	1	4	57
0	2	4	58
1	2	4	59
0	3	4	60
1	3	4	61
0	4	4	62
1	4	4	63

3. 剰余定理を利用した時間測定回路

TDC 回路は時間信号であることを利用すると“剰余”が容易に得られるので、三つのリング発振回路(遅延 $m_1\tau$, $m_2\tau$, $m_3\tau$)を利用し、発振している状態から経過時間 T の測定を行うことが可能である。剰余定理に基づいて、(a, b, c)から k を求めて、経過時間 T は $k \times \tau$ である。

例えば、図 2 の回路で、三つのリング発振回路(遅延 2τ , 3τ , 5τ)を設ける。下記の手順によって発振している状態から経過時間 T を計算する。

- ① START 信号が L にする時、Initial Value で三つのリング発振回路を初期化する。
- ② START 信号が L から H で三つのリング発振回路が発振を開始する。
- ③ STOP 信号が L から H のときの値がレジスタに取り込まれる。
- ④ 各レジスタの値から剰余定理を用いて経過時間 T を計算する。発振している状態から経過時間 T を 2τ で割った余りが a で、 3τ で割った余りが b で、 5τ で割った余りが c である。a, b, c は各レジスタの値(Qa0, Qa1, Qb0, Qb1, Qb2, Qc0, Qc1, Qc2, Qc3, Qc4)から得ることが可能である。剰余定理を用いて経過時間 $T = k \times \tau$ である。

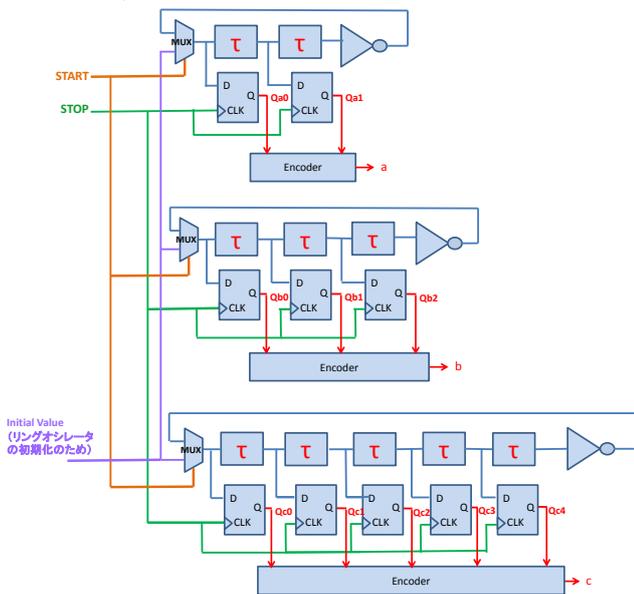


図 2 剰余定理を利用した TDC 回路の構成

三つのリング発振回路の遅延はバッファの個数で決められるので、バッファの個数を増減すると、(m_1, m_2, m_3)の値を変えることが可能である。また、リング発振回路の個数を増減すると、互いに素な自然数(m_1, \dots, m_r)の個数を変えることも可能である。そして、図 2 のような TDC 回路は他の剰余数系にも適用できるように一般化できる。

剰余定理を用いた TDC 回路の動作・性能を確認するために、Xilinx 社 Virtex-5 XC5VLX50-FFG676 FPGA を使用し、図 2 に提案する回路の FPGA 実装と動作検証を行った。

4. RTL 検証

表 2 最上位モジュールの I/O ポートの定義

信号名	属性	ビット幅	意味
START	Input	1	START 信号
InitialValue	Input	1	初期化信号
Buffer_CLK	Input	1	遅延バッファの生成用
STOP	Input	1	STOP 信号
a	Output	1	エンコーダの出力 a
b	Output	2	エンコーダの出力 b
c	Output	3	エンコーダの出力 c
Qa0	Output	1	各レジスタの値 (詳しくは図 2 を参照してください)
Qa1	Output	1	
Qb0	Output	1	
Qb1	Output	1	
Qb2	Output	1	
Qc0	Output	1	
Qc1	Output	1	
Qc2	Output	1	
Qc3	Output	1	
Qc4	Output	1	

最上位モジュール仕様は表 2 のようになる。Buffer_CLK のパスに遅延バッファを挿入し、バッファ遅延 τ の整数倍だけ遅延させ、STOP 信号の立ち上がりでリング発振回路の状態をフリップフロップで取り込む。この TDC の構成では Buffer_CLK のパスに使われているバッファの遅延時間 τ が TDC の最小時間分解能になる。

回路機能を HDL で記述し、ISim を使用し、下記の条件でシミュレーションを行った[2,3]。

- ・ STOP クロック周波数 = 100MHz
- ・ バッファ遅延 $\tau = 30.30\text{ns}$
- ・ START 信号が L から H に変えたとき = 200ns

タイミングチャートは図 3 の通りである。バッファ遅延 τ の値、START や STOP 信号の値を定量的に分析し、表 3 の結果を得た。

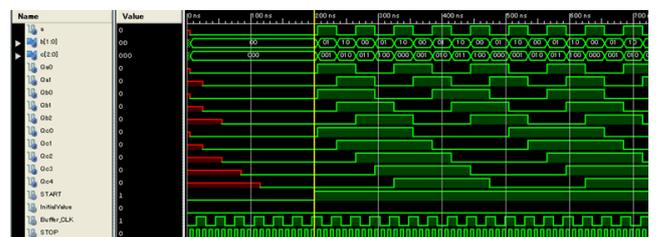


図 3 タイミングチャート

表 3 で、(a, b, c)はエンコーダの出力である。k は剰余定理に基づいて(a, b, c)から求めることである。発振から経過時間 T は START と STOP の実際の時間差である。 $T = k \times 30.30(\text{ns})$ である。すなわち、(a, b, c)を得たら、START と STOP の時間差を求めることもできる。提案回路を利用し、時間を測定できることを示している。

表 3 設計回路の定量的な動作解析

STOP 信号の値(ns)	発振から経過時間	a	b	c	計算した k
200	0 x 30.30ns	0	00	000	0
230.30	1 x 30.30ns	1	01	001	1
260.60	2 x 30.30ns	0	10	010	2
290.90	3 x 30.30ns	1	00	011	3
321.20	4 x 30.30ns	0	01	100	4
351.50	5 x 30.30ns	1	10	000	5
381.80	6 x 30.30ns	0	00	001	6
412.10	7 x 30.30ns	1	01	010	7
442.40	8 x 30.30ns	0	10	011	8
472.70	9 x 30.30ns	1	00	100	9
503.00	10 x 30.30ns	0	01	000	10
533.30	11 x 30.30ns	1	10	001	11
563.60	12 x 30.30ns	0	00	010	12
593.90	13 x 30.30ns	1	01	011	13
624.20	14 x 30.30ns	0	10	100	14
654.50	15 x 30.30ns	1	00	000	15
684.80	16 x 30.30ns	0	01	001	16
715.10	17 x 30.30ns	1	10	010	17
745.40	18 x 30.30ns	0	00	011	18
775.70	19 x 30.30ns	1	01	100	19
806.00	20 x 30.30ns	0	10	000	20
836.30	21 x 30.30ns	1	00	001	21
866.60	22 x 30.30ns	0	01	010	22
896.90	23 x 30.30ns	1	10	011	23
927.20	24 x 30.30ns	0	00	100	24
957.50	25 x 30.30ns	1	01	000	25
987.80	26 x 30.30ns	0	10	001	26
1018.10	27 x 30.30ns	1	00	010	27
1048.40	28 x 30.30ns	0	01	011	28
1078.70	29 x 30.30ns	1	10	100	29

5. FPGA 実装

RTL 検証が完成次第に、提案回路を FPGA に実装した。入出力ピンの配置制約は図 4 に示す。START と Initial Value 入力をユーザープッシュボタンに接続し、STOP 入力を 100MHz FPGA クロックに接続した。Buffer_CLK は 33MHz FPGA クロックに接続した、すなわちバッファの遅延 τ は 30.30ns である。出力(a, b, c, Qa0, Qa1, Qb0, Qb1, Qb2, Qc0, Qc1, Qc2, Qc3, Qc4)は拡張 I/O シングルエンド (J6)に接続した。

START プッシュボタンを押すと測定が開始する。ChipScope を用いて FPGA の内部信号の測定を行った [4,5]。FPGA の入出力信号は図 5 を示す。

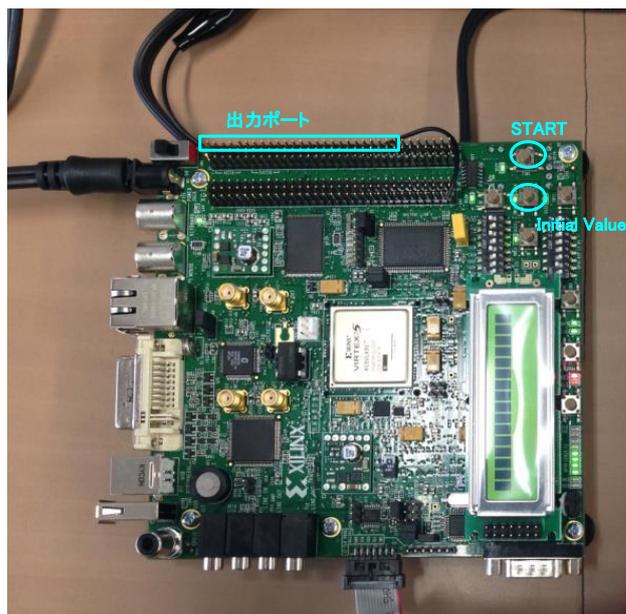


図 4 ピン配置制約

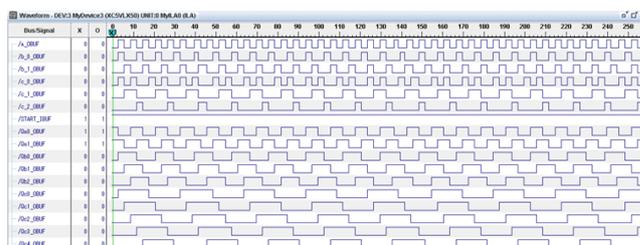


図 5 ChipScope で FPGA の入出力信号

上記の入出力信号データを ASCII データに変換して解析し、表 4 のような結果を得た。(a, b[0], b[1], c[0], c[1], c[2]) はエンコーダの出力である。k は剰余定理に基づいて(a, b[0], b[1], c[0], c[1], c[2])から求めることである。“Sample in Window” は Waveform ウィンドウの波形出力のサンプル番号である。サンプルレートは 100MHz であるので、サンプル間隔は 10ns である。発振から経過時間 T は START と STOP の実際の時間差である。図 6 は FPGA 測定で得た k を横軸にし、START プッシュボタンを押したから経過時間を縦軸に取って作成したグラフである。START プッシュボタンを押したから経過時間、すなわち START と STOP の時間差イコール k かけるバッファ遅延 (30.30ns) である。剰余定理を利用した TDC 回路は FPGA で実現できることを示している。

今回は(m₁, m₂, m₃)が(2, 3, 5)のときの TDC 回路を FPGA で実現したが、バッファの個数とリング発振回路の個数を増減すると、図 2 のような TDC 回路は他の剰余数系にも適用できるので、他の剰余数系の TDC 回路も FPGA で実現可能である。

また、図 2 のような TDC 回路で、使用した遅延バッファとフリップフロップの数は 10 個である。同じ動作を持つフラッシュ型 TDC 回路では、用いた遅延バッファとフリップフロップの数は 29 個である。フラッシュ型 TDC に比べ、

表 4 ChipScope から得たデータを定量的に解析する

Sample in Window	発振から経過時間 (ns)	a	b[0]	b[1]	c[0]	c[1]	c[2]	k
0	0.00	0	0	0	0	0	0	0
3	30.30	1	1	0	1	0	0	1
6	60.60	0	0	1	0	1	0	2
9	90.90	1	0	0	1	1	0	3
12	121.20	0	1	0	0	0	1	4
15	151.50	1	0	1	0	0	0	5
18	181.80	0	0	0	1	0	0	6
21	212.10	1	1	0	0	1	0	7
24	242.40	0	0	1	1	1	0	8
27	272.70	1	0	0	0	0	1	9
30	303.00	0	1	0	0	0	0	10
33	333.30	1	0	1	1	0	0	11
36	363.60	0	0	0	0	1	0	12
39	393.90	1	1	0	1	1	0	13
42	424.20	0	0	1	0	0	1	14
45	454.50	1	0	0	0	0	0	15
48	484.80	0	1	0	1	0	0	16
51	515.10	1	0	1	0	1	0	17
54	545.40	0	0	0	1	1	0	18
57	575.70	1	1	0	0	0	1	19
60	606.00	0	0	1	0	0	0	20
63	636.30	1	0	0	1	0	0	21
66	666.60	0	1	0	0	1	0	22
69	696.90	1	0	1	1	1	0	23
72	727.20	0	0	0	0	0	1	24
75	757.50	1	1	0	0	0	0	25
78	787.80	0	0	1	1	0	0	26
81	818.10	1	0	0	0	1	0	27
84	848.40	0	1	0	1	1	0	28
87	878.70	1	0	1	0	0	1	29

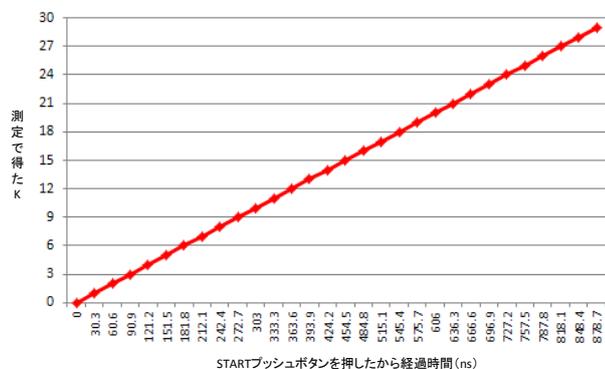


図 6 経過時間 VS. 測定で得た k

剰余定理を利用した TDC 回路は、回路面積、消費電力及びコストを低減できる。

従来のフラッシュ型 TDC 回路の構成では、遅延バッファの縦続段数も多いためにバッファの遅延時間のばらつきによる時間測定時における線形性が問題になる。提案回路は直列接続段数削減によって、遅延バッファのばらつきが原因となる非線形性を軽減できることが可能である[6,7]。

6. まとめと今後の課題

本論文では、剰余定理を利用した TDC 回路を提案し、Xilinx 社 FPGA を用いて回路動作の確認と性能検証を行った。TDC 回路では取り扱う入力信号が時間信号なので、リング発振回路構成により“剰余”が容易に得られる。提案した TDC 回路は時間を測定することが可能であることを確認し、FPGA で実現できることを示した。

剰余定理を利用した TDC 回路は、フラッシュ型 TDC に比べ、使用した遅延バッファとフリップフロップの数が少ない。そして、回路面積、消費電力及びコストを低減できることが可能である。

今回の実装で、三つのリング発振回路の間が同期したが、微細時間分解能を追求した場合、三つの TDC 間の特性ばらつきで、大きな誤差を生じる可能性があるかどうか、冗長構成で対応可能かどうかの検討は今後の課題である。

提案回路の構成ではバッファの遅延時間 τ が TDC の最小時間分解能であるが、冗長構成で遅延の差を利用し、より高時間分解能が実現できるかどうかは今後の課題である。

謝辞 ご討論をいただきました山口隆弘氏に感謝します。この研究は半導体理工学研究センター (STARC) に支援されています。

文 献

- (1) 国立国会図書館, “江戸の数学, 中国剰余定理”, <http://www.ndl.go.jp/math/s1/c2.html>
- (2) Xilinx, San Jose : “Virtex-5 LX FPGA ML501 Evaluation Platform”, <http://www.xilinx.com/products/boards-and-kits/HW-V5-ML501-UNI-G.htm>
- (3) Xilinx, San Jose : “Virtex-5 user guide”, 2010. [Online]. Available: www.xilinx.com
- (4) Xilinx, “Using Xilinx ChipScope Pro ILA Core with Project Navigator to Debug FPGA Applications”. [Online]. Available: www.xilinx.com
- (5) William A. Chren Jr., “Low-Area Edge Sampler Using the Chinese Remainder Theorem”, IEEE T. Instrumentation and Measurement 48(4): 793-797 (1999)
- (6) K. Katoh, Y. Doi, S. Ito, H. Kobayashi, E. Li, N. Takai, O. Kobayashi, “An Analysis of Stochastic Self-Calibration of TDC Using Two Ring Oscillators”, IEEE Asian Test Symposium (Nov. 2013).
- (7) S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. Yamaguchi, K. Niitsu, “Stochastic TDC Architecture with Self-Calibration,” IEEE Asia Pacific Conference on Circuits and Systems (Dec. 2010).