

逐次比較近似 ADC の整数論に基づく冗長アルゴリズム設計

小林 佑太郎* 小林 春夫 (群馬大学)

SAR ADC Algorithm Design Based on Number Theory
Yutaro Kobayashi*, Haruo Kobayashi, (Gunma University)

This paper describes redundancy algorithm design method for SAR ADC, based on number theory. Especially we show that using Fibonacci sequence, we can design well-balanced redundancy algorithm for an SAR ADC, which is easy for circuit design. We also present some derived equations and beautiful properties related to the redundancy SAR algorithm design using Fibonacci sequence as well as Lucas, Tribonacci and Tetranacci sequences.

キーワード：逐次比較, AD変換器, 冗長アルゴリズム, デジタル誤差補正, フィボナッチ数列, 黄金比
(Successive Approximation, ADC, Redundancy, Digital Error Correction, Fibonacci sequence, Golden ratio)

1. はじめに

近年、自動車のエレクトロニクス化が進み、車載用エレクトロニクス技術は自動車に付加価値を生み競争力をつける一つの方法として大きな注目を集めている。そのため車載システムにおいてマイコンと組み合わせて使用される逐次比較近似 AD 変換器(SAR ADC)には高性能化、特に高信頼性化の要求が著しい。

逐次比較近似 AD 変換器において高信頼性化や速度向上への試みのひとつとして冗長設計がある。空間的・時間的冗長をシステムに組み込み、AD 変換過程を変更することによりデジタル誤差補正を実現させ、性能を向上させる方法である。しかしながら従来の冗長設計方法では、設計者が任意に決めた基準値の使用によって補正力にばらつきが生まれ、性能向上を妨げていた。

そこで本論文では有名な整数論であるフィボナッチ数列を基礎とする冗長設計方法論を示す。特にフィボナッチ数列が約 1.62 進数を整数のみで実現できるという“黄金比”という性質を持っていることに着目し冗長設計への応用を提案する。さらに我々はこの応用からいくつかの理論的に興味深い性質を見出したので、その美しい関係性について報告し証明する。

2. 逐次比較近似 AD 変換器

逐次比較近似 AD 変換器は高分解能(8~18bit)、中速サンプリング(5MSps 程度)の AD 変換器である。低消費電力かつ小チップ面積であるという特徴から、自動車や工業用機械などで広く用いられる。またオペアンプを使用しない回

路構成であるため微細化を続けるナノ CMOS での実現に適する方式であり、今後における発展の意義が大きい。

逐次比較近似 AD 変換器の主な構成要素は図 1 のようにサンプル&ホールド回路、DA 変換器、コンパレータ、逐次比較レジスタ(SAR)、クロックの五つである。正確な変換を可能とするためには、比較結果に直接影響するサンプル&ホールド回路と DA 変換器に精度が必要である。

逐次比較近似 AD 変換器の動作は“天秤の原理”を用いたもので、一般的には二進探索アルゴリズムを適用する。サンプル&ホールド回路でアナログ入力を保持し、コンパレータ(天秤)によって DA 変換器出力電圧(錘)と比較し、これら二入力の大小比較結果から出力デジタル値の 1bit 分を決定する。続けて前ステップの比較結果によって SAR ロジック回路を動作させて比較電圧の大きさを決定し、DA 変換器を通してアナログ信号に変換する。このようにして変更された比較電圧とサンプル&ホールド回路からの入力電圧とを一回目と同様に比較する。これらの比較操作と比較電圧変更操作を繰り返してアナログ信号をデジタル信号へ変換する方式が逐次比較近似 AD 変換器である。

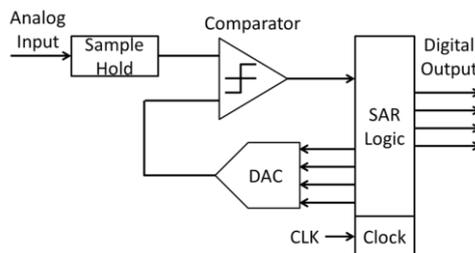


図 1 逐次比較近似 AD 変換器の構成
Fig. 1. Block diagram of a SAR ADC.

Step	1	2	3	4	output
Weight	8	4	2	1	
LEVEL	15				15
	14				14
	13				13
	12				12
	11				11
	10				10
	9				9
	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

図 2 4-bit SAR ADC の二進探索アルゴリズム.

Fig.2 Binary search algorithm of a 4bit SAR ADC.

図 2 に二進探索アルゴリズム 4bit 逐次比較近似 AD 変換器の具体的な解探索動作模式図を示す。図 2 における太線の部分が各ステップでの比較電圧の大きさであり、これらの値と入力電圧値を逐次比較することで最終的なデジタル値を得る。比較電圧より入力アナログ電圧値が大きければコンパレータは 1 を、逆であれば 0 を出力する。一般的に比較電圧の大きさは、二進重みの加減算から構成される数字を使って比較しており、時間(ステップ数)的に無駄がなく効率が一番良いとされる。

しかしながら実際の動作においては入力信号の急激な変動や DAC の出力の有限整定時間などの原因により、比較の際に出力を誤ってしまう可能性がある。二進探索アルゴリズムの場合、一度でも判定を誤るとその二進数の性質(十進数と二進数が一対一対応する)から正しい出力を得ることができなくなる。

本論文ではこのような判定誤りを自己校正する方法として時間冗長性を用いた逐次比較近似 AD 変換器を検討する。

3. 逐次比較近似 AD 変換器の冗長設計

〈3・1〉 AD 変換器冗長設計の概要

冗長設計は冗長を積極的に利用することで全体的な性能向上を狙う。冗長とは予備や余分のことであるが、ここでは時間的な冗長を逐次比較近似 AD 変換器へ適用し、コンパレータ比較回数を増加させることでデジタル誤差補正を可能にするという冗長設計方式[1,2,4,5]について考える。この方式は非二進重み比較電圧を非二進探索アルゴリズムへ変更し誤判定補正を可能にしている。

逐次比較近似 AD 変換器の非二進探索アルゴリズムでの解探索動作例を図 3 に示す。図 3 は入力電圧 8.6 LSB における 4bit5step AD 変換で、比較電圧重みを小さいほうから順に 1, 2, 3, 6, 8 とした変換例を 2 種類示している。

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
	0					0
-1					-1	

図 3 4-bit 5-step SAR ADC の非二進探索アルゴリズム.

Fig.3 Redundant search algorithm of a 4bit 5step SAR ADC.

図 3 中における二例の違いは 1step 目の判定の正誤であるが、誤判定を起こした場合においても後段のステップで補正されて二例とも正しい変換結果 8 を得られることがわかる。比較回数が一回増えると出力デジタルコードが 1bit 増えて、表現可能な値の種類は 2 倍になり、ひとつの出力値を複数のデジタルコードで表現できるために誤りを補正することができるのである。補正された出力デジタルコードをロックアップテーブルなどでエンコードすれば正しい変換結果を得ることができる。これがデジタル誤差補正の考え方であり、AD 変換の信頼性向上に貢献する。さらに誤判定を後段で補正することができるので、DA 変換器出力が完全に整定するまでの時間が不要となり、判定回数を増やしたとしても全体の変換速度を向上することができる。このように冗長設計によって信頼性と変換速度に優れた AD 変換器を作ることが可能である。

〈3・2〉 AD 変換器冗長設計の一般化

逐次比較近似 AD 変換器の冗長設計について式を用いた一般化を行う。N bit 分解能の AD 変換器を M step の比較で実現すると、k step 目の比較電圧 $V_{ref}(k)$ と出力値の十進表現 D_{out} はそれぞれ式(1)、式(2)になる。ただし MSB より k 個目の比較電圧重みを $p(k)$ とし、k step 目で k-1 段目の比較電圧に足し引きする値とする。d(k) は k step 目のデジタル出力により決定される値で、デジタル出力が 1 ならば $d(k)=1$ 、デジタル出力が 0 ならば $d(k)=-1$ である。

$$V_{ref}(k) = \sum_{i=1}^k d(i-1)p(i) \quad (1)$$

$$D_{out} = 0.5d(M) - 0.5 + \sum_{i=1}^M d(i-1)p(i) \quad (2)$$

ただし $d(0) = 1$

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
1					1	
0					0	
-1					-1	

図 4 4-bit 5-step の冗長探索アルゴリズムと誤差補正範囲 $q(k)$ の図表示.

Fig.4 Redundant search algorithm of a 4-bit 5-step SAR ADC and representation of error collection range.

逐次比較近似 AD 変換器の冗長設計を式(1)式(2)のように一般化すると、 k step 目で誤判定を起こしたとしても補正をすることが可能な入力範囲差 $q(k)$ が式(3)のように決定することができる[1].

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i) \quad (3)$$

また図 3 の例での誤差補正可能範囲を図示したものを図 4 に示す。図 4 中で両矢印が誤差補正可能な入力の範囲であり、上矢印が $q(k)$ を表現している。図 4 からわかるように $q(k) \geq |V_{ref}(k) - V_{in}|$ を満たすと k step 目で判定誤りを生じたとしても、後の判定を誤らなければ正しい値へと修正することが可能である。すなわち各ステップの $q(k)$ の大きさが逐次比較近似 AD 変換器の能力の高さを示すことになる。また式(3)から $q(k)$ は k step 目の比較電圧の重み $p(k)$ によってのみ決定されるため、各ステップの比較電圧重みが冗長設計における最も重要なパラメータとなる。

〈3・3〉 従来手法の比較電圧重み決定方法

逐次比較近似 AD 変換器の冗長設計効果の大きさは比較電圧重み $p(k)$ によってのみ決定されることを前節で示した。たとえ回路規模等を増大させて冗長設計を施したとしても、比較電圧重み $p(k)$ の選択が適切にされないと補正効果を得ることができない。

比較電圧重みは隣り合う重みの比率が 1 以上かつ 2 以下である必要がある。すなわち二進数列から単項列の間の比率で進む重みの利用が必要である。開発者が数列のそれぞれの項を任意に決定することもできるが、一般的な従来手法は k step 目の比較電圧重み $p(k)$ を適切な範囲内の基数

(radix)によって式(4)の式のように決定する。式(4)における x は基数であり所望する効果に応じた値で定め、 N は AD 変換器分解能である。

$$p(k) = x^{M-k} \quad (4)$$

ここで

$$p(1) = 2^{N-1} \quad (5)$$

$$1 < x < 2$$

また総ステップ数 M は重みの組み合わせで全てのデジタル出力値を表現できる項数とする。すなわち式(6)を満たすよう総ステップ数 M を決定する。

$$2^{N-1} - 1 \leq \sum_{i=0}^{M-2} p(M-i) \quad (6)$$

以上から冗長設計条件を機械的に決定することができる。

〈3・4〉 従来手法を用いた冗長設計の問題点

式(4)を用いた従来手法で冗長設計することは可能であるが、ここにはいくつかの問題点がある。

問題点のひとつには式(4)で導かれる比較電圧重み $p(k)$ が整数にならないことがある。AD 変換器に使用する比較電圧重みは変換精度や設計容易化のために整数である必要があるため、比較電圧重み $p(k)$ の決定には整数値への丸めを行う必要がある。このような端数処理は隣り合う項の比率(進数)の変化を生じ各ステップにおける補正力 $q(k)$ にばらつきを生じ、性能向上を妨げる。

また更なる問題点として基数決定の難しさがある。図 3 で示した例は基数 x が 1.80 として各値に四捨五入を使用した場合であるが、図 4 を見てみると補正可能な範囲を示す両矢印がすべての入力範囲を埋め尽くしていないということがわかる。このような基数の決定をすると AD 変換器の入力によっては、原理的に補正が不可能になる。図 4 の例で言うと AD 変換器の入力が 1~3, 7~9, 13~15 [LSB] の範囲外の場合は補正することが不可能であり、不適切な基数の決定が補正力の弱体化につながるということがわかる。この問題に対して $q(k)$ の増加を狙い冗長度を大きくして基数 x を小さく設定すると、総ステップ数 M が増加して変換速度が低下する。逐次比較近似 AD 変換器の冗長設計は補正力の大きさと変換速度がトレードオフの関係にあり、設計者は最も適する基数 x の探索を強いられる。

これらの問題は従来手法において必ず発生するものであり、冗長設計における性能低下や設計難度上昇を引き起こす原因である。

4. 整数論を用いた冗長アルゴリズムの設計

冗長設計には優れた AD 変換器設計の可能性があるが、従来の手法では十分な効果の発揮が難しいことを示した。そこで本論文では従来手法に取って代わる冗長設計方法を検討し、整数を扱う AD 変換器に適した整数論を応用することを提案する。中でも今回は特に良く知られている整数論のひとつである“フィボナッチ数列”を用いた冗長設計方

法を示す。

〈4-1〉 フィボナッチ数列

フィボナッチ数列とは式(7)の漸化式で定義される数列である。式(7)中の n は $n \geq 0$ を満たす任意の自然数である。1202年にイタリアの数学者レオナルド・フィボナッチが発行した『算盤の書』(Liber Abaci)に記載された数列[3]であり、整数論の代表とも言える。

$$F_{n+2} = F_n + F_{n+1} \quad (7)$$

$$\text{ただし } F_0 = 0, F_1 = 1$$

式(7)に従って、いくつかの項を計算すると以下の値となる。

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233, 377, 610, 987, 1597, 2584, 4181...

すなわち隣り合う二項の和が次の項になる数列である。式(7)から導かれる整数値はフィボナッチ数と呼ばれる。

また隣り合う二つのフィボナッチ数の比率は式(8)で示される値へ収束する。

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \phi \quad (8)$$

この収束比率 ϕ は“黄金比”と呼ばれ、古代より視覚的に落ち着く最も美しい比率であるとされている。

これらのフィボナッチ数や黄金比は上記のように簡単かつ単純に導くことができるが、動物・植物・美術など様々な場所に現れること、多くの独特な性質・特徴を持っていることなどから不思議な数として認識されており、フィボナッチの発表から 800 年以上が経った現在でも研究が続けられている。

〈4-2〉 逐次比較近似 AD 変換器のフィボナッチ数列応用

式(7)からフィボナッチ数列は整数のみで構成される数列であり、式(8)から隣り合う項の比率は黄金比の約 1.62 になる。このことを別の表現にすると、端数処理がまったく使われていない整数のみで、基数が黄金比である約 1.62 進の数字列を実現できるということになる。一般的に整数の小数倍は小数となるが、フィボナッチ数列は整数の小数倍(約 1.62 倍)が整数となるために冗長設計に应用できるのである。整数項で一定比率を保持することができるフィボナッチ数列の強力な性質を用いて逐次比較近似 AD 変換器の設計を行う。

逐次比較近似 AD 変換器へ冗長性を与えるために比較電圧重み $p(k)$ の変更を行う。しかし従来法のように式(4)を利用する方法ではなく、式(9)のように比較電圧重みを小さいほうからフィボナッチ数の大きさに決定する。

$$p(k) = F_{M-k+1} \quad (9)$$

$$\text{ただし } p(1) = 2^{N-1}$$

フィボナッチ数列の性質に従えばこの方法で整数のみの約 1.62 進を実現できる。このとき利用する総ステップ数 M は、従来法と同様に式(6)を満たすように決定する。

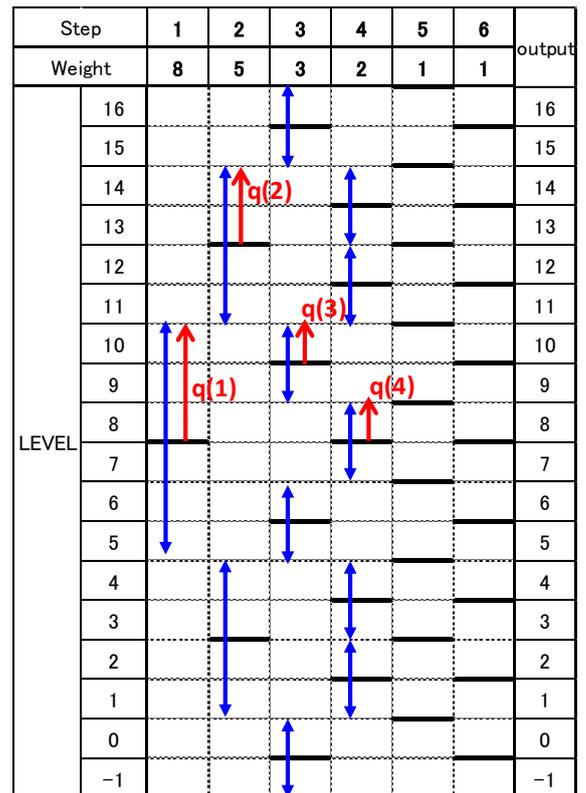


図 5 4-bit 6-step のフィボナッチ数列を用いた逐次比較近似 AD 変換器の冗長探索アルゴリズム。

Fig.5 Redundant search algorithm of a 4-bit 6-step SAR ADC using Fibonacci sequence.

フィボナッチ数列を組み合わせた冗長設計利用 4bit6step の逐次比較近似 AD 変換器の解探索動作を図 5 に示す。最初のステップはハーフスケールを選択し、以降は式(9)にしたがってフィボナッチ数重みで実現している。図 5 において両矢印が後段での補正が可能な入力誤差範囲を示し、上矢印が式(3)で示される誤差許容値 $q(k)$ である。

〈4-3〉 フィボナッチ数列の冗長応用の性質とその証明

図 5 から理論的に興味深い性質を 2 つ発見できる。以下にそれら性質を示す。

性質①

誤差許容値 $q(k)$ は必ずフィボナッチ数となり、その値は F_{M-k-1} となる。 $F_0 = 0$ を最小値とすれば、これはすなわち最後から 2step は必ず誤差許容値が 0 であることに等しい。

性質②

k step 目の補正可能範囲は $k+1$ step 目の補正可能範囲と重なることなく必ず接する。すなわち図 5 において k step と $k+1$ step の両矢印の先端は必ず同じ Level 値となる。これは同時に補正可能範囲が重なる／離れるの境界がフィボナッチ数重みであること、もしくはフィボナッチ数重みが補正可能範囲を接させるための最速の重み付けであることを示す。

示した 2 点の性質について証明を行う。

(性質①の証明)

はじめにフィボナッチ数の最初の n 項の和を求める。
 n を 1 以上の任意の自然数として式(7)で表現されるフィボナッチ数列は式(10)のように書き換えることができる。

$$F_n = F_{n+2} - F_{n+1} \quad (10)$$

式(10)から n 個目までのフィボナッチ数を並べると、

$$\begin{aligned} F_1 &= F_3 - F_2 \\ F_2 &= F_4 - F_3 \\ F_3 &= F_5 - F_4 \\ F_4 &= F_6 - F_5 \\ &\vdots \\ F_{n-1} &= F_{n+1} - F_n \\ F_n &= F_{n+2} - F_{n+1} \end{aligned}$$

となる。最初から n 個目までのフィボナッチ数を足せばよいので上の式の和をとると、フィボナッチ数同士で打ち消しあい、式(11)となる。

$$\begin{aligned} \sum_{i=1}^n F_i &= F_1 + F_2 + F_3 + \dots + F_n \\ &= F_{n+2} - F_2 \\ &= F_{n+2} - 1 \end{aligned} \quad (11)$$

すなわちフィボナッチ数の最初の n 項の和は、二つ後の項から 1 を引いた値に等しい。

次に正の整数である判定ステップ k は式(12)を満たすと仮定する。

$$1 \leq k < M - 1 \quad (12)$$

M step 中 k step 目の誤差許容値 $q(k)$ は式(3)で表現されるので、フィボナッチ数を比較電圧重みとして利用する場合の式(9)を用いるとその $q(k)$ は式(13)のようになる。

$$q(k) = -F_{M-k} + 1 + \sum_{i=1}^{M-(k+1)} F_i \quad (13)$$

ここで式(7)、式(11)を利用すると式(13)は、

$$\begin{aligned} q(k) &= -F_{M-k} + 1 + (F_{\{M-(k+1)\}+2} - 1) \\ &= -F_{M-k} + 1 + F_{M-k+1} - 1 \\ &= F_{M-k+1} - F_{M-k} \\ &= F_{M-k-1} \end{aligned}$$

と変形できる。

式(7)で表現されるフィボナッチ数は F_0 より小さな値は存在しないので、判定ステップ k の領域は、

$$\begin{aligned} M - k - 1 &> 0 \\ k &< M - 1 \end{aligned}$$

であり、式(12)の仮定は正しい。

したがって誤差許容値 $q(k)$ は、

$$q(k) = F_{M-k-1} \quad (14)$$

であり必ずフィボナッチ数となる。 ■

(性質②の証明)

$k(\geq 2)$ step 目の比較電圧重みは式(9)で表現されるが、これは比較電圧 V_{ref} が 1step 毎に F_{M-k+1} の値だけ差を持つということを示す。フィボナッチ数列の定義式(7)を利用して式(9)を変形させると、以下の式(15)を得る。

$$\begin{aligned} p(k) &= F_{M-k+1} \\ &= F_{M-k} + F_{M-k-1} \end{aligned} \quad (15)$$

性質①の証明結果である式(14)を用いて、フィボナッチ数を誤差許容値 q に置き換えると式(15)は、

$$p(k) = q(k+1) + q(k) \quad (16)$$

となる。

k step 目と $k+1$ step 目の差 $p(k)$ は、 k step 目の許容値 $q(k)$ と $k+1$ step 目の許容値 $q(k+1)$ の和で表現されるので許容値及び補正可能範囲は必ず接する。また式(16)から比較電圧の大きさにかかわらず、step 毎に必ず重なることなく接することがわかるので補正可能範囲が接する最速の重み付けである。 ■

二つの性質の証明から、これら性質はフィボナッチ数重みを利用する限り 1step 目の比較電圧重み $p(1)$ によらないことがわかる。よってこれらの性質は 2^{N-1} 以外から比較を開始しても成り立ち、SAR アルゴリズム設計に柔軟性がある。

〈4・4〉フィボナッチ数列の冗長応用の有効性

フィボナッチ数列を逐次比較近似 AD 変換器へ応用することで二つの性質が得られたが、そのうち性質②の発見の意義と重要性はきわめて大きく、その理由が二つある。

まず一つ目にこの性質が逐次比較近似 AD 変換器における冗長設計のあらゆる基準となることが挙げられる。フィボナッチ数列を利用した冗長設計では基数 x が黄金比(約 1.62 進)であることに等しく、補正可能範囲が接する条件となっていた。このことは黄金比の基数を基準とすれば誤判定補正可能な範囲 $q(k)$ が重なるか離れるかが判定できることを示している。すなわち基数 x の値が黄金比(約 1.62)より大きければ、冗長度が小さく図 4 のように $q(k)$ は離れることになる。また基数 x の値が黄金比より小さければ冗長度が大きく $q(k)$ は重なることになる。このようにして黄金比を冗長度の基準とすれば、補正力の大きさから基数 x を容易に決定できる。

また二つ目の理由としてフィボナッチ数列を用いた冗長設計は最も効率のよい設計ができることが挙げられる。性質②が成り立つ限り補正可能範囲 $q(k)$ は重なることなく接するので、最小の冗長度で補正できない入力範囲が存在しないということになる。すなわち整数で構成されるフィボナッチ数を比較電圧重み付けに利用することで、最小ステップ数で全入力範囲を補正可能な無駄がない設計を実現できるのである。

以上の二点からは従来法の問題点を改善できることを示すことができ、フィボナッチ数列を設計に用いることの有効性が確認できる。

Step	1	2	3	4	5	6	output
Weight	8	6	4	3	2	1	
LEVEL	16						16
	15						15
	14						14
	13						13
	12						12
	11						11
	10						10
	9						9
	8						8
	7						7
	6						6
	5						5
	4						4
	3						3
	2						2
	1						1
	0						0
	-1						-1

図 6 4-bit 6-step のリュカ数列を用いた逐次比較近似 AD 変換器の冗長探索アルゴリズム.

Fig.6 Redundant search algorithm of a 4-bit 6-step SAR ADC using Lucas sequence.

5. 更なる整数論の応用

整数論の AD/DA 変換器応用は研究がほとんど行われていない[4,5,6]。本論文は整数論の工学への応用可能性を提示したひとつの例である。これまで整数論のひとつであるフィボナッチ数列を用いた冗長設計方法について述べ、効果を実証することができたが、他の整数論が応用できる可能性も十分ある。ここでは応用可能性の高い整数論とそれに対する考察を示す。

〈5・1〉リュカ数列

リュカ数列はエドゥアール・リュカによって考えられた数列で、式(17)で定義される。

$$L_{n+2} = L_n + L_{n+1} \quad (17)$$

ただし $L_0 = 2, L_1 = 1$

リュカ数列はフィボナッチ数列の初期値を変更したものとわかる。この数列の特徴はフィボナッチ数列以外で唯一、隣接項比率が黄金比に収束する整数列を生成できる点にある。フィボナッチ数列の冗長設計で発見された性質②から基数が黄金比ならば補正可能範囲が接するので、リュカ数列で冗長設計を行うことを考え付いた。

リュカ数列を組み合わせた冗長設計利用 4bit 6step の逐次比較近似 AD 変換器の解探索動作を図 6 に示す。ただしここでの比較電圧重み $p(k)$ はリュカ数を大きさ順に並べたものである。図 6 からフィボナッチ数列と同様に補正可能誤差範囲 $q(k)$ がリュカ数となり、補正可能範囲が接するこ

とがわかる。これはリュカ数列の最初 n 項の和の公式がフィボナッチ数列と同じであるからで、同様に証明することができる。このことは黄金比が冗長設計における基数の境界条件であることを再確認させ、リュカ数列応用の可能性を示す結果となる。

〈5・2〉トリボナッチ数列、テトラナッチ数列

トリボナッチ数列は前三項の和で定義される式(18)、テトラナッチ数列は前四項の和で定義される式(19)で示される数列である。

$$T_{n+3} = T_n + T_{n+1} + T_{n+2} \quad (18)$$

$$T_0 = T_1 = 0, T_2 = 1$$

トリボナッチ数列の隣接項比率は約 1.84 に収束する。

$$T_{n+4} = T_n + T_{n+1} + T_{n+2} + T_{n+3} \quad (19)$$

$$T_0 = T_1 = T_2 = 0, T_3 = 1$$

テトラナッチ数列の隣接項比率は約 1.93 に収束する。

これら二つの数列はフィボナッチ数列の漸化式を変更したものであるが、収束比率が黄金比と比較して大きくなっているのがわかる。整数のみで一定の隣接項比率を維持できるというフィボナッチ数と同等の性質は応用できるため、フィボナッチ数列では冗長度が大きすぎる場合などに代わりとして利用することを検討できる。

各数列の利用のために、図 7 にそれぞれの数列を利用した際の分解能毎の冗長ステップ数の最小値を、図 8 に 8bit におけるステップ毎の誤差許容範囲 $q(k)$ を示す。またここから得られた各数列の冗長設計に共通する性質を示す。

- I. 補正可能ステップの末尾には誤差許容範囲 $q(k)=1$ が漸化式右辺の項の数だけ並ぶ
- II. 最終 2-step は補正できる範囲がない
- III. 数列の第 n 項までの総和に 1 を足したものが、 $\{n+$ 漸化式右辺の項の数 $\}$ という項番号を持つ重みステップの許容範囲 $q(k)$ に等しい

上記の性質は許容値 $q(k)$ の定義式(3)とその数列を定義する漸化式を用いると容易に証明することが可能である。これらの性質は補正力のひとつの指標にはなるが、十分に実用的とは言えないため、今後新たな性質の発見を望まれる。

また式(7)、式(18)、式(19)と同様に漸化式の右辺の項数を増加させていくと、数列の隣接項の収束比率は 2 へ漸近する(X-ボナッチ数列)。そうして作られる整数列は、最終ステップ比較電圧重み $p(N+1)=1$ の項が余分に付加されただけの二進重みとなる。これらの項を冗長設計に用いると、図 9 のような許容値 $q(k)$ がすべて 1 である冗長設計ができる。図 9 からこれらの誤判定許容範囲は重なることなく、入力範囲全域を補正できることがわかる。この冗長設計方法には応用の余地はないと予測されるが、漸化式を用いた冗長設計方法のひとつの目安となる例である。

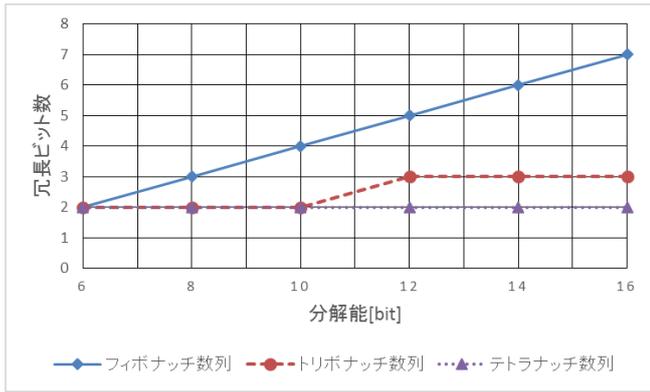


図 7 各数列を用いた冗長設計の分解能に対する冗長ステップ数.

Fig.7 Number of extra steps with respect to SAR ADC resolution for number sequences.

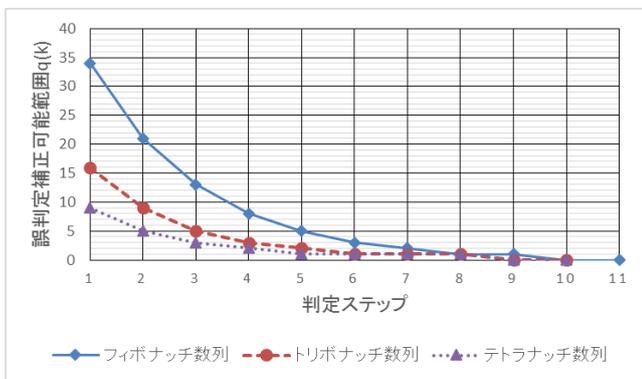


図 8 8-bit SAR ADC における各数列を用いた冗長設計の誤判定補正可能範囲 $q(k)$.

Fig.8 Error correction range $q(k)$ to each step of 8-bit SAR ADC for number sequences.

6. まとめ

本論文では逐次比較近似 AD 変換器の冗長設計とその問題点について考察し、有名な整数論であるフィボナッチ数列の特性である黄金比を利用する設計を提案した。さらに発見された冗長設計における重要な性質を示し、その証明を行った。基数が黄金比であると、補正可能範囲が接するという性質によって従来の設計法の問題点を解決することができることを示し、本手法の有効性を確認した。

フィボナッチ数列やフィボナッチ数列に関する様々な整数論の応用の例と性質を示し、その可能性を提示した。

Step	1	2	3	4	5	output
Weight	8	4	2	1	1	
LEVEL 16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0
-1						-1

図 9 4-bit 5-step の X-ボナッチ数列を用いた逐次比較近似 AD 変換器の冗長探索アルゴリズム.

Fig.9 Redundant search algorithm of a 4-bit 6-step SAR ADC using X-bonacci sequence.

謝辞： 本研究をご支援いただいています半導体理工学研究センター(STARC)に感謝いたします。

文 献

- (1) T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori : "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- (2) 小川 智彦, 松浦 達治, 小林 春夫, 高井 伸和, 堀田 正生, 傘 昊, 阿部 彰, 八木 勝義, 森 俊彦, "逐次比較近似 ADC コンパレータ・オフセット影響の冗長アルゴリズムによるデジタル補正技術," 電子情報通信学会誌 和文誌 C, Vol.J94-C (2011 年 3 月).
- (3) A. S. Posamentier, I. Lehmann (著), 松浦俊輔 (訳): 「不思議な数列 フィボナッチの秘密」, 日経 BP 社 (2010 年 8 月).
- (4) 小林佑太郎, 香積正基, 楊志翔, 小林春夫: "ADC/DAC のフィボナッチ数列を用いた冗長性設計の検討", 電気学会 電子回路研究会, ECT-13-087, 奈良 (2013 年 10 月).
- (5) 小林佑太郎, 小林春夫: "黄金分割法を用いた SAR ADC 冗長設計", 第 4 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETT-14-28, ETG-14-28 (2014 年 3 月).
- (6) 楊志翔, 小林佑太郎, シヤイフルニザムビンモイヤ, 小林春夫: "フィボナッチ数列を用いた DA 変換回路アーキテクチャ", 第 4 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETT-14-82, ETG-14-82 (2014 年 3 月).