

高周波回路部における経年劣化の影響と特性劣化予報

神山 透* ビスワス・スミット・クマール 高井 伸和 小林 春夫
(群馬大学 大学院 工学研究科 電気電子工学専攻)

Forecast of Aging Impact on High-Frequency Circuit due to Performance Degradation

Toru Kamiyama*, Biswas Sumit Kumar, Nobukazu Takai, Haruo Kobayashi,
(Department of Electronic Engineering, Faculty of Engineering, Gunma University)

キーワード：負バイアス温度不安定性, 電流-時間変換回路, CMOS アナログ回路, ヒステリシス特性
(Negative Bias Temperature Instability, Current to Time Converter circuit, CMOS analog circuit, Hysteresis Characteristic)

1. はじめに

半導体技術の革新が進み、MOSFET の微細化が年々続いている。しかし、プロセスの革新に伴い、今までは考慮されていなかった新たな問題も発生している。その中でも特に、経年劣化の信頼性の問題が深刻化している。これらの問題を解決するための研究は、微細化の需要とともにこれからさらに注目されていくと考えられている[1]。

微細化に伴う新たな問題への市場の要求として、事故や安全に重大な関わりのあるセーフティクリティカルな要求が近年増加の傾向にある。特に、ハイブリッド車や電気自動車に使用される自動車用センサー回路はセーフティクリティカルな要求が高く高温等の過酷な環境下で動作する。そのため、車載のセンサー部に使用されるような高周波回路ブロックでの経年劣化の影響は高く、また需要も高い[2]。従来は十分な設計マージンを持って製品を設計することでこれらの問題に対処してきたが、微細化とともに電源電圧が低下しているため十分な設計マージンの確保が非常に難しくなっている。

本研究の目的は、セーフティクリティカルな要求を達成するために経年劣化により回路に致命的な欠陥が生じる前に事前に劣化を検出、さらには予報することである。本研究は、微細化によるトランジスタの経年劣化とそれに伴う回路特性の変化とその解決策について議論している。今回は高周波回路ブロックにおける経年劣化の影響を調べる対象回路として低雑音増幅器 (LNA : Low Noise Amplifier) を選択している。LNA は、通信系の受信部の初段に置かれ、所望信号の周波数だけを増幅して後段に渡す役目をもつ。このため、LNA の不具合は全体に影響を及ぼすため非常に重要である。一般的な製品で使われる LNA として、ノイ

ズキャンセリング型 LNA の経年劣化の影響を解析している。提案手法は、経年劣化によるドレイン電流の劣化を時間領域へと高い精度で変換する。これにより、経年劣化を時間の変化として検出する。また、提案回路は設計マージンを考慮した調整が可能であり、広い範囲のアプリケーションへの応用が可能である。本稿において、評価されているシミュレーション結果は、TSMC130nm の CMOS プロセスにより設計されている。

2. NBTI のメカニズムとトランジスタの特性劣化

〈2.1〉 NBTI の発生メカニズム

負バイアス温度不安定性 (NBTI : Negative Bias Temperature Instability) は負ゲート電圧を印加し温度を上げた状態で、Si-SiO₂ 界面近傍に正電荷と界面準位が生成する現象のことで、PMOS のしきい電圧 V_t の負方向への変動を引き起こす[3]。NBTI は、近年の微細化に伴う新たな信頼性課題の中で最も重要な故障モードの一つである。その主な理由として、非常に短時間の電圧印加で劣化が発生することや、 V_t の低下と電源電圧の低下により V_t の変動の許容マージンが低下していることが挙げられる。また、high-k メタルゲート等の新しい材料の使用や、近年の微細デバイスではゲート酸化膜に印加される電界強度が 5~6MV/cm と高電界強度での使用であり劣化が加速されることも大きな要因である[4]。

NBTI に関する研究が進むなかで、特有の現象があることも分かっている[5]。1つ目の現象は、デバイスが 100°C 以上あるいは酸化領域を超える電界が 0.6V/m よりも大きい場合、NBTI による劣化現象はさらに起こりやすくなることである。2つ目の現象は、リカバリー効果である。このリカバリー効果は、NBTI のストレスサイクルが終了してゲ

ートからストレスが取り除かれると、劣化したしきい値が徐々に回復する現象である。負バイアスと正バイアスを交互に繰り返すことでリカバリー効果を効果的に生じさせ、NBTI 劣化におけるデバイスの寿命が向上させることができると考えられる。

〈2・2〉 トランジスタの特性劣化

NBTIの劣化モデルは現在でも数多く研究されている。中でも特に広く支持されている劣化モデルが R-D モデル（拡散-反応モデル）である。R-D モデルによる PMOS のしきい値変動 ΔV_t の劣化モデルは次の式で表される[3]。

$$\Delta V_t = A \cdot V_g^\gamma \cdot e^{-\frac{E_a}{kT}} \cdot t^n \dots \dots \dots (1)$$

式(1)で、 A はテクノロジー依存係数、 γ は電圧加速係数、 k はボルツマン定数、 T は絶対温度[K]、 t は時間、 n はべき乗係数である。ワースト条件、つまり一番厳しい条件下での程度マージンがあるかを評価するために、式(1)に温度や電圧等のワースト条件を代入して整理すると、以下のよう表せる[3]。

$$\Delta V_t = A \cdot t^n \dots \dots \dots (2)$$

さらに、しきい値変動の時間依存性をべき乗で近似すると次式で表せる。 A はテクノロジー係数のため、トランジスタの各モデルパラメータにより異なるため次式のように近似する。

$$\Delta V_t \propto t^n \dots \dots \dots (3)$$

式(3)より、PMOSのしきい値変動の時間依存性の傾きは、べき乗係数 n に依存していることが分かる。つまり NBTI における PMOS のしきい値の変動はストレス時間に依存している。このべき乗係数は近年の研究から、およそ 1/6 程度であるということが明らかになっている[3]。図1は 時間に対するしきい値の変化の近似を表している。これより、ストレス電圧を印加してからの早い時間での劣化は大きく、ストレス時間が長くなるにつれて飽和現象が生じていることが確認できる。

式(3)より、NBTIにより PMOS のしきい値が時間の経過とともに劣化すると、それに伴い、ドレイン電流が劣化する。劣化したドレイン電流の式は次式のように表される。

$$\begin{aligned} I_D &\approx \frac{\beta}{2} (V_{GS} - (V_T + \Delta V_T))^2 \\ &= \frac{\beta}{2} (V_{GS} - (V_T + t^{\frac{1}{6}}))^2 \dots \dots \dots (4) \end{aligned}$$

ドレイン電流が式(4)のように劣化すると、PMOS の相互コンダクタンスも劣化する。この相互コンダクタンスに NBTI 劣化が生じると次式のように変化する。

$$\begin{aligned} g_m &\approx \beta \{V_{GS} - (V_T + \Delta V_T)\} \\ &= \beta (V_{GS} - V_T) - \beta \cdot t^{\frac{1}{6}} \dots \dots \dots (5) \end{aligned}$$

このように NBTI により PMOS の特性変動が生じることで、PMOS 単体だけではなく、回路全体の各特性変動をも引き起こす。

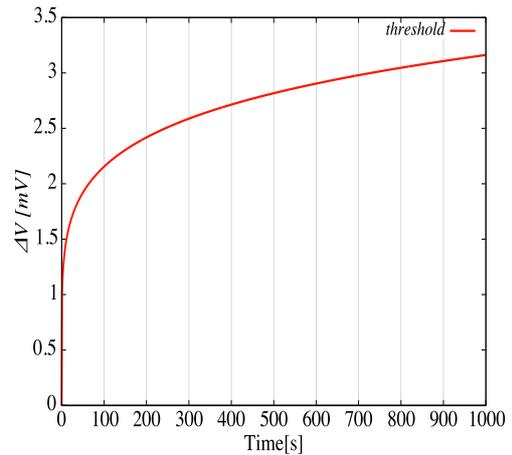


図1 PMOS の NBTI 劣化の時間推移
Fig.1. Time course of NBTI degradation of a PMOS.

3. 高周波回路部における経年劣化の影響

本研究では、一般的な製品で使われる LNA として、ノイズキャンセリング型 LNA の経年劣化の影響を解析している。図2は、ノイズキャンセリング型 LNA の回路図を示している[6] [7]。ノイズキャンセリング型 LNA について説明する。この回路方式は、入出力間にある帰還抵抗で入力整合を実現する。帰還抵抗を電圧利得で割った値が入力インピーダンスとなるため、帰還抵抗の値を大きくでき、雑音指数を改善できる回路方式である。ここで V_{dd} は電源電圧、 R は帰還抵抗、 M_1 、 R_x はカレントミラー、 M_6 、 M_7 、 M_8 は DC バイアス電圧を供給している。ノイズキャンセリング型 LNA の整合条件は

$$g_{m1} = g_{m3} = \frac{1}{R_S} \dots \dots \dots (6)$$

と表せ、整合がとれている場合に M_1 から発生する熱雑音をキャンセルできる。式(4)、式(5)より、NBTI 劣化が生じると式(6)で表されている整合がとれなくなり M_1 から発生する雑音をキャンセルが出来なくなる。それにより、 M_1 から発生する熱雑音が見える。

以上の特性の劣化を確認するために、図2の回路における経年劣化のシミュレーションを行う。シミュレーション条件は表1に記されている。図3と図4には0年目と10年目の利得と雑音指数のシミュレーション結果を示す。そして、0年目から20年目までの劣化の時間推移を利得・雑音指数共にグラフ化したものを図5と図6に記す。この結果より、利得・雑音共に劣化していくことが確認できる。このように特性が劣化し続けると、回路に致命的な欠陥が生じる。そのため致命的な欠陥が生じる前に劣化を検出・予報する回路を提案する。

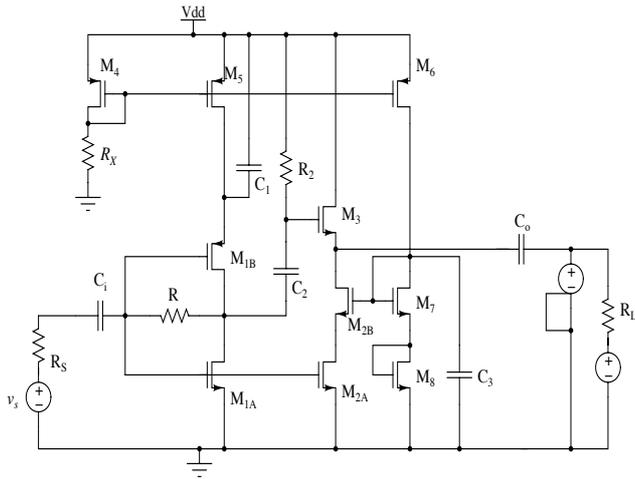


図2 ノイズキャンセリング型 LNA
Fig.2. Noise canceling LNA circuit.

表1 シミュレーション条件
Table.1. Simulation conditions.

SPICE モデルパラメータ	130nmCMOS
電源電圧 [V]	1.2
Aging Mode	NBTI
Aging Time [year]	0-20
Temperature [°C]	27

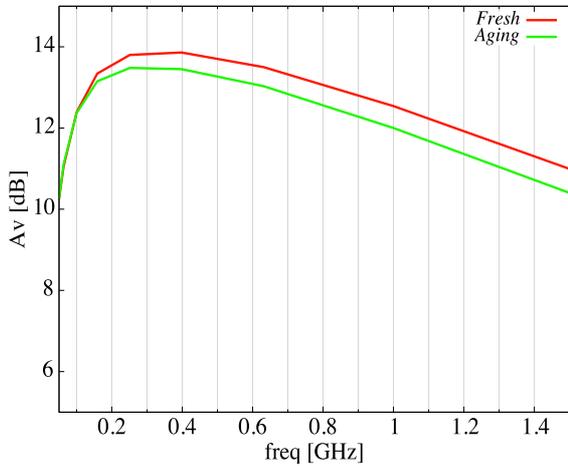


図3 ノイズキャンセリング型 LNA の利得劣化の時間推移
Fig.3. Degradation of the gain of the noise canceling LNA.

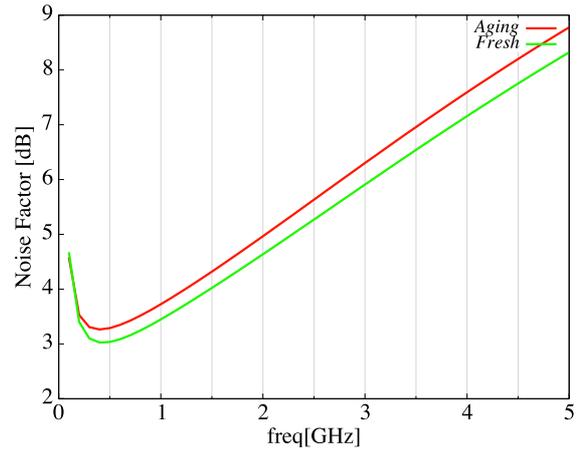


図4 ノイズキャンセリング型 LNA の利得劣化の時間推移
Fig.4. Degradation of the gain of the noise canceling LNA.

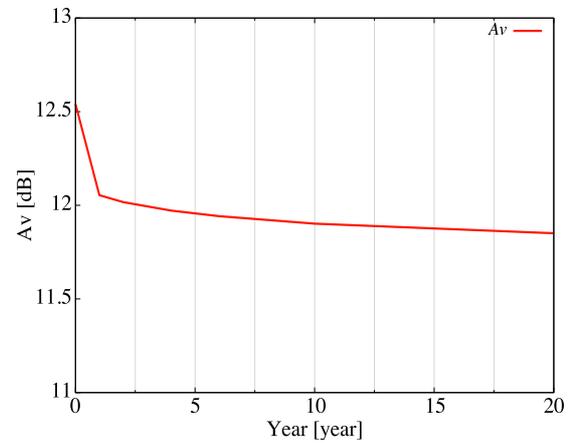


図5 ノイズキャンセリング型 LNA の利得劣化の時間推移
Fig.5. Time course of degradation of the gain of the noise canceling LNA.

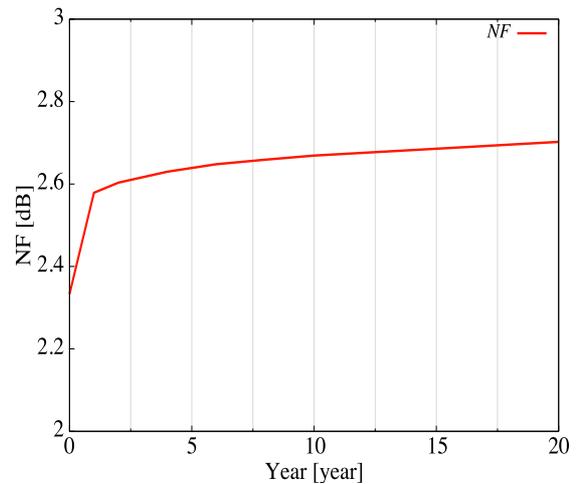


図6 ノイズキャンセリング型 LNA の雑音指数劣化の時間推移
Fig.6. Time course of degradation of the noise figure of the noise canceling LNA.

4. 経年劣化予報回路の提案

図7は、提案する経年劣化予報回路である。経年劣化の影響を検出するにあたり、より精度を高く保つため提案回路は V_p に対してヒステリシス特性を有している[8]。提案回路は NBTI 劣化により変化するドレイン電流を時間の変化に変換できる電流-時間変換回路部と、電流-時間変換回路の制御信号 V_{clk} を利用して所望のタイミング信号を発生させるタイミング制御部に分かれている。電流-時間変換回路の部の動作について説明する。電流-時間変換回路部は $M_1 \sim M_7$ とキャパシタ C 、ヒステリシスインバータ $inv_1 \sim inv_3$ で構成される。

- まず V_{clk} が Low の場合、 M_3 と M_4 は両方とも OFF の状態である。このとき、 V_p は V_{DD} に達していて、 T_{out} は Low を出力している。
- 次に、短い単一パルス V_{clk} が、 M_4 のゲートに瞬間的に印加されると、 M_4 だけでなく M_3 も ON になり、 V_p は Low になる。その結果、 I_d が C に流れ込み、 C は I_d に比例した電荷を蓄える。電流 I_d で C を充電し始めると、 T_{out} は High になる。 C は連続して充電され、 V_p は増加する。 C に充電している期間は、 T_{out} は High である。
- V_p が inv_1 のスレッシュホールド電圧 (V_{inv1}) に達すると、 M_3 と M_5 はそれぞれ、OFF と ON になる。そして、 T_{out} が Low に切り替わり、 C の電荷が M_5 を通して放電され、放電を終えると回路が動作を終了する。

このとき、 T_{out} は次式で与えられる。

$$T_{out} = \frac{CV_{inv1}}{I_d} \dots \dots \dots (7)$$

次に、経年劣化の検出・予報動作について説明する。図8には提案回路のタイミングチャートを記す。タイミングチャートは上から劣化前後の電流-時間変換回路の出力 T_{out_Fresh} と T_{out_Aging} 、予報するタイミング信号 CLK、エラー予報 Error_Fresh と Error_Aging を表している。劣化を検出する対象の回路が経年劣化によりドレイン電流が減少するとキャパシタ C に流れ込む電流量が低下する。それに伴い、 V_p の電位が inv_1 のしきい電圧に達するまでの時間が増加する。結果として T_{out} は劣化前 T_{out_Fresh} のときに比べて劣化後 T_{out_Aging} のように増加する。予報するタイミング信号 CLK は T_{out} の監視を行っている。CLK がフリップフロップに入力されると、劣化前では T_{out_Fresh} はマージンのタイミング以内であり Error_Fresh のようにエラーを出力しないが、 T_{out} が劣化していくことで次第に設定したマージンのタイミングに近づいていき、最終的に T_{out_Aging} のようにこのマージンのタイミング値を超える。マージンのタイミング値を超えるとフリップフロップの出力として Error_Aging のようにエラー信号を出力する。このようにフリップフロップのタイミングエラーを利用することで、経年劣化の予報を行う。提案回路には、低消費電力かつ占有チップ面積が小規模で、瞬間的な動作とリカバリー効果を利用した最小限の経年劣化であるとい

た利点がある。

次に、提案回路のタイミング制御部について説明する。タイミング制御部は OR 回路、NAND 回路、インバータ回路、カウンター回路、ロジック回路から構成される。タイミング制御には電流-時間変換回路の制御信号 V_{clk} を利用する。 V_{clk} は劣化を任意のタイミングで監視する信号である。図9には提案回路のタイミング制御部のタイミングチャートを記す。図9は上から電流-時間変換回路の制御信号 V_{clk} 、 V_{clk} を繰り返した信号 V_{loop} 、 V_{loop} をカウントして所望のタイミングで出力するタイミング信号 CLK を表している。 V_{clk} に与える適切な遅延は設計マージンを考慮したものであり、各回路・各部に応じた適切な遅延を与える必要がある。予報のタイミングは、提案回路の制御信号 V_{clk} を V_{loop} として繰り返させる。 V_{loop} はカウンターによりカウントし、ロジック部から所定の回数になったらフリップフロップの制御信号 CLK として出力される。また、ロジック部から出力される信号 CLK は V_{loop} を終了させる信号としても利用される。これにより、フリップフロップの数やロジックでタイミングを自由に制御可能である。正確に劣化を検出・予報でき、広い範囲へ適用できる。

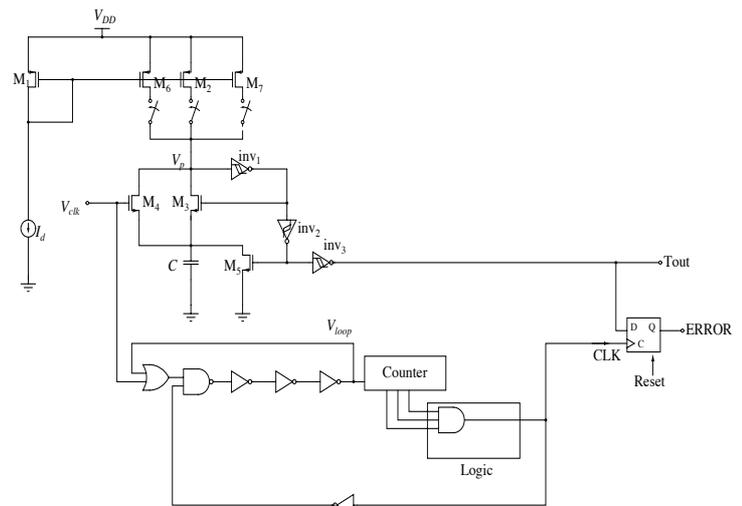


図7 提案する経年劣化予報回路
Fig.7. Aging forecast circuit.

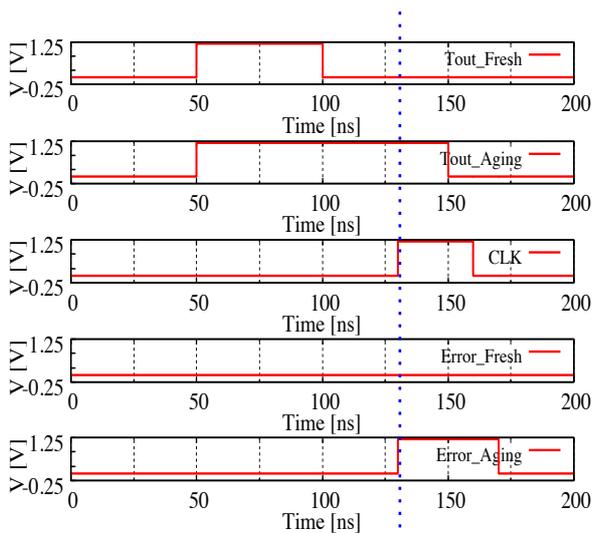


図8 提案回路のタイミングチャート
Fig.8. Timing chart of the proposed circuit.

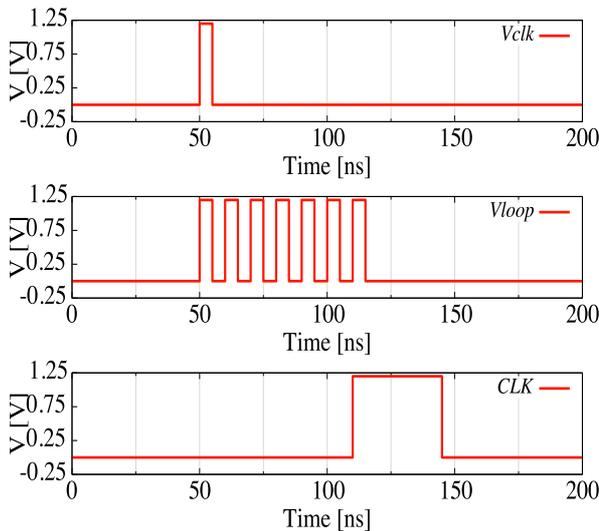


図9 提案回路のタイミングチャート
Fig.9. Timing chart of the proposed circuit.

5. シミュレーションによる動作確認

図2のノイズキャンセリング型LNAに対して提案回路を適用してシミュレーションを行い動作の確認を行った。シミュレーション条件は表1と同様である。LNAの劣化を監視する際、温度や回路全体、入力整合部のように各部の劣化を同時に監視することで信頼性をより高められる。各部の劣化を検出した結果である T_{out} は予報に使用されるが、 T_{out} をカウンター回路などでデジタル化した後に、その結果を基に自己修復を行うことでメインの回路の寿命を伸ばすことも可能である。本稿では、 M_4 の劣化を検出している。図2中の M_4 はLNA全体のバイアス電流を供給しているため、劣化が生じると回路の特性にも大きく影響する。

図10,11は Aging Time を0年から20年まで劣化させて

いったときの利得と雑音指数の劣化に対して提案回路の劣化の検出結果 T_{out} の変化を表したものである。図より、利得と雑音指数共にそれぞれの劣化に対して T_{out} がほぼ線形に変化している。この結果より、提案回路が対象の回路の経年劣化の影響を検出・予報できている。

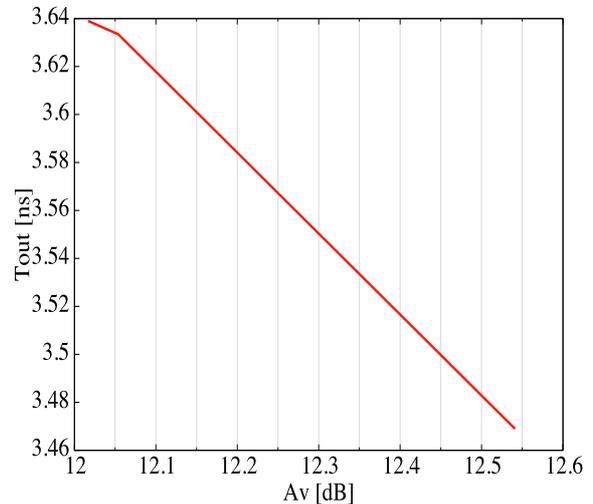


図10 提案回路の劣化検出結果（利得）
Fig.10. Degradation detection result of the proposed circuit (gain).

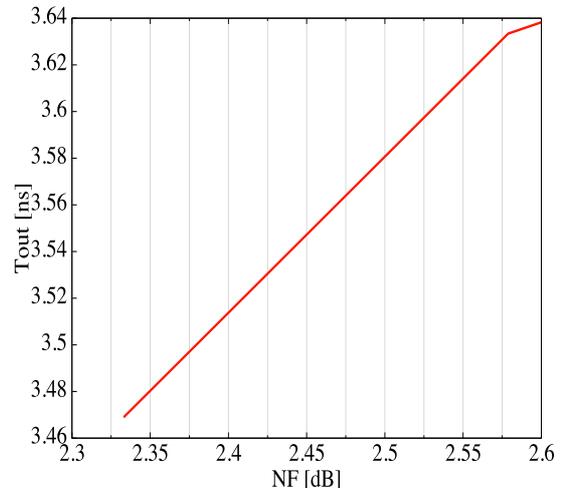


図11 提案回路の劣化検出結果（雑音指数）
Fig.11. Degradation detection result of the proposed circuit (noise figure).

6. 結論

本論文において、先端MOSプロセスの信頼性問題におけるトランジスタの経年劣化、および回路特性の変化とその解決策について議論している。今回は高周波回路ブロックにおける経年劣化の影響を調べる対象回路として低雑音増幅器 (LNA : Low Noise Amplifier) を選択している。提案手法はドレイン電流の劣化として現れる NBTI 劣化を、電流-時間変換回路を用いて時間領域の変化に変換している。提案回路は経年劣化を検出するためにヒステリシス特性を

有しているため高い精度の回路動作を保ちつつ、設計マージンを考慮したタイミング調整が可能であり、広い範囲のアプリケーションへの応用が可能である。結果については、経年劣化の検出・予報を 130nmCMOS プロセスにおいてシミュレーションにより確認している。結果より、提案回路は経年劣化により回路に致命的な欠陥が生じる前に事前にそれを検出、さらには予報することができる。

文 献

- [1] Masayuki WATANABE, Makoto HOSHI, Hiroshi MIYAZAKI, Nobuto ONO, Koutaro HACHIYA, Atsushi KUROKAWA, Hirosaki University" フリップフロップの NBTI 信頼性性能解析"回路とシステムワークショップ論文集 Workshop on Circuits and Systems 25, 325-330, 2012-07-30
- [2] Hans G. Kerkhoff, Jinbo Wan and Yong Zhao, "Hierarchical Modelling of Automotive Sensor Front-Ends For Structural Diagnosis of Aging Faults," Mixed-Signals, Sensors and Systems TestWorkshop (IMSSTW), 2012 18th International, pp.91-96, (May 2012)
- [3] 塩野 登・横山 慎二・福田 保裕・三井 泰裕," LSI の信頼性"
- [4] 半導体技術委員会/半導体実装・製品技術専門委員会 "LSI の故障メカニズム及び試験方法に関する調査報告",電子情報技術産業協会技術レポート
- [5] Gielen, G.G.E. ; Katholieke Univ. Leuven, Leuven, Belgium ; Maricau, E. ; De Wit, P."Designing Reliable Analog Circuits in an Unreliable World" Custom Integrated Circuits Conference (CICC), 2012 IEEE pp.1-4
- [6] 浅田邦博・松澤昭 , " アナログ RF CMOS 集積回路設 [基礎編]" , 培風館
- [7] 浅田邦博・松澤昭 , " アナログ RF CMOS 集積回路設 [応用編]" , 培風館
- [8] Toru Kamiyama, Nobukazu Takai, Haruo Kobayashi and Biswas Sumit Kumar " Current-to-Time Converter Circuit for High Precision System Containing HysteresisCharacteristics" , 2013 International Conference on Analog VLSI Circuits, Montreal, Canada, (October 16-18, 2013)

謝辞

この研究は半導体理工学研究センター(STARC) に支援されています。