

DSP を用いたスイッチング電源回路の軽負荷場合における効率改善手法

Efficiency Improvement of Switching Power Circuit at Light Load with DSP Control

ジン光磊, 高川, 李慕容 (群馬大学) 落合政司, 麻生真司 (サンケン電気)

小堀康功, 小林春夫, 高井伸和 (群馬大学)

Guanlei Jin, Chuan Gao, Muron Li (Gunma University), Masashi Ochiai, Aso Shinji (Sanken Electric Co., Ltd.)

Yasunori Kobori, Haruo Kobayashi, Nobukazu Takai (Gunma University)

キーワード : DSP, C2000, BL PFC, PSFB DC/DC, デジタル制御, 電源回路, 効率, 軽負荷,

Key words: DSP, C2000, BL PFC, PSFB DC/DC, Power Circuit, Power Efficiency, Light Load, Digital Control.

1. はじめに

近年環境へ関心の高まり、省エネルギー技術が求められている。これまで IT 分野における省エネルギーに係る取り組みとして、データセンターや、IT に関連する機器（サーバー、PC、半導体等）の省エネルギーにかかる取り組みが中心であった。

一般のサーバの電源は、故障した時でも別な電源ユニットから電力を供給できるように、複数電源ユニットによる並列運転、N+1 冗長方式で構成される。普通 N+1 冗長方式では電源はフル負荷ではなく、20%~50%の軽負荷領域で動作している場合が多い。従来の電源は軽負荷の変換効率が低いため、新しいサーバ電源開発は大きな課題の一つである。しかし、回路トポロジーの改良だけでは実現することは困難であり^[2]、別なアプローチが必要となる。

本研究は回路のトポロジーを変えずに、DSP を用いたデジタル制御を駆使し最適制御で電源回路ハーフロード或いは20%近くの軽負荷領域での効率の向上（プログラムの開発）方法を検討する。

2. 電源回路の構成と効率劣化の原因

2.1. 効率劣化の原因①リンク電圧

サーバ電源は通常 AC/DC PFC と DC/DC 二つ部分から構成される（図 1）。PFC (Power Factor Correction)回路は「力率改善回路」のことで、交流電圧を効率よく（力率）整流する回路であり、DC/DC 回路は PFC 回路により整流平滑され

た電源電圧を絶縁して、安定した直流電圧に変換する機能がある。この構成で効率劣化の主な二つの原因を考察する^[1]。

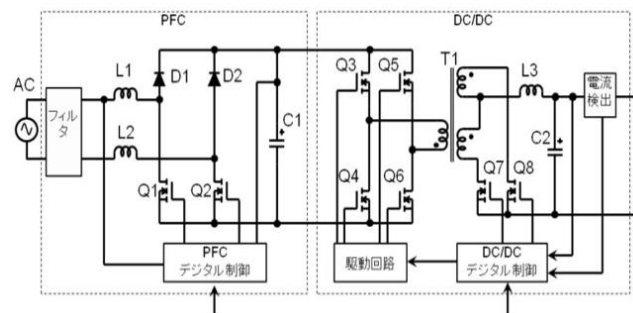


図 1 サーバ電源回路 (BLPFC AC/DC+PSFB DC/DC)

Fig.1 Power circuit (BLPFC AC/DC+PSFB DC/DC).

一つ目の原因はリンク電圧（PFC の出力或いは DC/DC の入力のこと）が入力電圧より高い。AC/DC PFC 回路の昇圧型が使われる場合が多いため、リンク電圧は入力電圧の最大値より大きくしなければならない。商用交流電源の電圧は国により違い、電源回路の最大入力電圧範囲は AC 90-265V となる。従来の電源回路はアナログ制御方式によりリンク電圧の変化はできず、最大の入力電圧(AC 265V)基準として、そのピーク値($265\sqrt{2}=375V$)以上の電圧(390V)で制御されている。その結果、通常リンク電圧は常に入力電圧範囲の最大値 (390V)で制御しているので効率の悪化の原因になっている。

昇圧により効率が下げる要因の一つはリアクトル損である。式(1)と式(2)はそれぞれヒステリシス損と渦電流損を表

している。

$$P_h = k_h f B_m^{1.6} = k_h \frac{e_L^{1.6}}{f^{0.6}} \quad (1)$$

$$P_e = k_e \frac{(te_L)^2}{f^{0.6}} \quad (2)$$

ここで e_L はコイルにかかる電圧、つまりリンク電圧と入力電圧である。式に示されるように、コイルにかかる電圧 e_L が大きいほど、ヒステリシス損と渦電流損が大きくなる。

2.2. 効率劣化の原因②スイッチングロス

二つ目の原因はスイッチング周波数に関する損失である。電源回路において、重負荷の損失は負荷側の損失によって支配される。その逆に、軽負荷の損失はスイッチングロスに支配される^[3]。

$$P_{CAP(ESR)} = I_{CAP(RMS)}^2 \times ESR \approx I_{CAP(RMS)}^2 \times \frac{DF}{2\pi f C} \quad (3)$$

負荷側の損失である ESR 損は式(3)で概算され、ESR 損と周波数は反比例である。

$$P_{SW(MOSFET)} = 0.5 \times V_D \times I_D \times (t_{SW(ON)} + t_{SW(OFF)}) \times f_s$$

式(4)に示されるように、スイッチングロスとスイッチング周波数は比例されている。そのため、電源回路が重負荷から軽負荷になる場合、固定周波数 PWM 制御での MOSFET のスイッチロスにより、効率が大幅に低下する。

以上二つの損失の要因について、BLPFC AC/DC 回路と PSFB DC/DC 回路二つ部分を分けて効率の改善を検討する。

3. BLPFC AC/DC 回路部分(Bridgeless Power Factor Correction AC/DC)

実験は TI 製のブリッジレス PFC 開発ボードを使用した(回路図は図 2 に示される)。Piccolo F28035 (DSP) で PFC AC/DC を制御している。

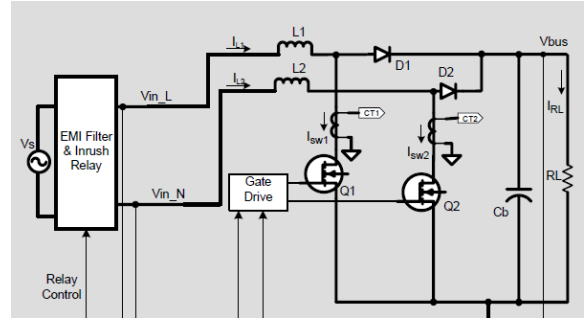


図 2 PFC AC/DC 開発ボード回路図

Fig.2 Circuit of PFC AC/DC Development Board

上記のように、リンク電圧と PWM 周波数が規定されている。

- Input Voltage (AC line):95V (Min) to 250V
- 400Vdc Output
- PWM frequency 200kHz

3.1. リンク電圧の最適可変(@ 50% Load)

DSP が入力電圧の実効値をモニタし、最適の昇圧比を決めれば、リンク電圧を最適値に可変にすることが可能である。

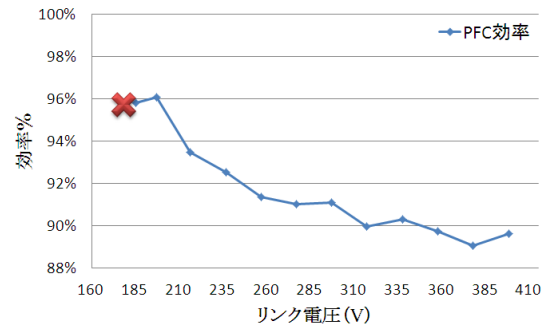


図 3 リンク電圧に対する PFC ボード出力効率@50%ロード

Fig.3 Efficiency of PFC AC/DC Board with different link voltage @50% load

図 3 に示されるように、昇圧比を下がること(リンク電圧を下がる)によりハーフロードでの効率が上がった。従来の固定された 400V のリンク電圧は最適ではない。リンク電圧の最適制御よりの効率の改善効果を検証でき、入力電圧 100V における最適リンク電圧は 200V が求められた。

実験ではリンク電圧が 190V になると PFC 回路の動作不良が発生した。2.1 節は PFC が昇圧回路のため、出力は入力 の最大値 $100\sqrt{2}$ 以上の必要性について述べた。つまり、リンク電圧は必ず 142V より大きい。それに、ボードの従来の

設定出力電圧は 400V であるため、190V 以下になると出力電圧が不安定になり、ノイズも出ていた。以上の原因で、最適昇圧比を 2 に決めた。

3.2. PWM 周波数の最適可変(@5%~20% Load)

2.2 節はスイッチ PWM 周波数と回路内部損失の関係について述べた。軽負荷の場合、電源回路は固定周波数の PWM 制御での MOSFET のスイッチングロスにより効率が大幅に劣化する。ここではデジタル制御で PWM スwitching 周波数を可変にし、PFC 回路効率の改善効果を検討する。は実験結果を以下に示した。

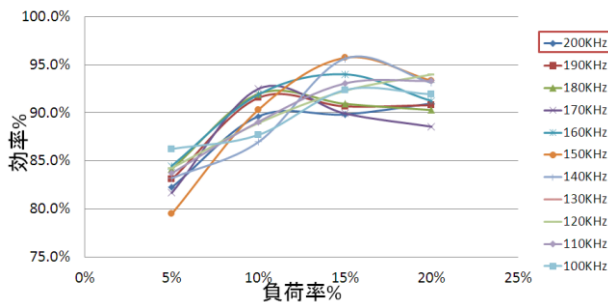


図 4 軽負荷における PWM 周波数と PFC AC/DC ボード効率@400V

Fig.4 Efficiency of PFC AC/DC Board with different PWM frequency in light load@400V

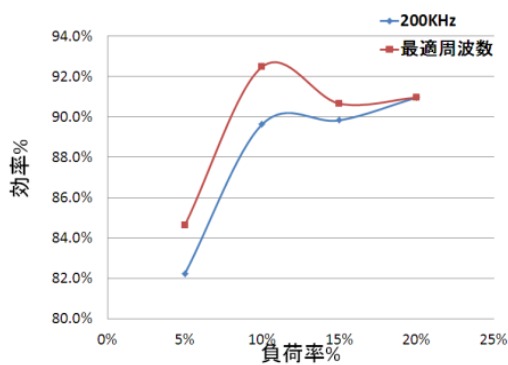


図 5 固定周波数と最適制御周波数における PFC の AC/DC 効率比較

Fig.5 Comparison of PFC AC/DC efficiency between fixed PWM and variable PWM

図 4 と図 5 に示したように、軽負荷の場合では従来固定されたスイッチング周波数 200kHz では高い効率は得られなかつた。

PWM 周波数の最適制御によりの効率の改善効果を検証できた。PWM 周波数範囲は表 1 で示されている。

今回の実験は PWM 周波数を 100kHz~200kHz の間 10kHz ずつ変化させた。PWM 周波数が 100kHz 以下になると電流の波形がくずれ、PFC 回路の力率の機能が失ってしまった。そのため、今回の実験で PWM 周波数が 100kHz 以下の場合には検討しない。

表 1 PFC AC/DC ボード最適 PWM 稼働範囲(@軽負荷)

Tab.1 The suitable PWM range for PFC AC/DC board

Load Rate (%)	PWM 周波数(kHz)
5% ~ 10%	150kHz
10% ~ 15%	170kHz
15% ~ 20%	190kHz
20%~	200kHz

リンク電圧と PWM 周波数の最適制御により、効率の改善効果を確認ができた。図 6 は二つ手法を合わせた制御手法により得られた結果である。図に示す通り、提案手法は従来手法より大幅に効率改できた。

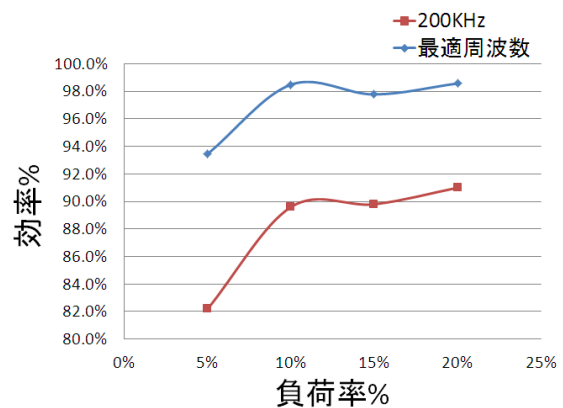


図 6 PFC ボード従来効率と最適制御効率の比較

Fig.6 Comparison of PFC AC/DC efficiency between conventional control and optimal control

4. PSFB DC/DC 回路部分 (Phase Shift Full Bridge DC/DC)

実験は TI 製のブリッジレス PFC 開発ボードを使用した(回

路図は図 7 PSFB DC/DC 開発ボード回路図に示す)。TMS320F28027 (DSP) で PSFB DC/DC を制御している。回路の基本仕様は次のようになっている。

- 400V DC input (370Vdc to 410Vdc operation), 12V DC output
- 100kHz switching frequency

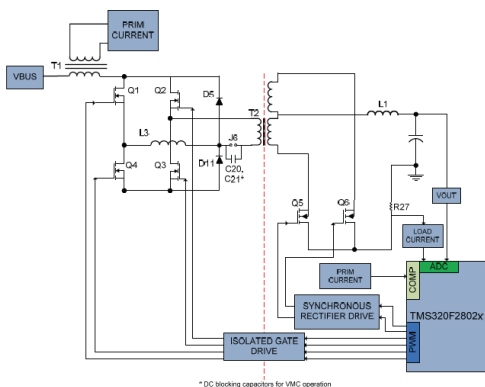


図 7 PSFB DC/DC 開発ボード回路図

Fig.7 Circuit of PSFB DC/DC Development Board

4.1. PWM(スイッチング周波数)の最適可変(@10%~20% Load)

3.2 と同様に BSFB DC/DC 回路は軽負荷の場合、電源回路は固定周波数の PWM 制御での MOSFET スイッチロスにより、効率が大幅に低下する。ここではデジタル制御で PWM スwitching 周波数を可変にし、PSFB DC/DC 回路の効率向上効果を検討する。

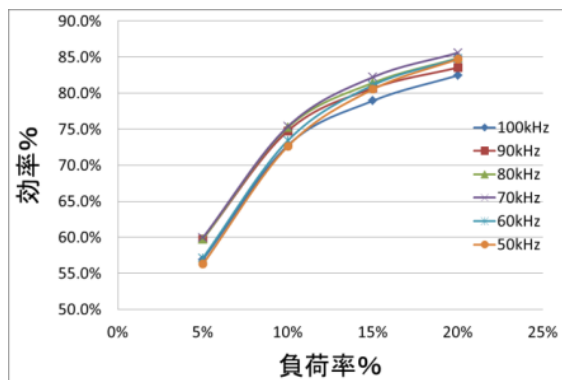


図 8 軽負荷における PWM 周波数と PSFB DC/DC ボード効率

Fig.8 Efficiency of PSFB DC/DC Board with different PWM frequency @ 10%~20% load

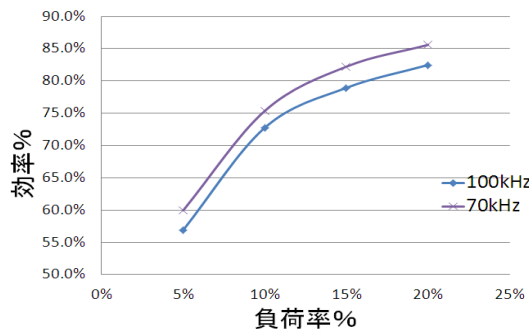


図 9 DC/DC ボードの従来効率と最適制御効率の比較

Fig.9 Comparison of PSFB DC/DC efficiency between conventional control and optimal control

仕様規定されたスイッチング周波数は 100kHz である。軽負荷の場合では、図 9 が示すようにスイッチング周波数 100kHz は最適ではない。この図に基づき、出力電流をモニタし、PWM スwitching 周波数を可変にする。これによって、DC/DC 回路の軽負荷の場合の効率を向上することが可能である。

5. まとめ

DSP や CPU の製造コストが減少するにつれて、今後の電源回路をプロセスコントローラで制御するのが主流になっていく。本研究は TI 社の C2000 シリーズの DSP を用いて、電源回路の軽負荷場合の効率を向上させる方法を検討し、有効性を実験で検証した。

参考文献

- [1] H. Naotaka, T. Shimada, "Loss Calculation of Power Inductor in DCDC Converter Circuit," TOKO Inc.技術時報 2009, No 21.
- [2] Shu Fan Lim, Ashwin M Khambadkone, "A Multimode Digital Control Scheme for Boost PFC with Higher Efficiency and Power Factor at Light Load", Applied Power Electronics Conference and Exposition, pp.291 – 298, (Feb.. 2012).
- [3] Mohammad K. Alghamdi, Anas A. Hamoui, "A Spurious-Free Switching Buck Converter Achieving Enhanced Light-Load Efficiency by Using a $\Delta\Sigma$ -Modulator Controller With a Scalable Sampling Frequency", IEEE Journal of Solid-State Circuits, pp. 841 – 851 (April 2012).