

BSIM4 による 90nm n-channel MOSFET の Hot Electron の劣化特性モデル化に関する研究

戸塚 拓也* 安部 文隆 Khatami Ramin 新井 薫子 轟 俊一郎
香積 正基 王 太峰 青木 均 小林 春夫 (群馬大学)

BSIM4 Modeling of 90nm n-MOSFET Characteristics Degradation Due to Hot Electron

Takuya Totsuka*, Fumitaka Abe, Khatami Ramin, Yukiko Arai, Shunichiro Todoroki
Masaki Kazumi, Wang Taifeng, Hitoshi Aoki, Haruo Kobayashi, (Gunma University)

1. まえがき

本研究の最終目的はSTARC ISプログラム [1] より支援されている「nチャネルMOSFETの1/fノイズ・熱雑音信頼性解析とシミュレーションモデル開発」である。1/fノイズはMOSFET, バイポーラトランジスタ, ダイオードなどの能動素子で発生するノイズであり, 特に低周波数帯で支配的となるノイズである。1/fノイズは, 比較的古くから界面順位密度に起因すると言われており, Interfacial Trapが影響するのは, MOSFETにおいて弱, 中反転領域から飽和領域であるため, 高電流での電流パラメータには影響しない

1/fノイズの経時・温度劣化をモデル化するには, まずデバイスのバイアス劣化についてモデル化することが不可欠である。これは, 1/fノイズモデル式にドレイン電流の項があることから明らかである [2].

nチャネルMOSFETの経時, 温度劣化には, 飽和領域の高ドレイン電流において起こる, Hot Carrier Injection (HCI)や正の電圧ストレスを長時間かけることで発生する Positive Bias Temperature Instability (PBTI)現象がある。筆者らは, より支配的であるとされるHCI現象に焦点を当て特性解析化を行う。

本研究ではこのHCI現象を回路シミュレータSPICEで回路設計者がシミュレートし, 劣化前, 劣化後の直流電圧・電流特性を事前に予想できるよう, nチャネルMOSFETのデバイスモデルに組み込むことを目的としている。本研究で使用するMOSFETモデルはBSIM4モデル [3] を採用した。

HCI現象のモデル [4] は, カリフォルニア大学バークレイ校 (UCB) のHu教授によって最初に導入された。後に発表されたHCIモデル [5] は, Hu教授と同じ理論に基づいているが, 異なる分析方法を考察し, より高度なCMOS技術にモデルを適応することを意図している。本HCIモデルはInterface Trap Number を算出しており, キャリアの移動度についても導出を行っている。そこで今回は本モデル式を利用する。また, HCI現象をSPICE上でシミュレートするため, DC劣化現象をBSIM4モデルに取り込む。我々が使用しているSPICEモデルのBSIM4パラメータを用いて計算を行えるようにし, 劣化前, 劣化後のDCパラメータを取り込みシミュレーションして, 劣化DC特性を予測するところまでを示す。

2. HCIによる劣化式の検討

文献[5]のDCモデルの式は, 0.25 μ mプロセスのCMOS

を考えている．今回使用するものはRDモデルと呼ばれ，2004年にKuflluoglu と Alamによって発見された [6]．本RDモデルはトランジスタのドレイン近傍で発生するホットキャリア効果を，修復されることなくモデル化する事が出来る．RDモデルはチャネル/酸化膜界面及びゲートの接合部分付近の水素拡散粒子の生成を方程式で表しており，劣化を単純化することができる．RDモデルでは N_{it} すなわち界面トラップ数，チャネル/酸化膜界面での水素反応式は以下のように表す事が出来る．

$$N_{H(0)}N_{it} \approx \frac{k_F}{k_R} N_0 \quad (1)$$

$N_{H(0)}$ は界面における水素濃度の初期値， N_{it} は界面トラップ数， k_F は酸化物電界依存フォワード解離速度定数， k_R はアニーリング速度定数， N_0 はSi-H結合の初期値を示している．

$$N_{H_x} = k_H N_H^{n_x} \quad (2)$$

N_H は体積あたりの水素粒子の濃度， k_H は反応定数， n_x は水素粒子あたりの水素原子数を示している．界面トラップの数も破線のSi-H結合の数を積算することにより算出することができ，水素粒子は，ゲート酸化膜にそれらが作成されドレインから拡散する．したがってH原子は界面トラップ数の平均数として計算で以下のように表せる．

$$\begin{aligned} N_{it} &= \frac{\pi W}{2A_{tot}} n_x \int_0^{\sqrt{D_{H_x}t}} \left(N_{H_x(0)} \left[r - \frac{r^2}{\sqrt{D_{H_x}t}} \right] \right) dr \\ &= N_{H_x(0)} \frac{\pi n_x}{12L} D_{H_x}t \quad (3) \end{aligned}$$

D_{H_x} は N_H の密度， A_{tot} ゲート下の総面積， L はMOSFETの長さ， W は幅を示している．

(1) (2) (3)式を組み合わせると以下のようになる．

$$N_{it} = \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (4)$$

容量特性から，界面トラップによる電荷の電圧依存特性は，しきい値電圧近傍のSub-threshold特性カーブのずれとして表され，以下のようになる．

$$\begin{aligned} \Delta V_{th_{DEGRADATION}} &= \\ C_{HCl} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} & \quad (5) \end{aligned}$$

D_H は水素原子の密度， t は時間， C_{HCl} は技術依存なパラメータである．式 (5)のしきい値電圧のずれを，移動度モデルの式に代入できれば，移動度劣化現象もモデル化できる．

BSIM4モデルの移動度モデル式は，以下のように3種類が搭載されており，MOBMODというパラメータで切り替えて使用可能である．

MOBMOD=1

$$\begin{aligned} \mu_{eff} &= \frac{U_0}{1 + (UA + UC * V_{bseff}) \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)} \\ & \frac{*f(L_{eff})}{+UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2} \quad (6) \end{aligned}$$

MOBMOD=2

$$\begin{aligned} \mu_{eff} &= \frac{U_0}{1 + (UA + UC * V_{bseff})} \\ & \frac{*1}{\left[\frac{V_{gsteff} + C_0 (\overline{V_{TH0}} - V_{FB} - \phi_S)}{TOXE} \right]^{EU}} \quad (7) \end{aligned}$$

MOBMOD=3

$$\mu_{eff} = \frac{U0}{1 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2 + (1 + UC * V_{bseff})} * f(L_{eff})$$

$$\left[UA \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right) + UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 \right] \quad (8)$$

式 (8) の $f(L_{eff})$ は以下の式で表す。

$$f(L_{eff}) = 1 - UP * \exp\left(-\frac{L_{eff}}{LP}\right) \quad (9)$$

U0はキャリア移動度, UAは移動度劣化の一次係数, UBは移動度劣化の二次係数, UCは移動度劣化の基板効果係数, UDはクーロン散乱移動度劣化係数, UPは移動度チャンネル長係数, LPは移動度チャンネル長指数, TOXEは電気ゲート酸化膜厚, VTH0はドレイン電圧がゼロにおけるしきい値電圧, V_{th} はしきい値電圧, VFBはフラットバンド電圧, V_{gsteff} は $V_{gs} - V_{th}$ の実効値, L_{eff} は実効チャンネル長, V_{bseff} は実効基板・ソース電圧, ϕ_s は表面電位, C_0 は定数でnMOSのとき2.0, pMOSのとき2.5である。

この3つの移動度モデルの中で、しきい値のパラメータが直接使用されているのは式 (7)のみである。よってMOBMOD=2を選択して、モデルパラメータを抽出・最適化すれば移動度の劣化が直接シミュレートできる。

次にしきい値電圧劣化をモデル式に反映させる。BSIM4モデルのしきい値式に式 (5) の $\Delta V_{th_DEGRADATION}$ を加えることで、直接しきい値が可変できる。

$$V_{th} = VTH0 + \Delta V_{th, body_effect} - \Delta V_{th, charge_sharing} - \Delta V_{th, DIBL} + \Delta V_{th, reverse_short_cannel} + \Delta V_{th, narrow_width} + \Delta V_{th, small_size} - \Delta V_{th, pocket_implant} + \Delta V_{th_DEGRADATION} \quad (10)$$

3. モデルパラメータ抽出とシミュレーション

BSIM4モデルのDCのモデルパラメータを抽出・最適化して、その劣化をSPICEによりシミュレートする本実験では、入手可能な、95 nmプロセスを用いたnチャンネルMOSFETで、チャンネル幅10.0 μm 、チャンネル長10.0 μm デバイスの測定データを使用した。

[6]の文献で記述されている式 (5)に65 nmのデバイスの実験によるパラメータ値を入力して、室温300.15 Kでのしきい値電圧劣化を1,000秒後について求めた。このしきい値電圧をBSIM4のVTH0に加えることで、1,000秒後の劣化後シミュレーションを行った。使用した測定データに比べて、[6]の実験データはより微細なプロセスを用いているため、誤差が発生している可能性がある。図1ではid-vg特性、図2ではid-vd特性を示している。ともに劣化前の測定データとシミュレーションにあまりズレがない。劣化後のシミュレーションは、測定前と比べて大きくズレている。 V_{th} のパラメータのみを変化させているのだが、図1のid-vg特性では傾きも変化していることが見て取れる。これは、主に移動度のモデル式にもVTH0のパラメータが用いられているからであり、移動度の劣化が起きていることを示す。図2のid-vd特性は、飽和領域の到達に必要なVgは変化がなく、電流量の減少が見て取れる。これは、HCIがドレイン端の高電界によってチャンネル内の電子がホットエレクトロンとなり、ゲート酸化膜への注入、基板でのイオン化が起これドレインチャンネルに到達する電子が減少する[2] という理論に一致している。

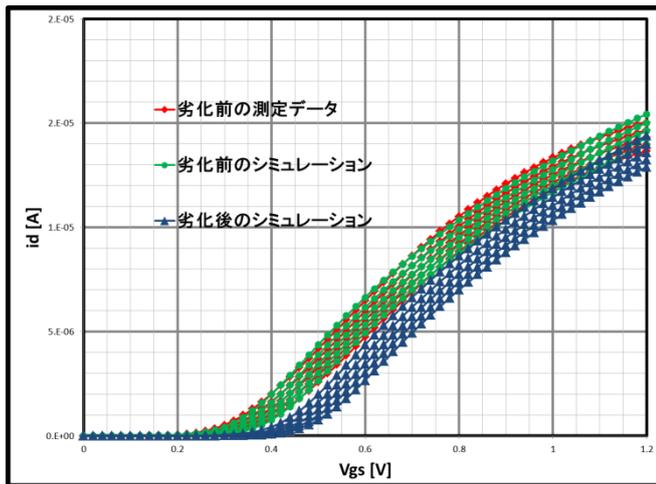


図 1. 劣化前, 劣化後の I_{ds} - V_{gs} 特性 ($V_{ds} = 0.01$ V)

Fig. 1 I_{ds} vs. V_{gs} characterizations of fresh and degraded n-MOSFET ($V_{ds} = 0.01$ V)

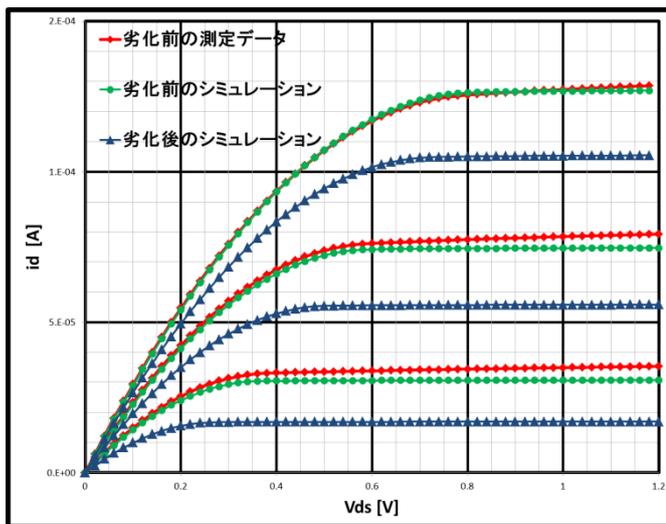


図 2. 劣化前, 劣化後の I_{ds} - V_{ds} 特性 ($V_{bs} = 0.0$ V)

Fig. 2 I_{ds} vs. V_{ds} characterizations of fresh and degraded n-MOSFET ($V_{bs} = 0.0$ V)

4. まとめ

本研究ではnチャネルMOSFETのHCI現象を回路シミュレータSPICEを用い, 劣化前, 劣化後の直流電圧・電流特性を事前に予想するための手法を開発した. nチャネルMOSFETのデバイスモデルにはBSIM4モデルを採用し, モデルパラメータをHCI劣化式で計算することで劣化をシミュレーションした.

本論文で行った, HCI現象による経時劣化のシミュレーションを1/fノイズ特性に適用することは容易である. 加えて今後は, 1/fノイズを劣化させるメカニズムを解析し, 実測も行い1/fノイズの温度・経時劣化モデルを完成させたい.

参考文献

- [1] 轟俊一郎, 安部文隆, ハタミラミン, 新井薫子, 香積正基, 戸塚拓也, 青木均, 小林春夫 「nチャネルMOSFETのゲート電圧による1/fノイズばらつきモデルの検討」電気学会 電子回路研究会 ECT-14-010 金沢 (2014年1月23日)
- [2] 青木均, 寫末政憲, 川原康雄, *CMOSモデリング技術*, 丸善出版, 2006.
- [3] Information on <http://www-device.eecs.berkeley.edu/bsim/>
- [4] C. Hu, et al, "Hot-electron induced MOSFET degradation model, monitor, and improvement, *Trans. Electron Devices*, 32(2), 375-385, 1985.
- [5] E. Maricau and G. Gielen, *Analog IC Reliability in Nanometer CMOS*, Springer Science+Business Media New York, 2013.
- [6] H. Kuflluoglu and M. A. Alam, "A unified modeling of NBTI and hot carrier injection for MOSFET reliability." 10th International Workshop on Computational Electronics, pp. 28-29, Oct. 2004.