

# 時間ディジタル回路の自己校正技術の研究

王俊善 (群馬大学)\*, 加藤健太郎, (鶴岡工業高等専門学校), 李从兵, 李恩思

小林佑太郎, 中條剛志, 平林大樹, 小林春夫, (群馬大学)

Wang Junshan(Gunma university)\*, Kato Kentaro(Tsuruoka National College of Technology), Li Congbing, Li Ensi  
Kobayashi Yutaro, Chujo Takeshi, Hirabayashi Daiki, Kobayashi Haruo(Gunma university)

キーワード：時間-ディジタル変換器, 時間測定, 自己校正,FPGA

(Keywords, Time-to-Digital Converter, Time Measurement, Self-Calibration, FPGA)

## 1. はじめに

時間ディジタル回路 Time-to-Digital-Converter: (TDC) は時間間隔を測定する回路である、その回路構成は周波数のクロックをカウントする方式など様々な方法が提案されてきている。また近年の CMOS プロセス技術の微細化により、高速ディジタル回路を利用することによって、TDC の性能は数ピコ秒の時間分解能のものを実現されている。図 1 に、報告されている TDC の時間分解能を示す。

LSI 製造プロセスの微細化に伴い、動作速度の高速化が進んでいる。しかし、アナログ回路設計では微細化による耐圧低下やドレイン抵抗低下により利得低下、ばらつき増大、SN 比劣化といった問題が発生する<sup>(1)</sup>。この問題を克服できる技術としてアナログ信号を電圧軸でなく時間軸で処理する時間分解能型アナログ回路が重要になっている<sup>(2)</sup>。

本研究では、時間分解能型アナログ回路の時間ディジタル回路 (TDC) を FPGA に実装を行う。

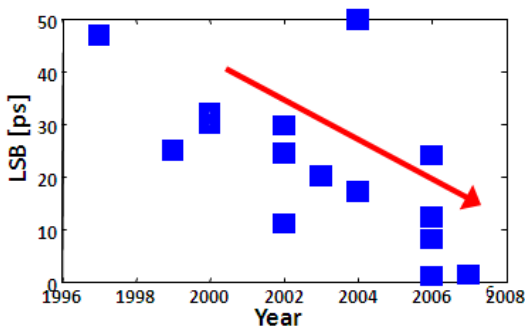


図 1. TDC の時間分解能

## 2. 基本 TDC の構成と動作

基本 TDC の構成を図 2 に示す。TDC は CLK のパスに遅延バッファを挿入し、バッファ遅延によるディレイラインを構成する。バッファ遅延  $\tau$  の整数倍だけ遅延させ、被測定信号の立ち上がりでディレイラインの CLK の状態をフリップフロップで取り込む。これにより被測定信号の立ち上がりまでの時間間隔がバッファ遅延何段に相当するか

を測定でき、時間をディジタル値へと変換することができる。この TDC の構成では CLK のパスに使われているバッファの遅延時間  $\tau$  が TDC の最小時間分解能になる<sup>(1)</sup>。

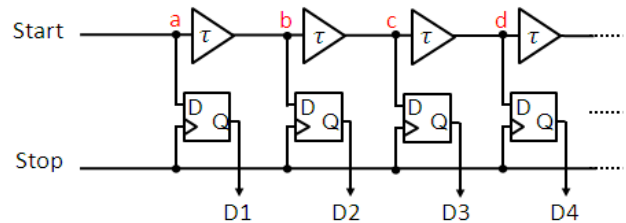


図 2 フラッシュ型 TDC

図 3 に 2-bit TDC のタイミングチャートを示す。  $\tau$  は平均遅延量 ( $t$ )、  $\Delta \tau$  は遅延量誤差 (ばらつき)、  $D$  は出力ディジタル値である。図 3 (a) では遅延素子の遅延量が完全に等しいとする。バッファの遅延を 1 とする、測定前にフリップフロップの各値は 0 初期化される。図 3 (b) はばらつきによって 2 つ目の遅延素子の遅延量が増加した場合である。このとき Start 入力線に立ち上がり遷移が入力されてから  $2\tau$  時刻後に Stop に立ち上がり信号が入力される。その結果  $D1, D2$  に 1 が到達して  $(Q1, Q2, Q3, Q4) = (1, 1, 0, 0)$  となる、つまり入力遅延差に対し出力値が減少し出力値に誤差が生じる (線形性が劣化する)

遅延量が増加した場合を示したが、遅延量の減少する場合も同様に TDC の非線形性を生じる。

その非線形を校正するために、リング発振器による stochastic self-calibration 機能を付加する。FPGA への実装には、高分解能かつ柔軟な遅延調整、位相調整機能を有することが望ましい。そこで本研究では Altera 社の Cyclone III Starter Board を用いて実装する。Cyclone III FPGA は、安価にもかかわらず複数の動作モード、周波数の倍周、分周、ダイナミックコンフィギュレーション、帯域幅指定などクロック周波数に関して極めて多数の機能をもつ PLL (ALTPLL) を有する<sup>(3)</sup>。

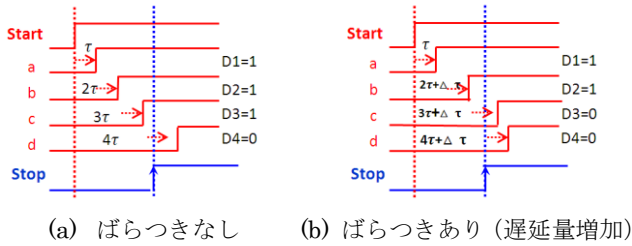


図3 TDC回路のタイミングチャート

### 3. 自己校正型 TDC

図4に自己校正 TDC 回路を示す。ここでは自己校正回路で8段(7段のバッファと1つのインバータ)段からなるリング発振回路と「ヒストグラムエンジン+デジタル誤差補正回路」から構成した。

通常のフラッシュ型 TDC に加えて、上段にリング発振器を構成し、マルチプレクサによって通常測定モードとリング発振器を用いた自己校正モードの切り替えを行なう。また、エンコーダの出力に自己校正のためのヒストグラムエンジンを設けた。

図5に自己校正のフローチャートを示す。本 TDC は2つのモードを有し、自己校正モードによって各遅延素子の遅延量の比(相対ばらつき)を調べ、通常測定モードでの遅延量に応じた出力デジタル値のデジタル誤差補正を行い、線形性を向上させる<sup>(2)</sup>。

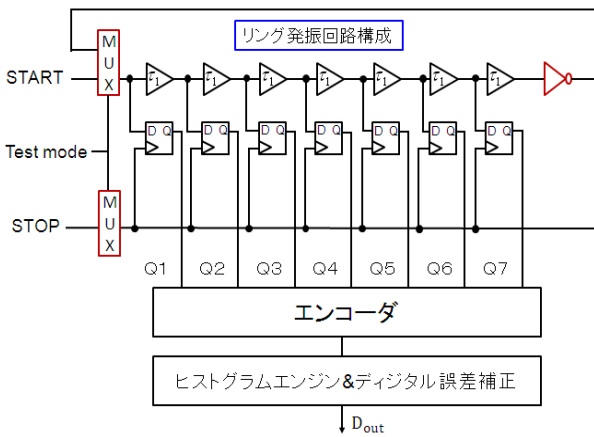


図4 リング発振器付き TDC

(1)通常測定モード: 通常測定モードでは、入力を START と STOP とする(リング発振回路構成にはしない)。

(2)自己校正モード: 自己校正モードでは、上部のリング発振器と STOP (50MHz) が互いに非同期で異なる周波数で同時に発振させる。TDC が完全に線形なら、十分な数サンプリングを行うと TDC デジタル出力コードに対応するピンのヒストグラムはすべて同じにする。

上段のリング発振器の周波数については、下段の周波数と相関がある場合にはヒストグラムに偏りが出るため、上段の周波数とは無相関(非同期)になるように設定する。また、8段、16段、32段、48段のリング発振器の周波数を表1に示す。

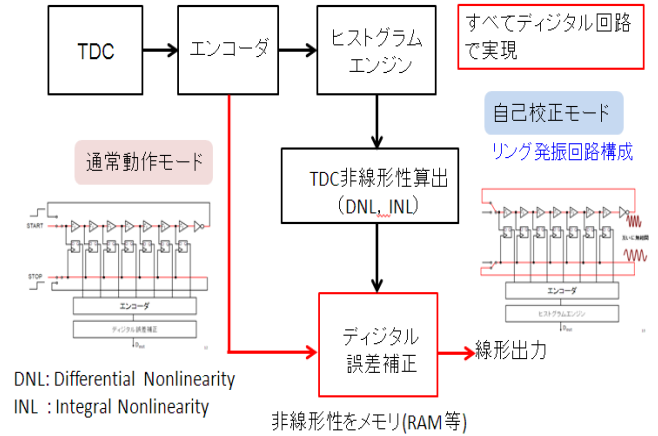


図5 線形性自己校正のフローチャート

表1. 各段のリングの発振器周波数

段数	8 段	16 段	32 段	48 段	64 段
周波数 (MHz)	153	60	25	20	13

理想的に遅延素子の遅延量が完全に等しい場合は全ての遅延素子において立ち上がり信号が存在する頻度が等しく、測定回数が十分に多く取ればヒストグラムは等しくなる。

実際は遅延素子の遅延量に相対的なばらつきが発生する。上段の回路が発振している間、立ち上がり信号は遅延量が大きいため、立ち上がり信号が存在する確率が高くなる。逆に遅延量が小さい、遅延素子は立ち上がり信号が存在する確率が低くなる。測定回数を十分に多く取得した場合、遅延量の大きい遅延素子は多い頻度で測定される<sup>(2)</sup>。

### 4. FPGA への実装

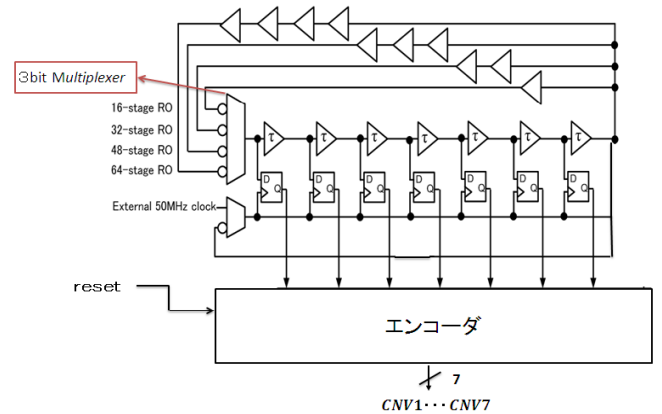
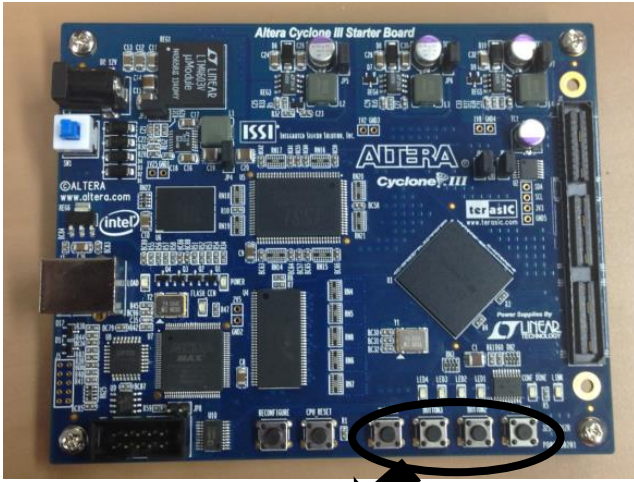


図5、実装する回路

図6に示すのは今回実装で用いた回路である。TDCの動作を確認するために、キャリブレーションの際に構成するヒストグラムの各ピン長とサンプリング数の特性を取得した。TDC 8段で、マルチプレクサによって上段の TDC 遅延線を用いて、16RO(8段 TDC + 8個バッファ)、32RO(8段 TDC + 24個バッファ)、48RO のリング発振器を構成す

る。このことによって、周波数を変えることができる。

提案した自己校正 TDC 回路を Altera CycloneIII Starter Board に実装し、その実機で動作確認を行った。



(入力ボタン4、入力ボタン3、入力ボタン2、入力ボタン1)

図 6 Altera CycloneIII Starter Board

**TDC の実装方法：** CycloneIII への実装は、Cyclone 書き込み用端子とパソコンを接続し、CycloneIII 内に配置するモジュールや外部出力 Pin および配線等の回路構成情報を回路図上に情報を与えて行った。

表 2 に示すのは、入力ボタンと図 6 の実装回路図の各入力線との対応を示す。リセット入力は入力ボタン 1 に、3 ビットのマルチプレクサの制御線は入力ボタン 2、3、4 に設定する。

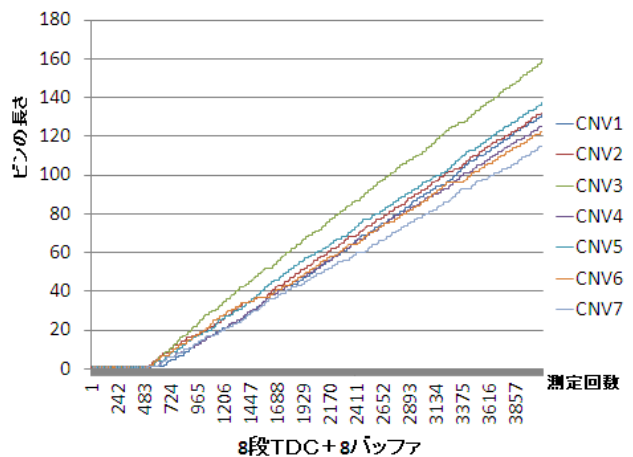
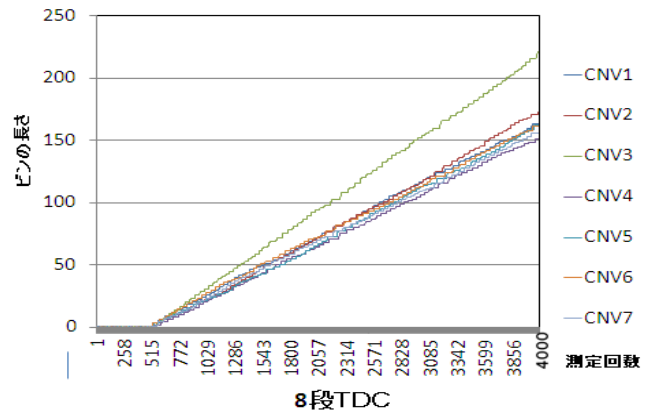
表 2. 入力ボタンの設定

入力ボタン1	入力ボタン2	入力ボタン3	入力ボタン4
PIN_F1	PIN_F2	PIN_A10	PIN_B10
reset	Multi[0]	Multi[1]	Multi[2]

また、Assignment Editor を用い、入出力 P I N および 50MHz クロック (PIN\_B9)、バッファ、インバーター、レジスター、D F F などの配置を決める。

SignalTap2 オンチップロジックアナライザを使い、各入出力線の信号を観測する。リセット線の立ち上がりトリガーを設定し、波形を取得する。サンプリングクロックは 50MHz とする。

図 7 に示すのは各周波数の出力線形性の実装結果となる。横軸はサンプリング測定回数 (4,000 回)、縦軸はピンの長さである。TDC の各 D-Flip Flop の出力はエンコーダを通して、その各の出力を CNV 1, CNV 2 のように示す。サンプリング測定回数の増加に伴い各ピン長がほぼ線形に増加しており、キャリブレーションが正常に動作していることが分かる。



(上図)8 段の T D C (153MHz)

(下図) 8 段の T D C + 8 バッファ (60MHz)

図 7. 各周波数の TDC の出力線形性の実験結果

### 5. まとめ

本論文では、自己校正機能をもったタイムデジタル回路の構成と動作を示し、FPGA による動作確認を行った。FPGA での動作確認は Altera 社の CycloneIII Starter Board を用いて実装して行った。各段リング発振器の周波数を測定し、自己校正モードでのリング発振器による線形性向上も確認した。

今後は測定回数を向上させた場合の測定を行い、各バッファの遅延を測定する。

**謝辞：** 本研究は半導体理工学研究センター(STARC) に支援されています。

### 参考文献

- (1) 清水 一也, 金田雅人, 小林 春夫, 高井伸和, 堀田正生「少量ハードウェア タイムデジタル回路」
- (2) 中條剛志・平林大樹・加藤健太郎・李 从兵, 李恩思・小林佑太郎・王俊善・佐藤幸志・小林春夫「フラッシュ型タイムデジタル回路のヒストグラム法による自己校正の実験検証」
- (3) Altera, San Jose, CA, “Cyclone III Device Handbook,” 2012.[Online]. Available:www.altera.com