

# フラッシュ型タイムデジタイザ回路の線形性自己校正の実験検証

中條剛志\* 平林大樹 (群馬大学) 加藤健太郎 (鶴岡工業高等専門学校) 李 从兵 李恩思  
小林佑太朗 王俊善 (群馬大学) 佐藤幸志 (光サイエンス) 小林春夫 (群馬大学)

Experimental Verification of Flash-type TDC with Linearity Self-Calibration  
Takeshi Chujo, Daiki Hirabayashi (Gunma University), Kentaroh Kentaroh (Tsuruoka National College of  
Technology), Congbing Li, Ensi Li, Yutaro Kobayashi, Junshan Wang (Gunma University),  
Koshi Sato (Hikari Science), Haruo Kobayashi (Gunma University)

キーワード：時間-デジタル変換器，時間測定，自己校正，ヒストグラム法，FPGA

(Keywords, Time-to-Digital Converter, Time Measurement, Self-Calibration, Histogram Method, FPGA)

## 1. はじめに

タイムデジタイザ回路 (Time-to-Digital Converter : TDC) は 2 つの信号のエッジ間の時間を測定しデジタル値として出力する回路である<sup>(1)</sup>。アプリケーションとして、完全デジタル PLL の位相比較器，センサインターフェース回路，変調回路，復調回路，TDC ベース ADC などがあり，現在活発に研究開発が行われている<sup>(2)</sup>。TDC 回路はほとんどがデジタル回路で構成できるため微細デジタル CMOS プロセスで実装するのに適しており，ナノ CMOS 時代において，ますます重要な役割を果たすことが期待されている<sup>(3)</sup>。

タイムデジタイザ回路には様々な種類があるが，その中の一つ，フラッシュ型タイムデジタイザ回路は回路構成に遅延素子から構成する遅延線を使う。しかしそこでの各遅延素子は製造バラつきによって遅延の絶対値，相対値とも変化し，時間-デジタル変換の線形性が失われてしまう。

本論文では 2 つの信号のエッジ間の時間を高時間分解能・高精度かつ簡単な回路で計測する。そのためのデジタル信号タイミング試験用 Built-Out Self-Test (BOST) として，線形性自己校正フラッシュ型 TDC の設計および実機での検証を報告する。通常のフラッシュ型 TDC では遅延素子の相対バラつきによって非線形性が生じるため，線形性の自己校正のためのリング発振器を取り付けた。また，実機での動作確認はサイプレス社の Programmable System-on-Chip (PSoC)5LP に実装して行った。

## 2. リング発振器付きフラッシュ型 TDC の構成

〈2・1〉 フラッシュ型 TDC 図 1 に 3 段のフラッシュ型 TDC を示す。START 信号が入力されると遅延素子を介し立ち上がり信号が伝搬する。STOP 信号の立ち上がりタイミングで各フリップフロップに START 信号の各遅延された信号がラッチされ，エンコーダで符号化 (2 進数の値に)

される。START 信号と STOP 信号の立ち上がり時間差に応じて各フリップフロップの出力値は変化し，立ち上がり時間差をデジタル値として出力する。

回路構成は遅延素子  $\tau$  の配列，入力信号がどの遅延素子まで伝搬したかを確認するための D フリップフロップ配列，各 D フリップフロップの値を符号化するエンコーダで構成される<sup>(4)</sup>。回路上の一つの問題点として，個別遅延素子  $\tau$  の遅延量に相対バラつきが発生した場合，出力の線形性が損なわれてしまう。

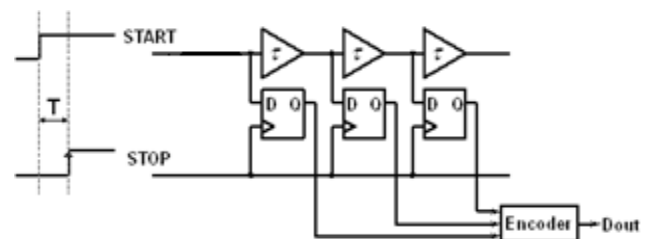


図 1 フラッシュ型 TDC

Fig.1. Flash TDC.

図 2 に遅延量が増加した場合のタイミングチャートを示す。 $\tau$  は平均遅延量 ( $t$ )， $\Delta \tau$  は遅延量誤差 (ばらつき) ( $t$ )，D は出力デジタル値である。図 2 (a) では遅延素子の遅延量が完全に等しいとする。時間差が  $2\tau(t)$  か  $3\tau(t)$  の間の時間差信号が入力された場合，理想的には D0~D1 は 1，D4 は 0 となる。図 (b) はばらつきによって 2 つ目の遅延素子の遅延量が増加した場合である。その場合，D0, D1 が出力値 1，D3, D4 が出力値 0 となり，入力遅延差に対し出力値が減少し出力値に誤差が生じる (線形性が劣化する)。

図 2 には遅延量が増加した場合を示したが，遅延量の減少する場合も同様に TDC の非線形性を生じる。

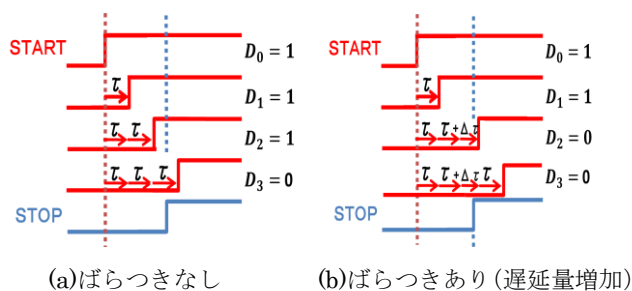


図2 TDC回路のタイミングチャート

Fig.2. Timing diagram of TDC circuit.

### (2・2) 自己校正フラッシュ型 TDC

図2に自己校正フラッシュ TDC 回路を示す<sup>(3)(4)(5)</sup>。自己校正回路は「24 段の遅延線と一つのインバータからなるリング発振回路とヒストグラムエンジン+デジタル誤差補正」から構成される。強調すべきことは、これらは全てデジタル回路である。

本 TDC は 2 つのモードを有し、自己校正モードによって各遅延素子の遅延量の比（相対ばらつき）を調べ、通常測定モードでの遅延量に応じた出力デジタル値のデジタル誤差補正を行い、線形性を向上させる。

今回の測定では TDC、エンコーダ、ヒストグラムエンジンを PSoC 上に実装し、PC 上にて非線形性の計算およびデジタル誤差補正演算を行った。

**(1)通常測定モード：** 通常測定モードでは、通常のフラッシュ型 TDC と同様にスタート信号とストップ信号を入力し、その入力時間差に対応したデジタル値を出力する。

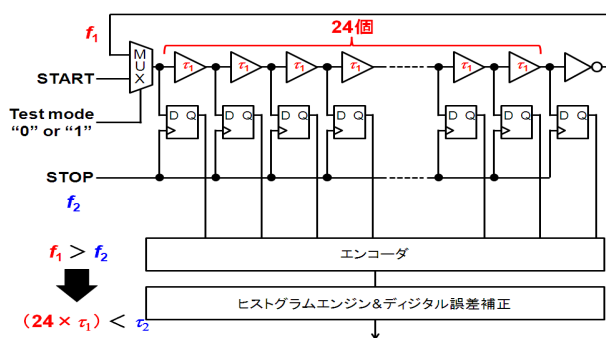


図2 リング発振器付きフラッシュ型 TDC

Fig.2. Flash TDC with ring oscillator.

**(2)自己校正モード（ヒストグラムデータ取得）：** 自己校正モードで、図3のマルチプレクサにおいて出力と上部入力を接続させ、リング発振器を作る。上部のリング発振器が発振すると同時に STOP 信号からクロックを入力し、D フリップフロップの値をエンコーダで読み取りヒストグラムを算出する。

下段の STOP 信号の周期については、上段の周波数と相関がある場合にはヒストグラムに偏りが出るため、上段の周波数とは無相関（非同期）になるように設定する。

遅延素子の遅延量には相対的なバラつきが発生する。上段の回路が発振している間、立ち上がり信号は遅延量が大きい遅延素子ほど高い確率で立ち上がり信号が存在する。

逆に遅延量が小さい遅延素子は確率的に立ち上がり信号が存在する確率が低くなる。測定回数を十分に多く取得した場合、遅延量の大きい遅延素子は多い頻度で測定される。逆に遅延量の低い遅延素子は少ない頻度で立ち上がり信号のヒストグラムが算出され、遅延量の比の情報となる。

**(3)デジタル誤差補正演算：** 自己校正モードで遅延量の比（相対値）が導出される。通常測定モードでは自己校正モードで導出された遅延量の比を利用してデジタル演算により出力誤差補正を行う。出力誤差補正は、全ヒストグラムの値の総和を取り、最下位ビットか出力ビットまでの測定回数の総和を取り測定回数を全体で割った値にフルスケールの値を掛けて誤差補正後の出力値とする。

$$D_{out}(N) = \frac{\sum_{i=1}^N Pin(i)}{\sum_{i=1}^{FS} Pin(i)} \times FS$$

N: 校正する bit

$D_{out}(N)$ : N 番目 bit の校正後出力値

$Pin(i)$ : i 番目遅延素子測定回数

FS: 出力最大デジタル値

### 3. PSoC による動作確認

考案した図2の自己校正 TDC 回路を PSoC に実装しその実機で動作確認を行った。実機の写真を図3に示す。

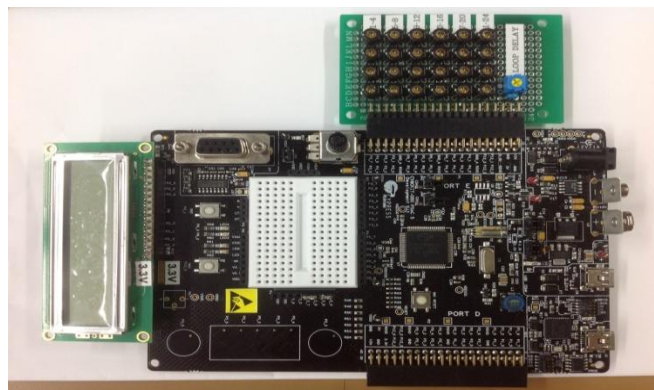


図3 自己校正フラッシュ型 TDC を実装した PSoC  
Fig.3. Self-calibration flash-type TDC implemented with PSoC.

自己校正モードでは PSoC 内のリング発振器を発振させ、同時に STOP 信号を入力し各 D フリップフロップの値をエンコーダを通して出力した。今回の測定では 10 万回の STOP 信号を入力し、合計 40934 回の下位 0→上位 1 となる適切な出力を得てヒストグラムにした。表1に各ビットの測定結果を示す。

通常測定モードでは、予め決めた start 信号と stop 信号の時間差信号を入力し、デジタル出力値を出力した。測定結果を表2に示す。

表 1 自己校正モード測定回数

Table 1. Number of measurements (measured histogram) in self-calibration mode

Pin1	Pin2	Pin3	Pin4	Pin5	Pin6	Pin7	pin8	Pin9	Pin10	Pin11	Pin12
1,565	743	1,860	1,927	546	1,771	1,782	1,909	1,862	1,937	2,069	2,181
Pin13	Pin14	Pin15	Pin16	Pin17	Pin18	Pin19	Pin20	Pin21	Pin22	Pin23	Pin24
1,873	783	1,898	944	1,765	1,913	1,768	2,019	1,786	2,077	1,750	2,206

表 2 通常測定モード測定結果

Table 2. Measurements results in normal measurement mode

しきい値 (ns)	0	541	812	1,437	2,104	2,291	2,895	3,500	4,166	4,770	5,395	6,083	6,791
出力値	0	1	2	3	4	5	6	7	8	9	10	11	12
しきい値 (ns)	7,416	7,645	8,270	8,583	9,145	9,770	10,354	11,000	11,583	12,250	12,812	13,541	
出力値	13	14	15	16	17	18	19	20	21	22	23	24	

表 3 遅延量と測定回数の誤差(%)

Table 3. Measurement results of error between the delay value and the corresponding histogram

Pin1	Pin2	Pin3	Pin4	Pin5	Pin6	Pin7	pin8	Pin9	Pin10	Pin11	Pin12
-4.31	-9.30	-1.55	-4.43	-3.41	-3.01	-2.56	-5.18	1.979	2.52	-0.52	1.90
Pin13	Pin14	Pin15	Pin16	Pin17	Pin18	Pin19	Pin20	Pin21	Pin22	Pin23	Pin24
-0.87	13.11	0.46	-0.23	3.89	1.25	0.15	3.39	1.34	3.01	3.01	0.10

表 4 校正後 TDC 出力値

Table 4. Measured TDC output after calibration.

しきい値 (ns)	0	541	812	1,437	2,104	2,291	2,895	3,500	4,166	4,770	5,395	6,083	6,791
出力値	0	0.917	1.353	2.443	3.573	3.893	4.932	5.976	7.096	8.187	9.324	10.536	11.815
しきい値 (ns)	7,416	7,645	8,270	8,583	9,145	9,770	10,354	11,000	11,583	12,250	12,812	13,541	
出力値	12.913	13.372	14.485	15.038	16.073	17.195	18.231	19.415	20.462	21.680	22.706	24	

#### 4. 自己校正

PSoC TDC での各ビット測定回数を(測定回数総和)/(遅延量総和)で割った値で正規化し、遅延量との相関を図 4 に示す。この図 4 に示す通り、遅延量とリング発振器の測定回数には相関関係があることがわかる。

表 3 に遅延量と測定回数の誤差を示す。今回の測定においては最大で 13%の誤差が見られた。

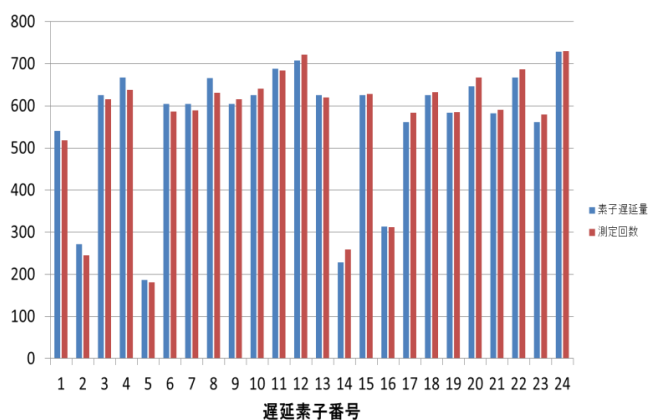


図 4 測定回数 (ヒストグラム) と遅延量の相関

Fig.4. Correlation of the amount of delay and number of measurements.

校正では、この測定回数と遅延量の相関を利用して校正を行う。

2節で示した方法を用いて校正を行った。校正後の各ビット出力値を表 4 に示す<sup>6)</sup>。また、校正前後の入出力のグラフを図 5 に示す。図 5 に示す通り、TDC 各ビットの遅延素子の遅延量に応じた出力値の増減があり、線形性が改善されていることが確認出来る。

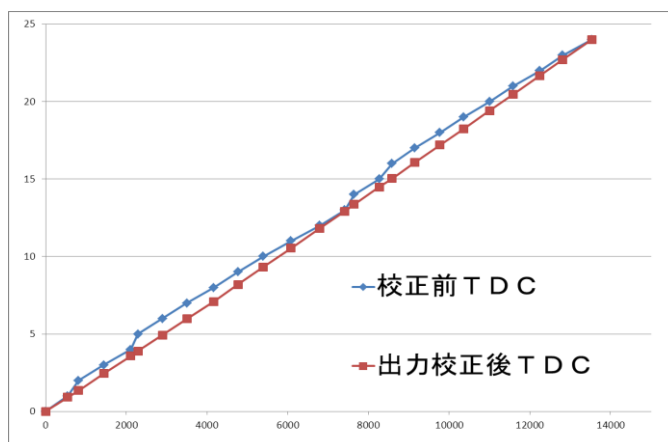


図 5 測定した校正前後の TDC 特性

Fig.5. TDC characteristics before and after calibration.

### 5. 評価

以上の結果について、提案自己校正方法の評価を定量的に行う。本評価では、最小二乗法を用いて線形近似直線を求め、そこから積分非直線性 (INL) を計算する。INL は測定結果と線形近似直線との累積誤差を示す指標であり、0に近いことが望ましい。線形近似直線のゲインとオフセットは以下の式で表すことができる。

$$\text{gain} = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \quad (1)$$

$$\text{offset} = \frac{K_2}{N} - \text{gain} \cdot \frac{K_1}{N} \quad (2)$$

ここで N=24 であり、K<sub>1</sub> から K<sub>4</sub> はそれぞれ以下の式で表すことができる。

$$K_1 = \sum_{i=0}^{N-1} i \dots\dots\dots (3)$$

$$K_2 = \sum_{i=0}^{N-1} S(i) \dots\dots\dots (4)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \dots\dots\dots (5)$$

$$K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \dots\dots\dots (6)$$

i は入力時間差であり、S(i) はそのときの出力数である。(1)式から(6)式より、INL(Integral Non-Linearity: 積分非直線性)を計算する式は以下ようになる。

$$\text{INL}(i) = \frac{S(i) - (\text{gain} \cdot i + \text{offset})}{\text{gain}} \dots\dots (7)$$

この式から求めた INL を図 6 に示す。測定結果として、校正前 TDC では最大 60% の INL を有していたのに対し、校正後 TDC では最大 17% の INL となり線形性が向上した。

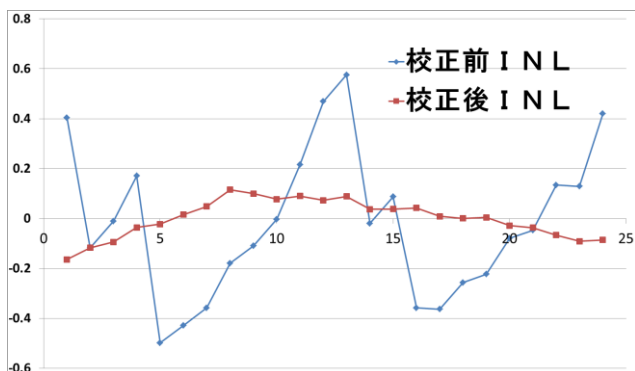


図 6 校正前後の測定 INL  
Fig.6. Measured INL before and after calibration.

完全な線形性が得られなかった理由として、通常測定モード分解能の低さが考えられるとともに測定回数の不足が考えられる。

今回の TDC では通常測定モードにおける入力可能な信号時間差が 20.83 ns 毎となっておりその結果最大 3 パーセントの誤差が発生していると考えられる。また、自己校正モードでの測定回数と遅延量の相関に誤差が見られ、それが

非線形性を発生させていると考えられる。今回の測定回数は各 bit あたり平均 1,705 回の測定結果を得たが、最大で 13% の遅延量と測定回数の誤差が出た。

自己校正モード測定回数の更なる増加により、より INL を小さくできる校正が行えると考えられる。

### 6. 結論

本論文では、ヒストグラム法による自己校正機能をもったタイムデジタイザ回路の構成と動作を示し、実機による動作確認を行った。

実機での動作確認はサイプレス社の PSoC を用いて実装して行った。時間差信号を入力し入力に対する測定を行った。また、自己校正モードでのリング発振器による測定回数により、遅延量と測定回数に相関があることを確認した。

校正方法を提案し、実際の校正によって INL が減少したことを確認した。

今回の実装検証では、PSoC でリング発振器 TDC 回路を設計・実装、その実機での「基本動作確認」を目的としているため、分解能が低く、測定回数も少ないが実現しやすい回路を用いている。今後は分解能、測定回数を向上させた場合の測定を行い、提案自己校正による線形性の改善について実装・確認を行っていき、LSI タイミング試験の BOST として展開していく。

謝辞 有意義な御討論をいただきました、辻将信氏、梅田定美氏、土橋則亮氏、塩田良治氏、渡邊雅史氏、小林修氏、松浦達治氏、山口隆弘氏、荒川隆彦氏、高井伸和氏、新津葵一氏に感謝します。この研究は半導体理工学研究センター(STARC)に支援されています。

### 文 献

- (1) D. Hirabayashi, T. Chujo, H. Kobayashi, K. Kato, K. Sato, K. Niitsu, N. Takai: "Implementation of Time-to-Digital Converter with Self-Calibration", 5<sup>th</sup> International Conference on Advanced Micro-Device Engineering (AMDE2013) Kiryu, Japan (Dec. 19, 2013)
- (2) 平林 大樹・荒川 雄太・河内 智・石井 正道・上森 聡史・佐藤 幸志・小林 春夫・新津 葵一・高井 伸和: 「デジタル信号タイミング試験用 BOST の検討」, 電気学会 電子回路研究会, ECT-12-069, 熊本 (2012 年 10 月 4 日)
- (3) 土井佑太・伊藤聡志・西村繁幸・李恩思・小林春夫・高井伸和 (群馬大学): 「確率的時間デジタイザ回路の自己校正技術」, 電気学会 電子回路研究会, ECT-13-043, 明治大学 (2013 年 3 月 7 日)
- (4) K. Katoh, Y. Doi, S. Ito, H. Kobayashi, E. Li, N. Takai, O. Kobayashi, "An Analysis of Stochastic Self-Calibration of TDC Using Two Ring Oscillators", IEEE Asian Test Symposium, Yilan, Taiwan, (Nov. 2013).
- (5) S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu, "Stochastic TDC Architecture with Self-Calibration," IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- (6) H. Kobayashi, H. Yagi, T. Komuro, H. Sakayori, "Algorithms for Digital Correction of ADC Nonlinearity", IEICE Trans. on Fundamentals, E86-A, no. 2, pp.504-508 (Feb. 2003).