

# ノイズシェーピングによるサイクリック ADC の高性能化

Yukiko Arai<sup>1</sup>, Yu Liu<sup>1</sup>, Haruo Kobayashi<sup>1</sup>, Tatsuji Matsuura<sup>1</sup>, Osamu Kobayashi<sup>2</sup>,  
Masanobu Tsuji<sup>2</sup>, Masafumi Watanabe<sup>2</sup>, Ryoji Shiota<sup>2</sup>, Noriaki Dobashi<sup>2</sup>  
Sadayoshi Umeda<sup>2</sup>, Isao Shimizu<sup>1</sup>, Kiichi Niitsu<sup>3</sup>  
Nobukazu Takai<sup>1</sup>, Takahiro J. Yamaguchi<sup>1</sup>

<sup>1</sup>Gunma University E-mail: k\_haruo@el.gunma-u.ac.jp

<sup>2</sup>Semiconductor Technology Academic Research Center <sup>3</sup>Nagoya University

**Abstract** This paper presents an ADC architecture comprising a pipelined cyclic ADC and continuous-time delta-sigma ADC; it provides high resolution at medium speed, with small power requirements. It is also reconfigurable for different combinations of speed, precision, and power consumption. The cyclic ADC produces a residue after the final cycle, and the following delta-sigma ADC converts it to a digital value (the residue is then noise-shaped). The ADC output combines the digital outputs of the cyclic ADC and the delta-sigma ADC so as to achieve high resolution. The delta-sigma ADC can be implemented simply with continuous-time analog circuitry. We describe the overall ADC architecture and operation, show simulation results, and describe features such as its potential for reconfiguration.

キーワード：サイクリック ADC, パイプライン ADC, デルタシグマ, ノイズシェーピング

(Keywords: Cyclic ADC, Pipe line ADC, Noise-Shaping, Delta sigma)

## 1. はじめに

音声や電圧などの入出力信号はアナログ信号であるためデジタル信号処理には ADC や DAC が重要であり、ADC/DAC の R&D が活発に行われている[1][2]

本研究ではサイクリック ADC と  $\Delta\Sigma$ ADC をパイプライン接続したノイズシェーピング・サイクリック ADC を提案する。 $\Delta\Sigma$  ADC は Gm-C 回路で容易に実現できる[3][4]。これはサイクリック ADC のみ、 $\Delta\Sigma$  ADC のみより、変換速度や精度、消費電力が向上する。

## 2. ノイズシェーピング・サイクリック ADC の構成

ノイズシェーピング・サイクリック ADC の構成を図 1 に示す[5][6][7]。サイクリック ADC の動作後、量子化誤差が得られ、 $\Delta\Sigma$  ADC に送られる(図 2)。

i) サイクリック ADC の動作: サイクリック ADC 内部のコンパレータ (1-bit ADC) は入力電圧  $V_{in}(V_a)$  と参照電

圧( $V_{1lsb}$ )を比較し、デジタル出力  $Dout$  (1 or 0) を出力する。次に Multiply-1bit DAC (MDAC)でこの  $Dout$  に対応する出力電圧  $V_b$  が出力され、入力電圧  $V_{in}$  との残差  $V_a - V_b$  を得る。残差  $V_a - V_b$  はオペアンプで 2 倍に増幅され  $V_{out}$  となり、次のステージの入力電圧  $V_{in}(V_a)$  となる。

サイクリック ADC は 1bit 判定の動作を上位ビットから巡回的に動作させることで分解能を 1bit ずつ増やすことができる。n 回ステージを巡回すると n bit 出力となり、出力は以下の様に表せる。

$$V_{out} = 2^n \times (V_{in} - K(n) \times V_{ref}) \quad (1)$$

ここで  $K(n)$  は各ステージのデジタル出力からアナログ値に再生したもので、各ステージ出力に 2 進の重みを掛けて以下の様に表せる。

$$K(n) = (1/2)Dout(1) + (1/4)Dout(2) + (1/8)Dout(3) + \dots + (1/2^n)Dout(n) \quad (2)$$

ただし  $D_{out}(n) = 1 \quad (V_{in} \geq V_{ref})$   
 $D_{out}(n) = 0 \quad (V_{in} < V_{ref})$

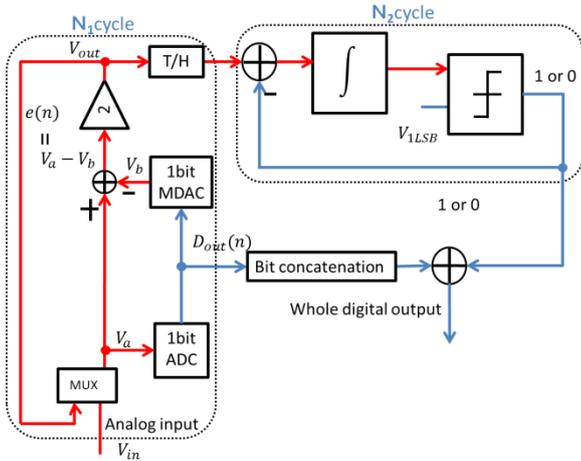


図1 ノイズシェーピング・サイクリック ADC の構成  
 Fig.1 Noise shaping cyclic ADC configuration.

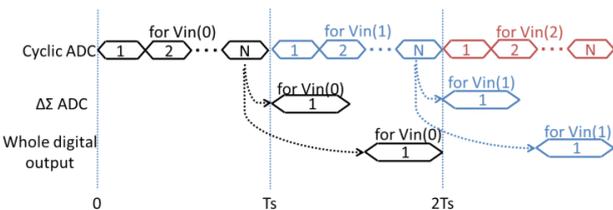


図2 ノイズシェーピング・サイクリック ADC の動作図  
 Fig. 2 Operation of the proposed ADC.

ii)  $\Delta\Sigma$  ADC の動作 : ADC 後に出力される量子化誤差  $V_a - V_b$  は後段の  $\Delta\Sigma$  ADC によりノイズシェーブされる。 $\Delta\Sigma$  ADC の出力にサイクリック ADC の  $n$  bit 出力をデジタルフィルタで加算し、量子化誤差をキャンセルする。これは以前から知られているナイキスト ADC の残差信号に 1 次  $\Delta\Sigma$  変換を行って、デジタルドメインで加算して分解能を増加させる MASH 0-1 [3] 方式の一種である。以下でアルゴリズムを示す。

1) サイクリック ADC で発生した量子化誤差を  $e(n)$  とすると

$$e(n) = V_a - V_b \quad (3)$$

2)  $e(n)$  を加算して量子化誤差の累積値  $acc(n)$  を得る。

$$acc(n) = acc(n - 1) + e(n) \quad (4)$$

3)  $acc(n)$  が 1LSB を超えたとき、 $acc(n)$  から 1LSB を引く。またデジタル出力値に 1 を加算する。

$$\text{If } acc(n) > 1\text{LSB}, acc(n) = acc(n) - 1\text{LSB}, \quad (5)$$

$$D_{out}(n) = D_{out}(n) + 1 \quad (6)$$

### 3. $\Delta\Sigma$ ADC の巡回と MATLAB シミュレーション

次に提案構成 ADC の動作を向上させるために  $\Delta\Sigma$  ADC の巡回について検討する。サイクリック ADC は内部にオペアンプがあるため高消費電力で変換速度の遅い ADC である。また  $\Delta\Sigma$  ADC はサイクリック ADC 動作後に量子化誤差が発生してから動作するので、動作していない時間もある。 $\Delta\Sigma$  ADC は低精度であるが高速、低消費電力の Gm-C 回路で実現できるので、巡回させて下位ビットの分解能をあげる。

$\Delta\Sigma$  ADC はサイクリック ADC と同じクロックと 2 倍のクロックで巡回させる。例えばサイクリック ADC が  $N$  サイクル ( $N$  ビット出力) のとき、 $\Delta\Sigma$  ADC は  $N$  サイクルと  $2N$  サイクルとなる。

#### 3-1 $\Delta\Sigma$ ADC 巡回アルゴリズム

サイクリック ADC で出力される量子化誤差は(3)式より  $e_1(n)$  である。2 サイクル  $\Delta\Sigma$  ADC のアルゴリズムを考える(図 1)。

1 サイクル目の  $\Delta\Sigma$  ADC として  $e_1(n)$  を累積し、累積値が 1LSB より大きいときは  $D_{\Delta\Sigma 1}(n) = 1$  を出力し累積値から 1LSB を引く。小さいときは  $D_{\Delta\Sigma 1}(n) = 0$  を出力し減算しない。2 サイクル目の  $\Delta\Sigma$  ADC としてまた  $e_1(n)$  を累積し  $D_{\Delta\Sigma 2}(n)$  を出力、累積値に 1LSB or 0 を減算する。

次のサイクリック ADC 量子化誤差  $e(n+1)$  が発生すると同様に累積、減算を行い  $D_{\Delta\Sigma 1}(n)$ 、 $D_{\Delta\Sigma 2}(n)$  を出力する。

$\Delta\Sigma$  ADC を  $N$  サイクル行くと  $N$  個のデジタル出力  $D_{\Delta\Sigma 1}(n)$ 、 $D_{\Delta\Sigma 2}(n)$ 、 $\dots$ 、 $D_{\Delta\Sigma 2}(n)$  を得る。これを  $N$  で割り、 $N$  サイクル  $\Delta\Sigma$  ADC 後のデジタル出力  $D_{\Delta\Sigma}(n)$  とする。サイクリック ADC のデジタル出力  $D_{out}(n)$  と  $\Delta\Sigma$  ADC のデジタル出力  $D_{\Delta\Sigma}(n)$  を加算する(図 2,3)。

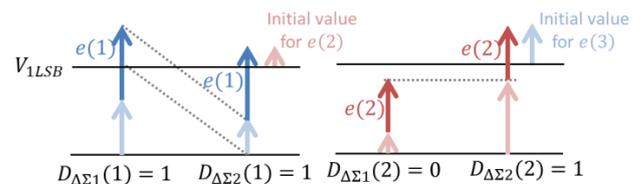


図2 サイクリック ADC 量子化誤差の  $\Delta\Sigma$  ADC  
 Fig.2  $\Delta\Sigma$  modulation of a cyclic ADC residue

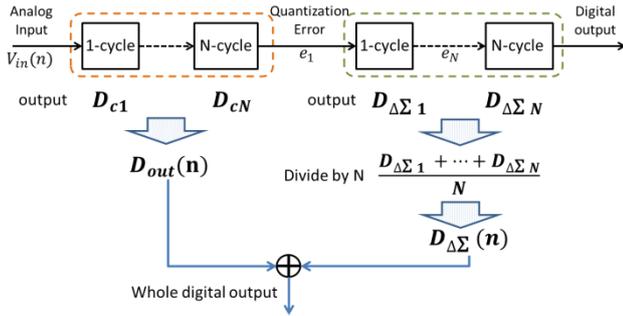


図3 ΔΣ ADC 巡回による提案構成の動作図

Fig.3 Operation of the proposed architecture with a cyclic ADC followed by a multi-cycle ΔΣ ADC.

図4は1-bit サイクリック ADC をノイズシェーブした MATLAB シミュレーションによる出力波形を示している。図4(a)は1サイクルΔΣ ADC、図4(b)は2サイクルΔΣ ADC の出力を比較している。ΔΣ ADC のサイクル数を増やすと同じ1-bit サイクリック ADC でも出力の分解能が上がっていることがわかる。

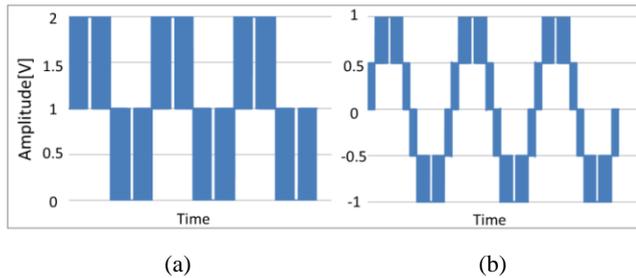
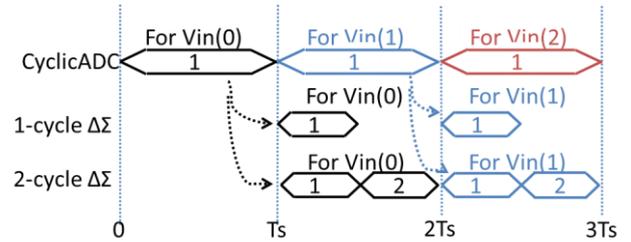


図4 再構成した出力波形

Fig.4. Reconstructed output waveforms.  
 (a) 1bit-cyclic ADC + 1-cycle ΔΣ ADC.  
 (b) 1bit-cyclic ADC + 2-cycle ΔΣ ADC.

また図5はパイプライン動作を示している。Tsは1つの入力に対するADCの変換時間である。Vin(0)がサイクリックADCでの変換後、その量子化誤差はΔΣADCに入力される。Vin(1)がサイクリックADCで変換されている間にVin(0)の量子化誤差は1サイクルor2サイクルΔΣADCで変換される。



3-2 SQNDR 比較

信号とノイズの比で示す Signal-to-noise-and-distortion ratio (SNDR)はADCの性能を示す重要な指標の1つである。ノイズには熱ノイズや1/fノイズなど発生の原因によっていくつかあるが、ここでは量子化誤差のみを“ノイズ”と考え、他のノイズは考えないものとする。よって signal-to-quantization-noise-and-distortion (SQNDR) について以下で示す。図5で横軸にOSR(Over sampling ratio)、縦軸にSQNDRをとり提案構成ADCを比較する。

図5(a)は2-bit サイクリックADCが出力の時の1サイクルΔΣADC、2サイクル、4サイクルのSQNDRを示している。2サイクルΔΣADCではSQNDRが約6dB、4サイクルΔΣADCでは約12dB向上している。図5(b)はENOB(Effective number of bits)を示しており、式(5)で表される。

$$ENOB = (SQNDR - 1.76)/6.02 \text{ [bits]} \tag{7}$$

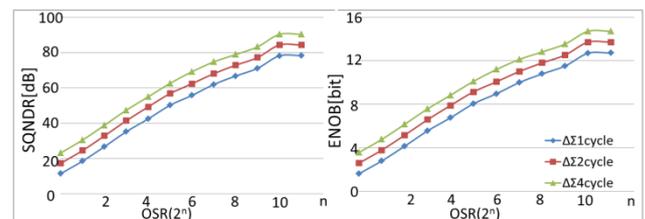


図5 2-bit サイクリックADCとΔΣADCのシミュレーション結果 (a) SQNDR (b) ENOB

Fig.5 Simulation results for a 2-bit cyclic ADC with following ΔΣ ADC. (a) SQNDR. (b) ENOB.

次に4-bit サイクリックADCの1サイクルΔΣADC、4サイクル、8サイクルのSQNDRを図6に示す。4サイクルΔΣADCでは約12dB、8サイクルΔΣADCでは約18dB向上している。

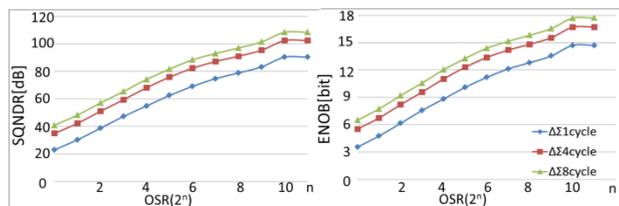


図 6. 4-bit サイクリック ADC と  $\Delta\Sigma$  ADC のシミュレーション結果 (a) SQNDR (b) ENOB

Fig.6 SQNDR simulation results of a 4-bit cyclic ADC with a following  $\Delta\Sigma$  ADC. (a) SQNDR. (b) ENOB.

以上の結果より巡回数と SQNDR、OSR の関係は以下の式のように得られる。N1-bit サイクリック ADC、N2-bit  $\Delta\Sigma$  ADC (where  $N2 = 2^{M2}$ ). とすると

$$\text{SQNDR} = 6 \times (N1 + M2) + 2 + 9 \times n \text{ [dB]} \quad (8)$$

$$\text{ENOB} = (N1 + M2) + 1.5 \times n \text{ [dB]} \quad (9)$$

$$\text{Where OSR} = 2^n$$

#### 4. まとめ

サイクリック ADC と  $\Delta\Sigma$  ADC をパイプライン接続したノイズシェーピング・サイクリック ADC を提案しシミュレーションを行った。サイクリックの内部 DAC やオペアンプで発生した量子化誤差は後段  $\Delta\Sigma$  ADC のノイズシェーピングにより、入力信号付近で減少させることができる。

通常パイプライン ADC はどのステージも同じスピードで動作するが、提案 ADC はサイクリック ADC と  $\Delta\Sigma$  ADC が違うスピードで動作する。高精度・低速・高消費電力のサイクリック ADC は上位ビット、低精度・高速・低消費電力の  $\Delta\Sigma$  ADC は下位ビットの変換を行う。再構成することで高分解能・中速度・低消費電力の ADC が可能となる。

#### 参考文献

- 
- [1] F. Maloberti, *Data Converters*, Springer (2007).  
 [2] R. J. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, Springer (2010).  
 [3] R. Schreier, G. C. Temes, *Understanding Delta-Sigma Data Converters*, Wiley (2005).

- [4] M. Uemori, H. Kobayashi, T. Ichikawa, A. Wada, K. Mashiko, T. Tsukada, M. Hotta, "High-Speed Continuous-Time Subsampling Bandpass  $\Delta\Sigma$ AD Modulator Architecture", *IEICE Trans. Fundamentals*, E89-A, no.4, pp.916-923 (April 2006).  
 [5] S. Kawahito, "Column-parallel A/D Converters for CMOS Image Sensors", *IEEE Asia Pacific Conference on Circuits and System*, Kuala Lumpur (Dec.2010)  
 [6] T. Watabe, K. Kitamura, T. Sawamoto, T. Kosugi, T. Akahori, T. Iida, K. Isobe, T. Watanabe, H. Shimamoto, H. Ohtake, S. Aoyama, S. Kawahito, N. Egami, "A 33Mpixel 120fps CMOS Image Sensor Using 12b Column-Parallel Pipelined Cyclic ADCs", *IEEE Int. Solid-State Circuits Conf.* pp.388-389, San Francisco (Feb.2012).  
 [7] Yukiko Arai, Yu Liu, Haruo Kobayashi, Tatsuji Matsuura, Osamu Kobayashi, Masanobu Tsuji, Masafumi Watanabe, Ryoji Shiota, Noriaki Dobashi, Sadayoshi Umeda, Isao Shimizu, Kiichi Niitsu, Nobukazu Takai and Takahiro Yamaguchi, "Noise-Shaping Cyclic ADC Architecture", *The 4th IEICE International Conference on Integrated Circuits Design and Verification*, Ho Chi Minh City, Vietnam (Nov. 2013).