

フラッシュ型タイムデジタイザ回路の ヒストグラム法による自己校正の実験検証

中條剛志¹ 平林大樹¹ 加藤健太郎² 李从兵¹ 李恩思¹
小林佑太郎¹ 王俊善¹ 佐藤幸志³ 小林春夫¹

1:群馬大学 2:鶴岡高等専門学校 3:光サイエンス

Supported by STARC

アウトライン

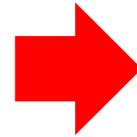
- 研究背景
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作・測定・評価
- まとめ

アウトライン

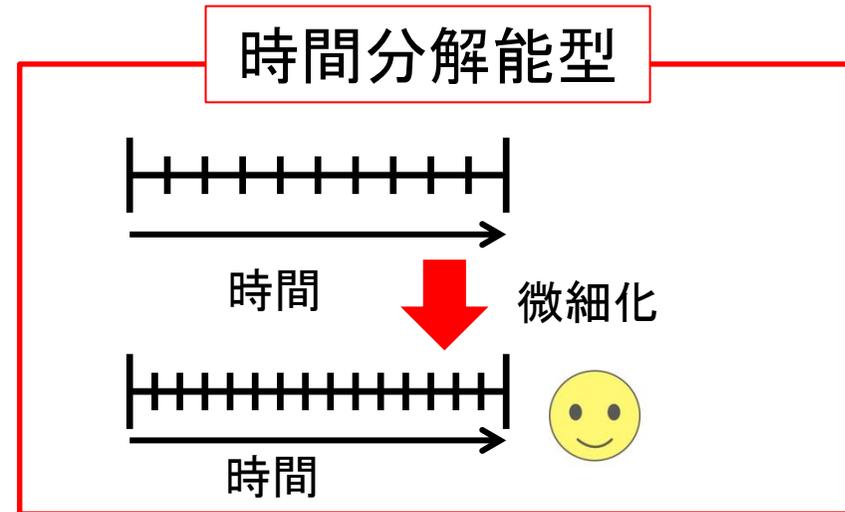
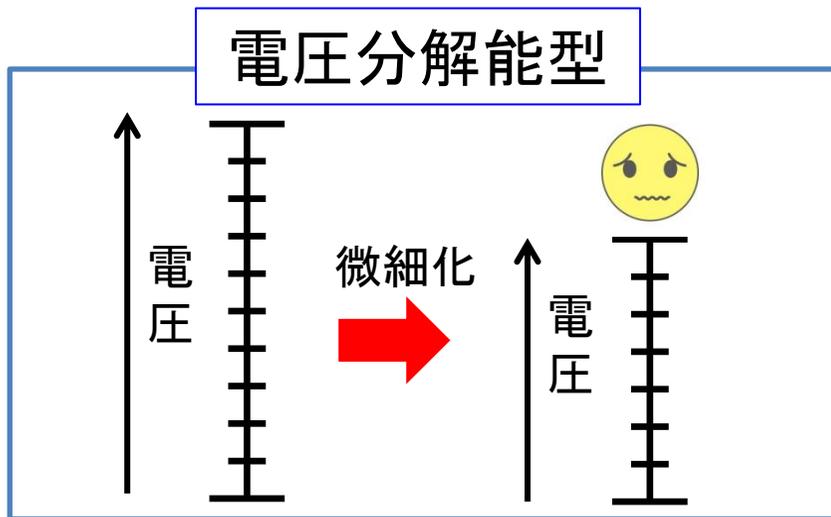
- **研究背景**
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作・測定・評価
- まとめ

研究背景

微細化CMOS LSI



電源電圧の低下
動作スイッチングスピードの向上



TDC (Time-to-Digital Converter) は2つのデジタル信号の時間差をデジタル値に変換

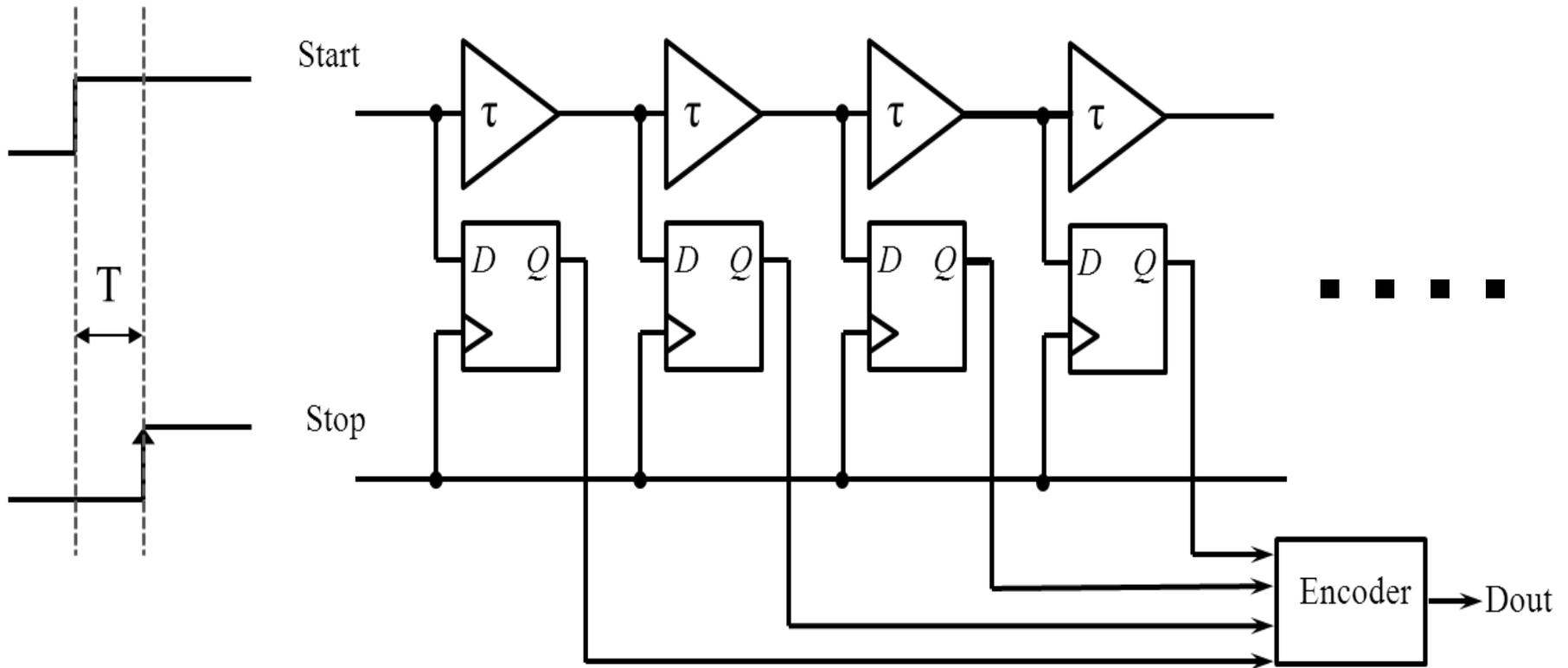


微細化CMOS LSIにおいて、TDCは時間領域アナログ回路のカギとなる
(センサ回路, All-Digital PLL, ADC, 変調回路等)

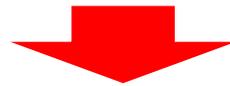
アウトライン

- 研究背景
- **TDCの回路構成と線形性の自己校正原理**
- アナログFPGAによる試作・測定・評価
- まとめ

フラッシュ型TDC

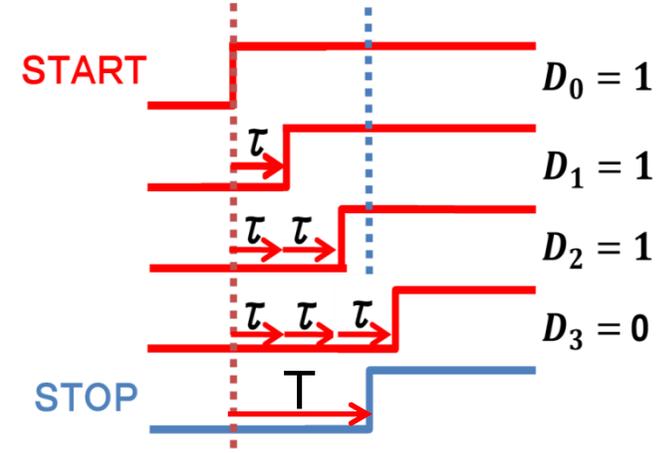
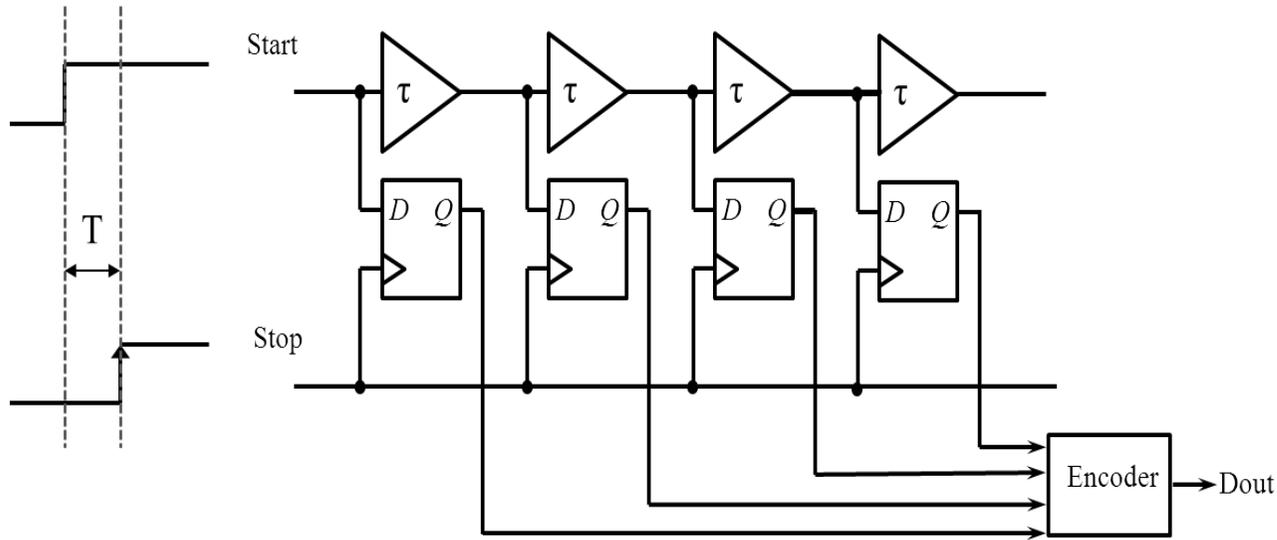


Start立ち上がり信号が入力され、遅延素子(τ)を伝搬している間に stop立ち上がり信号が入力

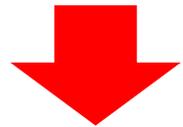


入力信号時間差(T)に比例してデジタル値(D_{out})を出力

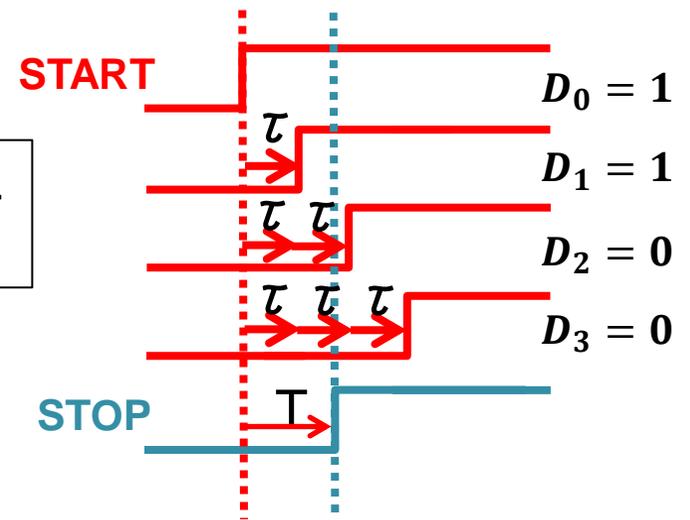
フラッシュ型TDCの動作



start信号が入力され、遅延素子(τ)を伝搬している間に
stop信号を入力



入力信号時間差 (T) に比例して
デジタル値 (D_{out}) を出力

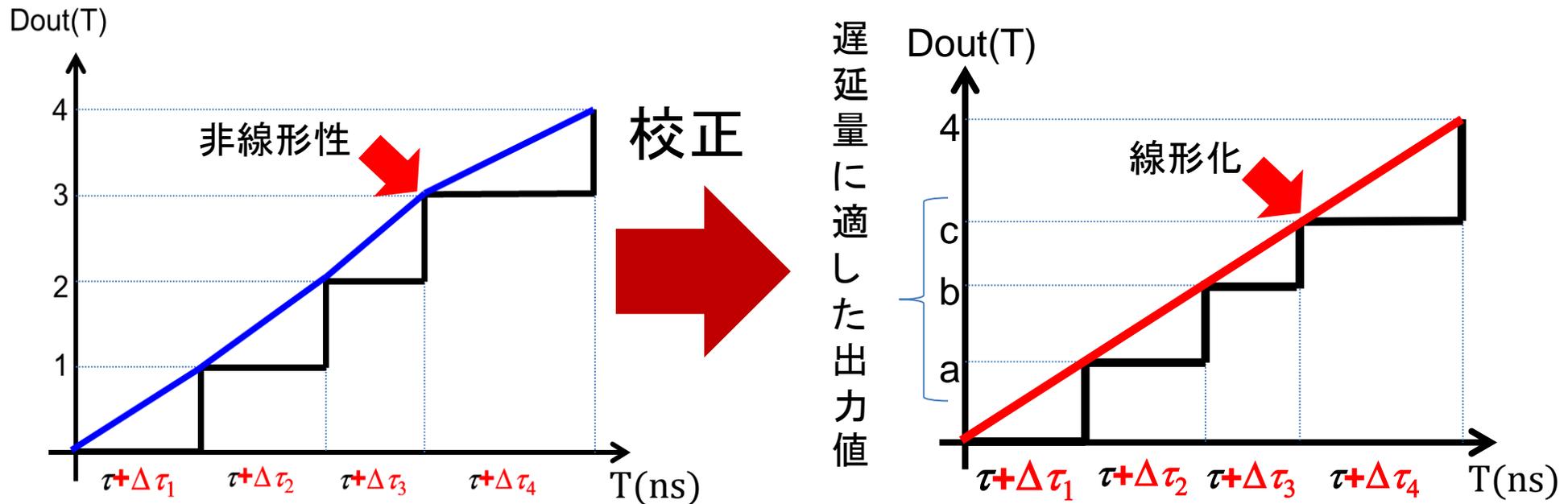


遅延素子の製造ばらつき

- 遅延 τ の製造ばらつき
 - 「相対ばらつき」
 - 非線形性
 - 「絶対(平均値)ばらつき」
 - 入力レンジに影響
- 今回は「相対ばらつき」に着目

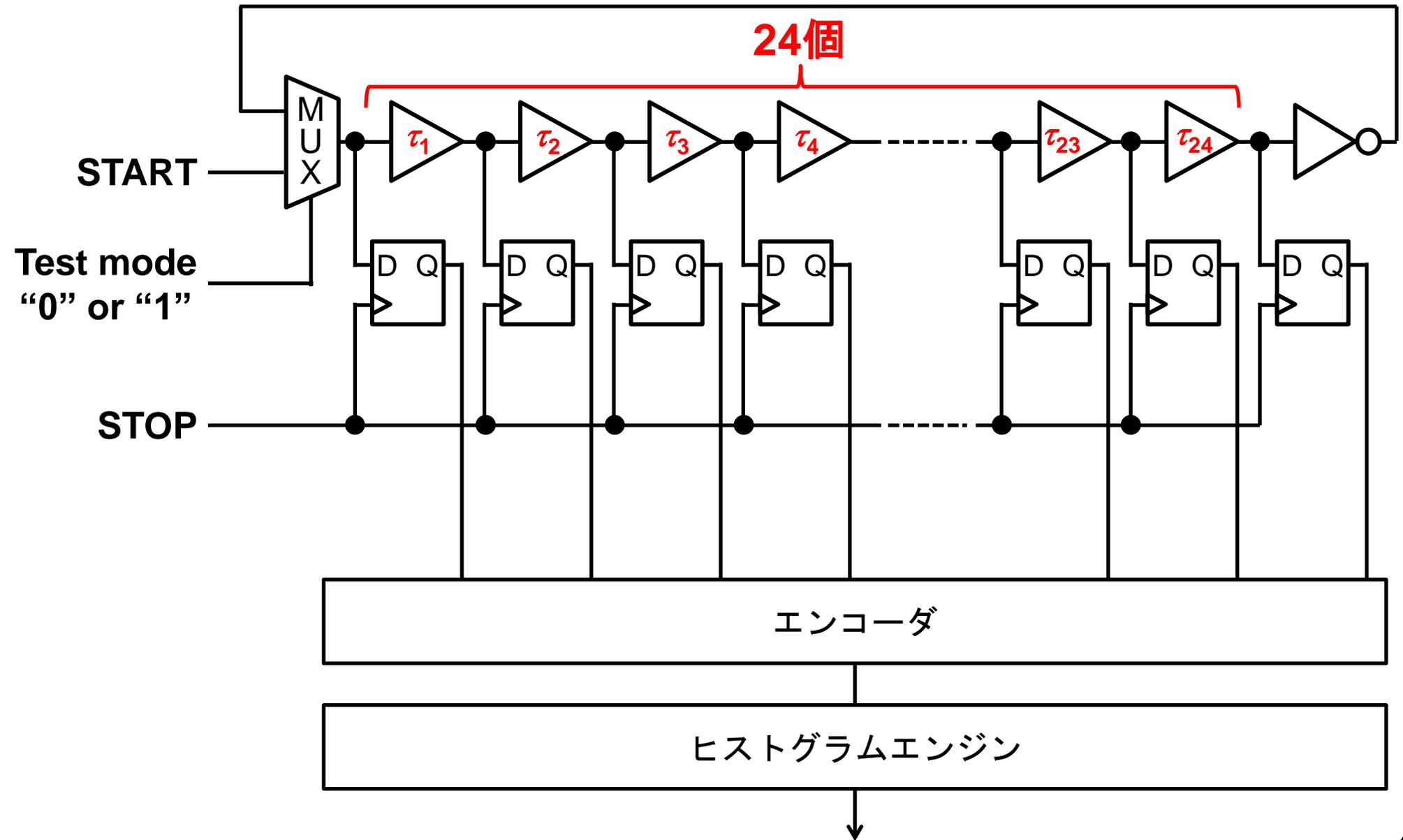
研究目的

- TDCの線形性のヒストグラム法による自己校正

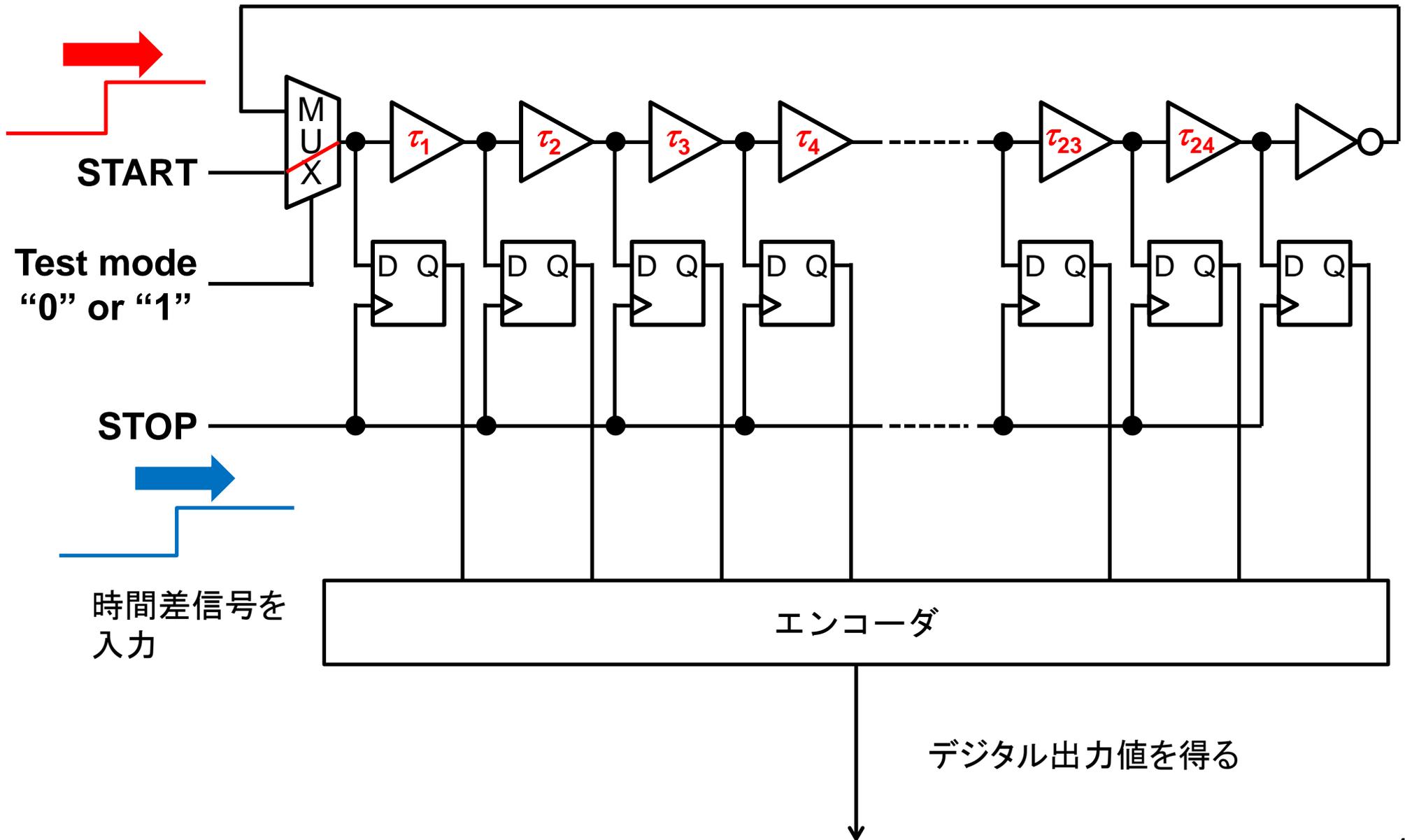


- アナログFPGA(PSoC)で試作、評価

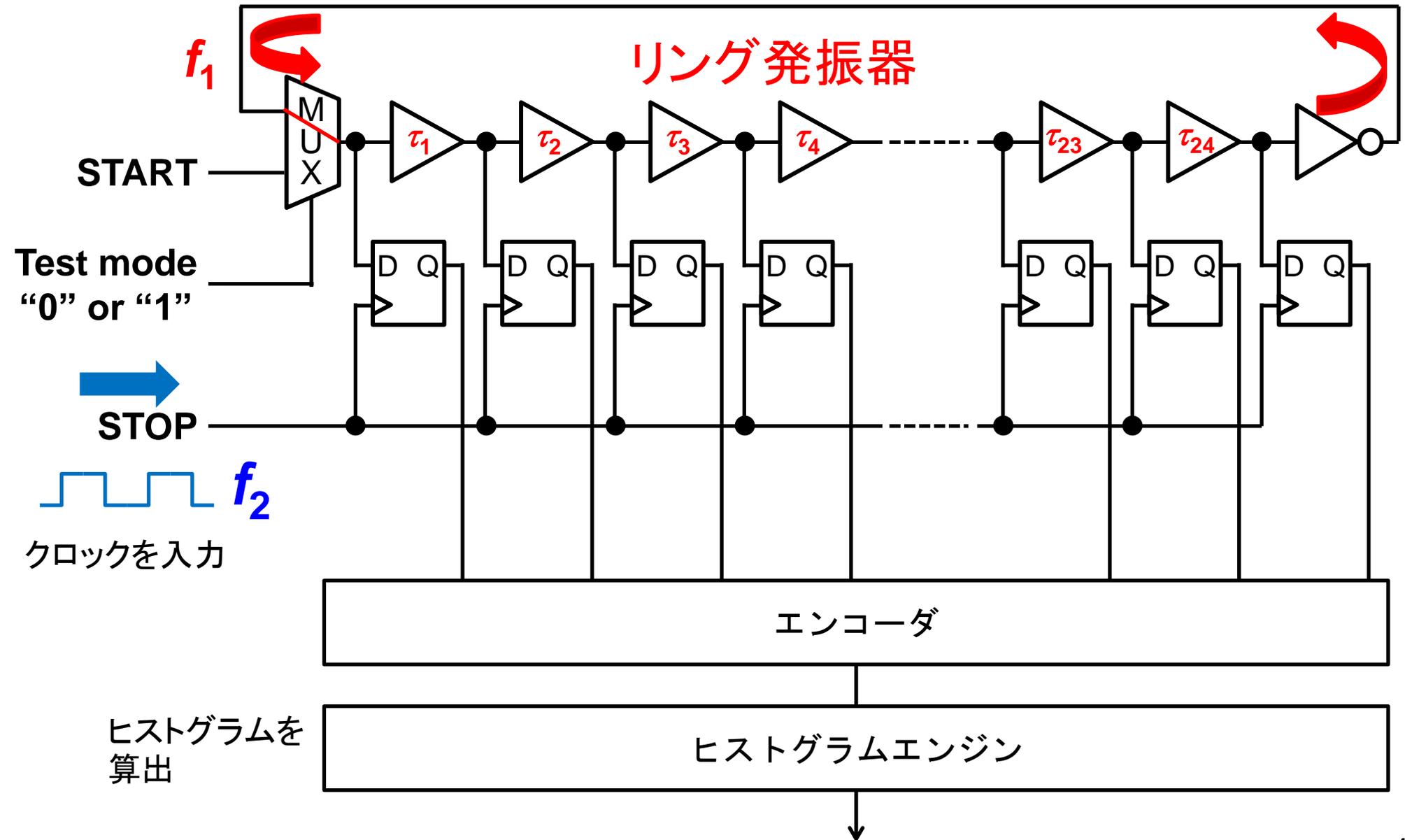
自己校正TDC



通常測定モード

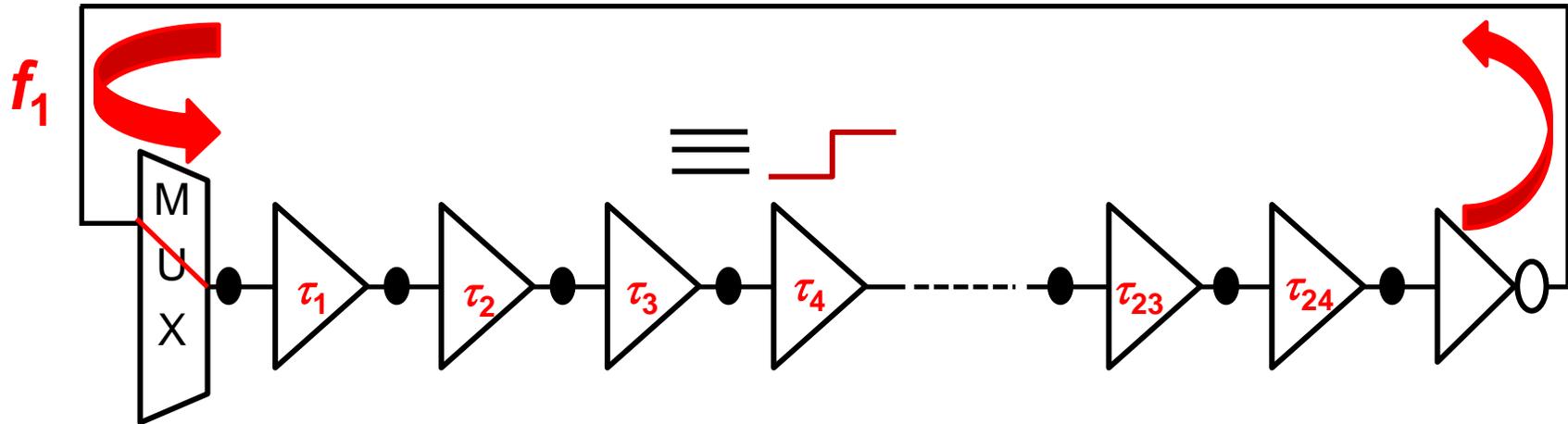


自己校正モード



リング発振動作

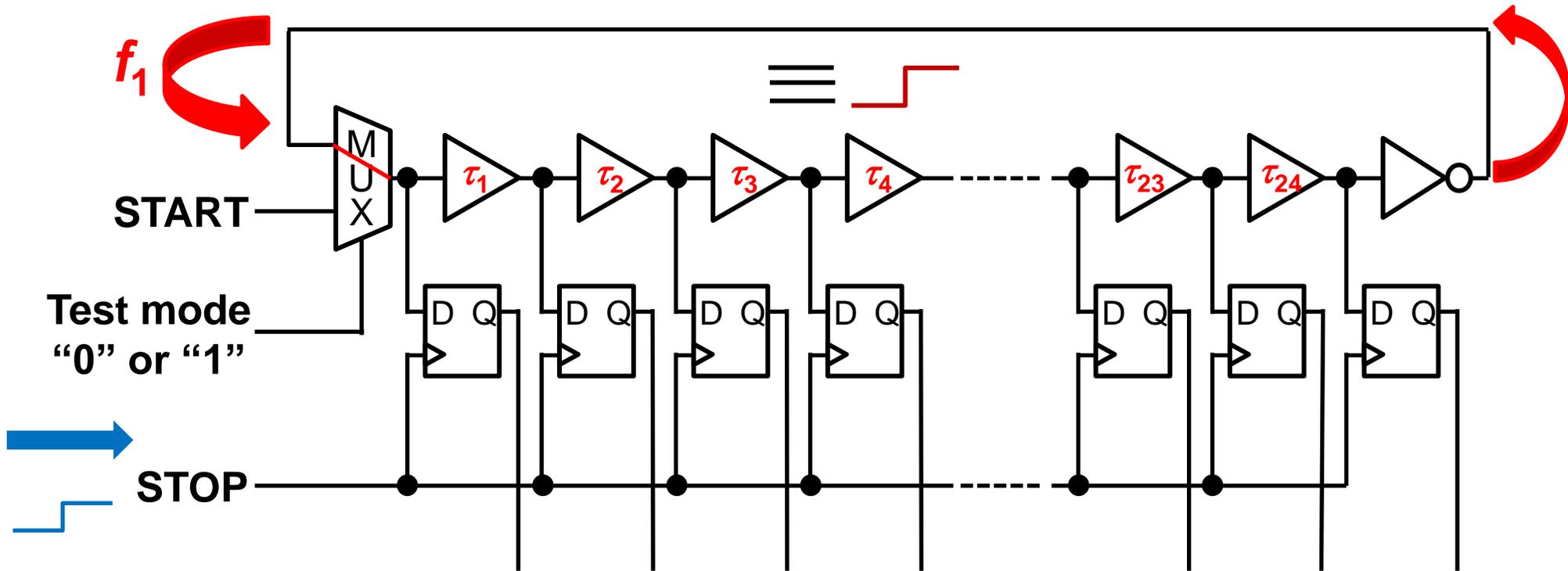
- リング発振器が発振中、遅延素子の遅延量に比例して素子内に立ち上がり信号の存在時間が長くなる



1回の発振では τ_1 から τ_{24} では遅延量の時間分立ち上がり信号が存在する

線形性の校正原理

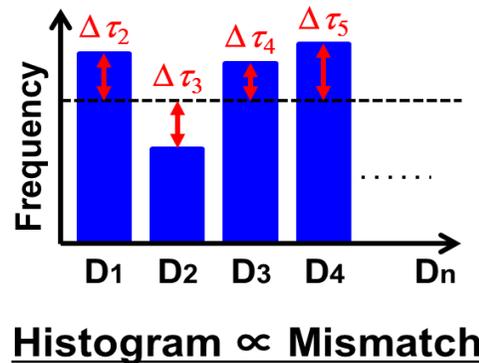
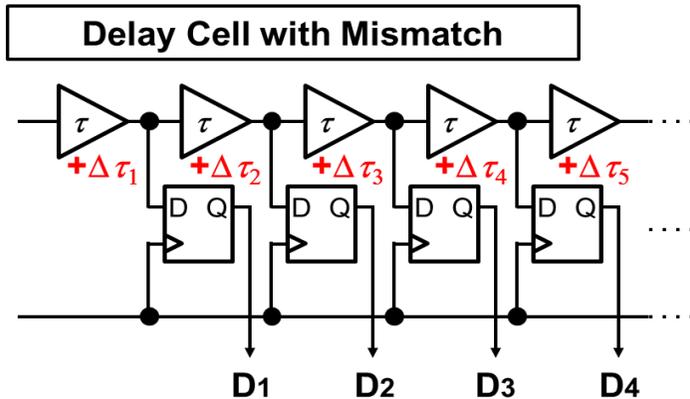
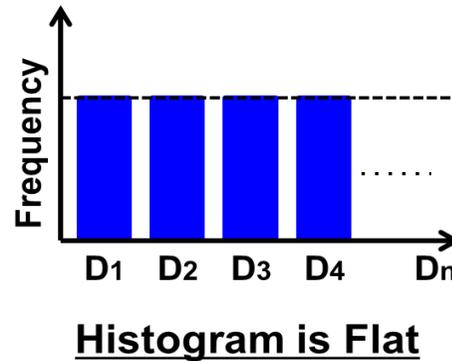
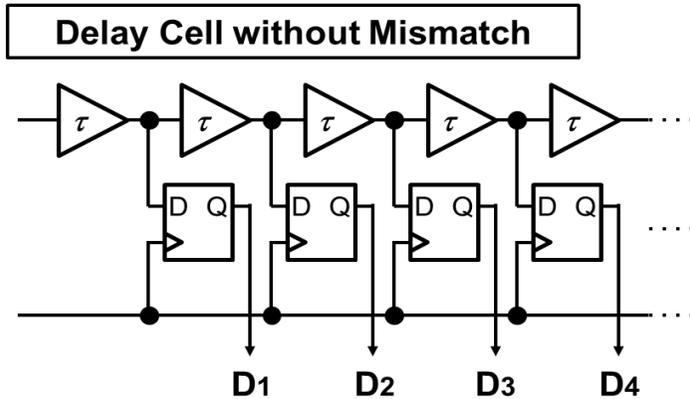
- 発振が始まってから十分に時間が経過し、start 信号と無相関/非同期的なタイミングでstop信号を入力



- 遅延量の**大きい**遅延素子に立ち上がり信号が存在する確率は**高く**、遅延量の**小さい**遅延素子に立ち上がり信号が存在する確率は**低い**

ヒストグラムと遅延量の関係

- 発振中stop信号を多数入力し、ヒストグラムを取得すると・・・



ヒストグラムは
遅延量の相対比

出力校正方法

- 遅延量の相対比を利用して出力校正

$$\frac{\text{下位から指定ビットまでの測定回数合計}}{\text{全測定回数合計}} \left(= \frac{\text{指定ビットまでの遅延量}}{\text{全遅延量}} \right)$$

比率を算出、フルスケールを掛けて出力値へ

出力校正の式

- $$Dout(N) = \frac{\sum_{i=1}^N Pin(i)}{\sum_{i=1}^{FS} Pin(i)} \times FS$$

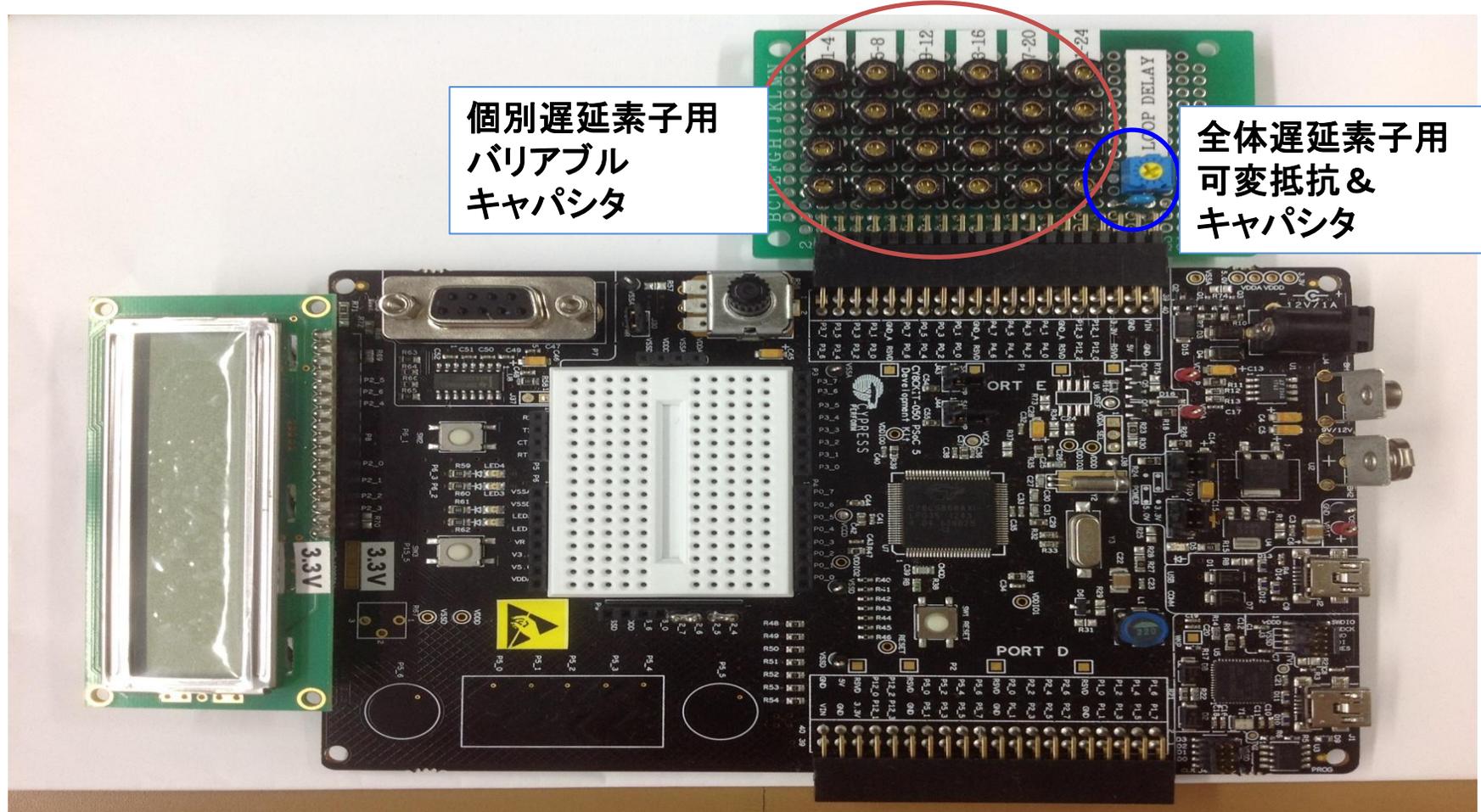
N: 校正する **bit**
Dout(N): **N** 番目 **bit** の校正後出力値
Pin(i): **i** 番目遅延素子測定回数
FS: 出力最大デジタル値

アウトライン

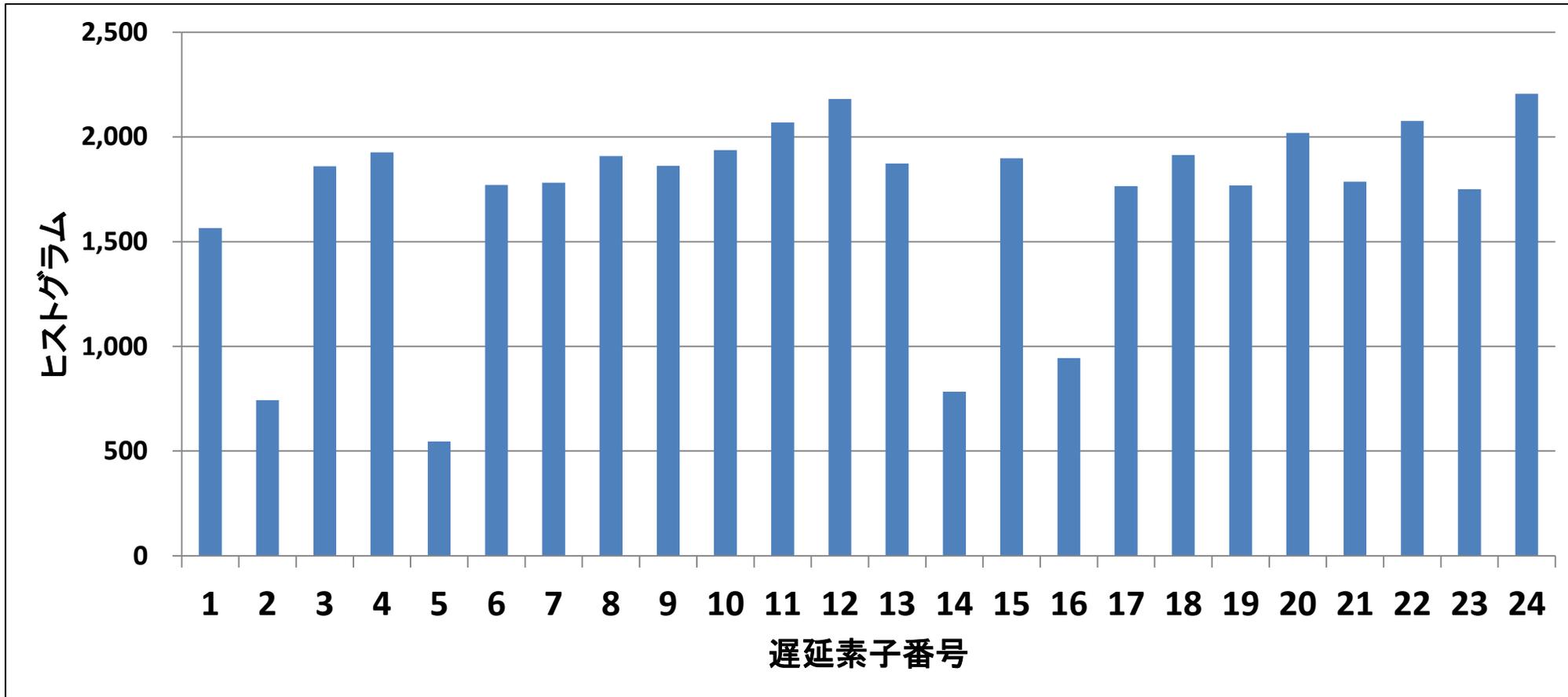
- 研究背景
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作・測定・評価
- まとめ

自己校正TDCを実装したPSoC

PSoC (Programmable System-on-Chip) 5LP & 外付け遅延素子

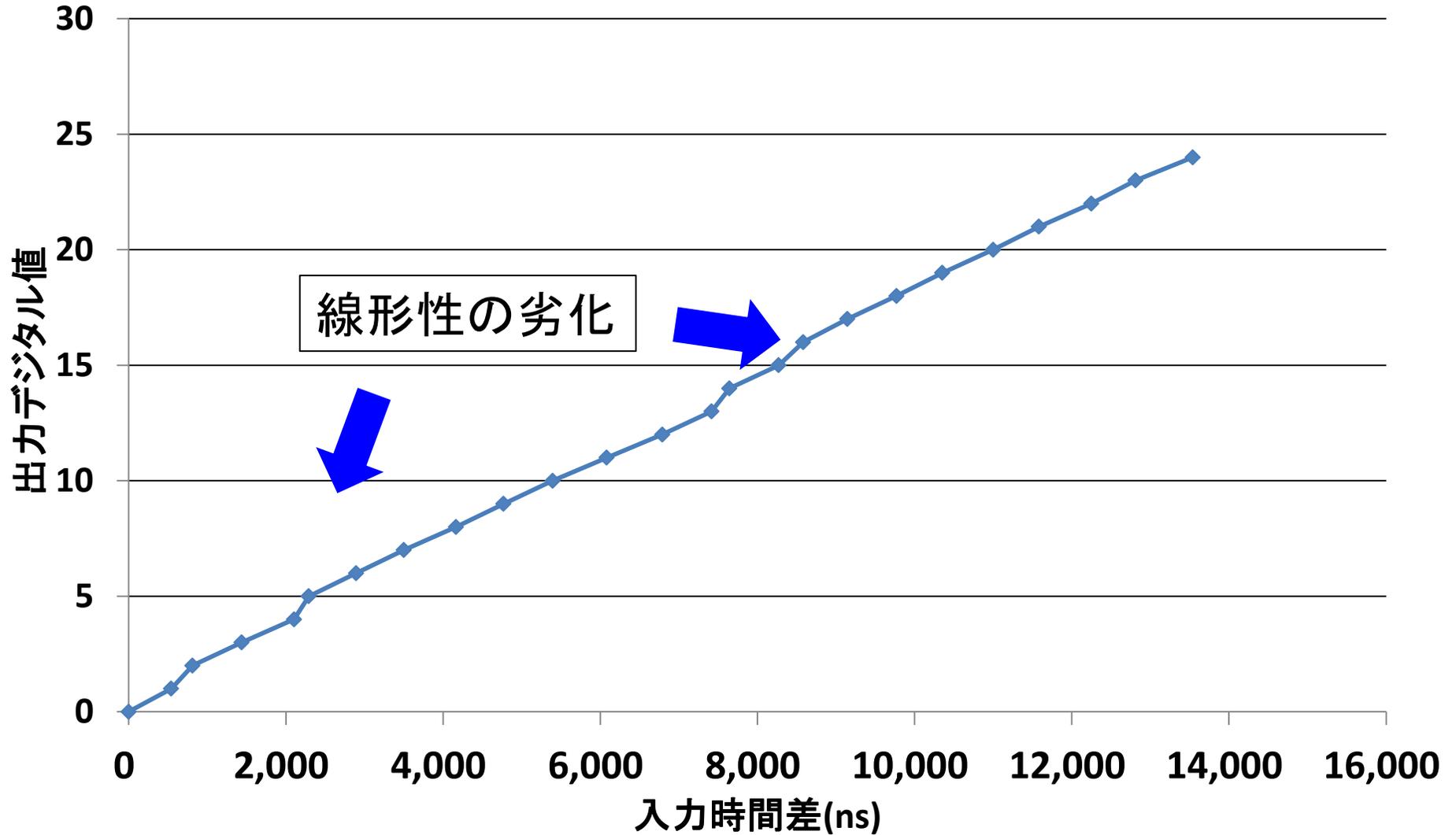


自己校正モードヒストグラム



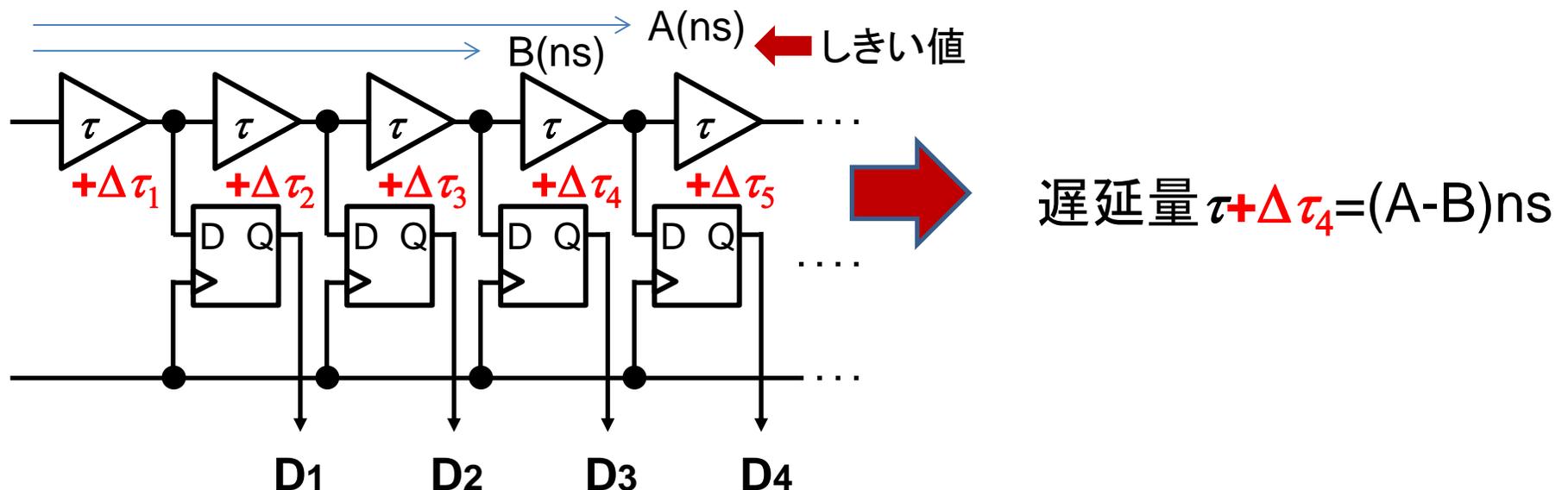
- 合計40,934回、各ビットあたり平均1,700回を記録

通常TDCモード測定結果



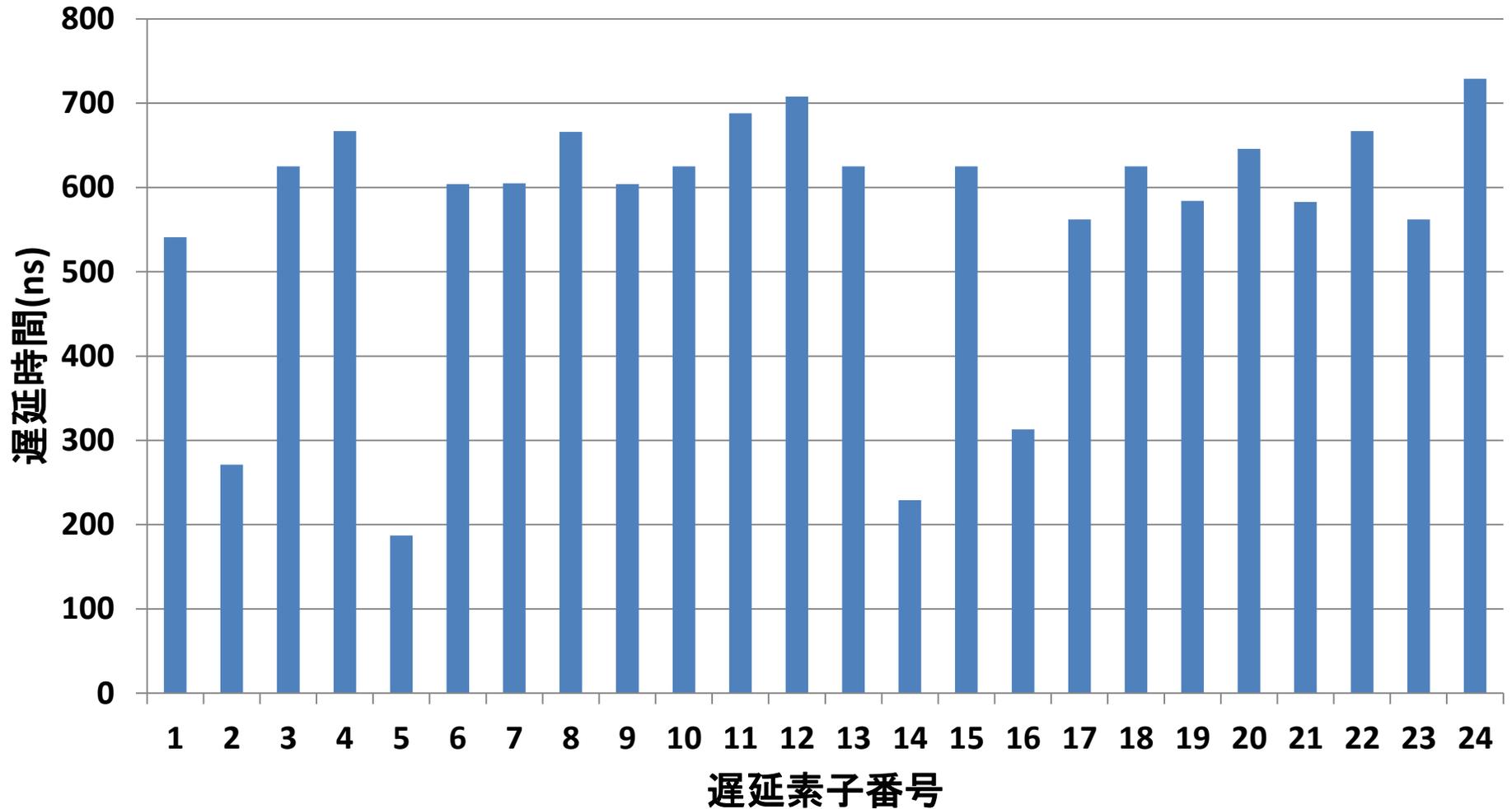
各素子遅延時間の計算

- TDCの通常測定モードにより時間差-デジタル値変換特性を計測
- フラッシュ型TDCでは下段から順に信号が伝搬
- (指定ビットのしきい値) - {(指定ビット - 1ビット)のしきい値}により遅延素子の遅延量を計算



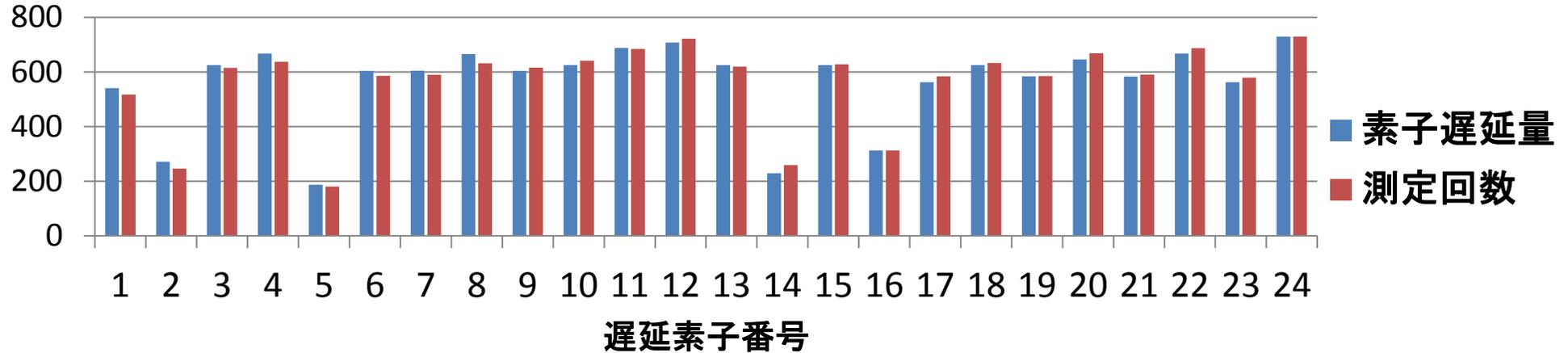
各遅延素子の遅延時間

各遅延素子の遅延時間

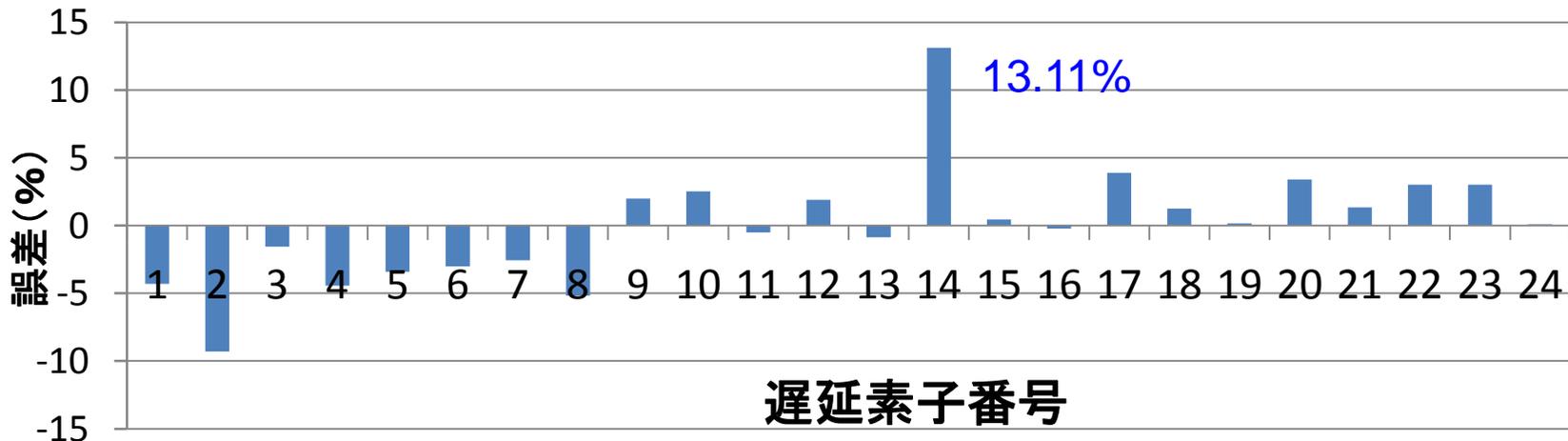


ヒストグラムと遅延時間の相関

各素子遅延量とヒストグラム' (=ヒストグラム/3.02)



遅延量とヒストグラムの誤差(%)



自己校正の計算

自己校正モードで取得したヒストグラムより各遅延素子毎の総和を算出

例 : $P_{in4} = 568(P_{in1}) + 743(P_{in2}) + 1860(P_{in3}) + 1927(P_{in4}) = 6094$



校正係数 = 実際の測定回数総和 / 全測定回数総和

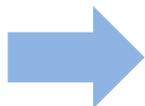
例 : $P_{in4} = 6094 / 40934 = 0.148898226$



校正情報

通常測定結果
(出力デジタル値)

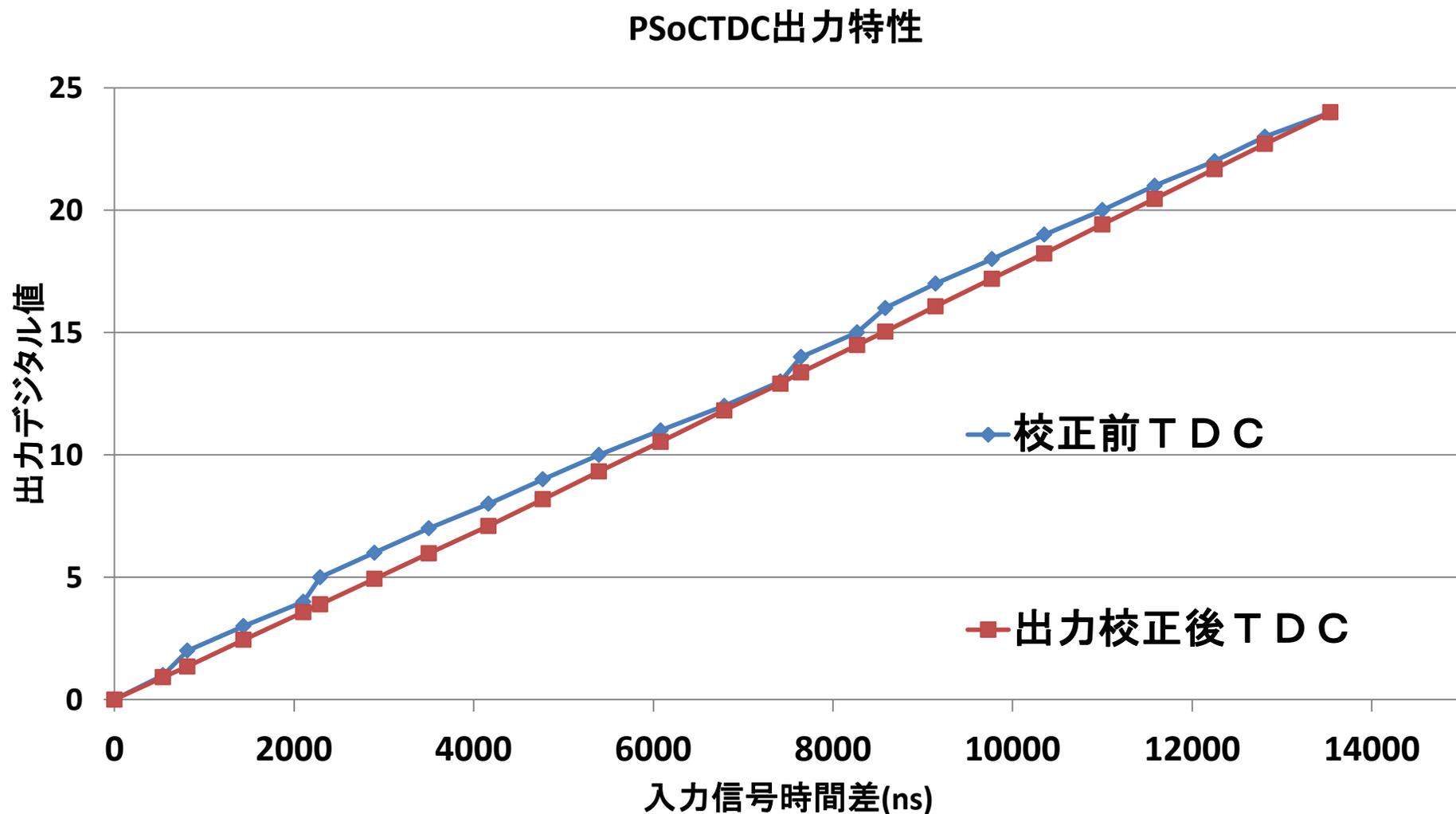
例 : 4



校正係数 \times 24 より出力値校正

例 : $D_{out}(4) = 24 \times 0.148898226 \approx 3.57$

自己校正前後のTDC入出力特性



校正の評価

最小二乗法を用いて線形近似直線を求め、線形近似直線との誤差を計算

$$gain = \frac{N \times K_4 - K_1 \times K_2}{N \times K_3 - K_1^2} \quad offset = \frac{K_2}{N} - gain \times \frac{K_1}{N} \quad N: \text{データ数}(24)$$

i: 出力数

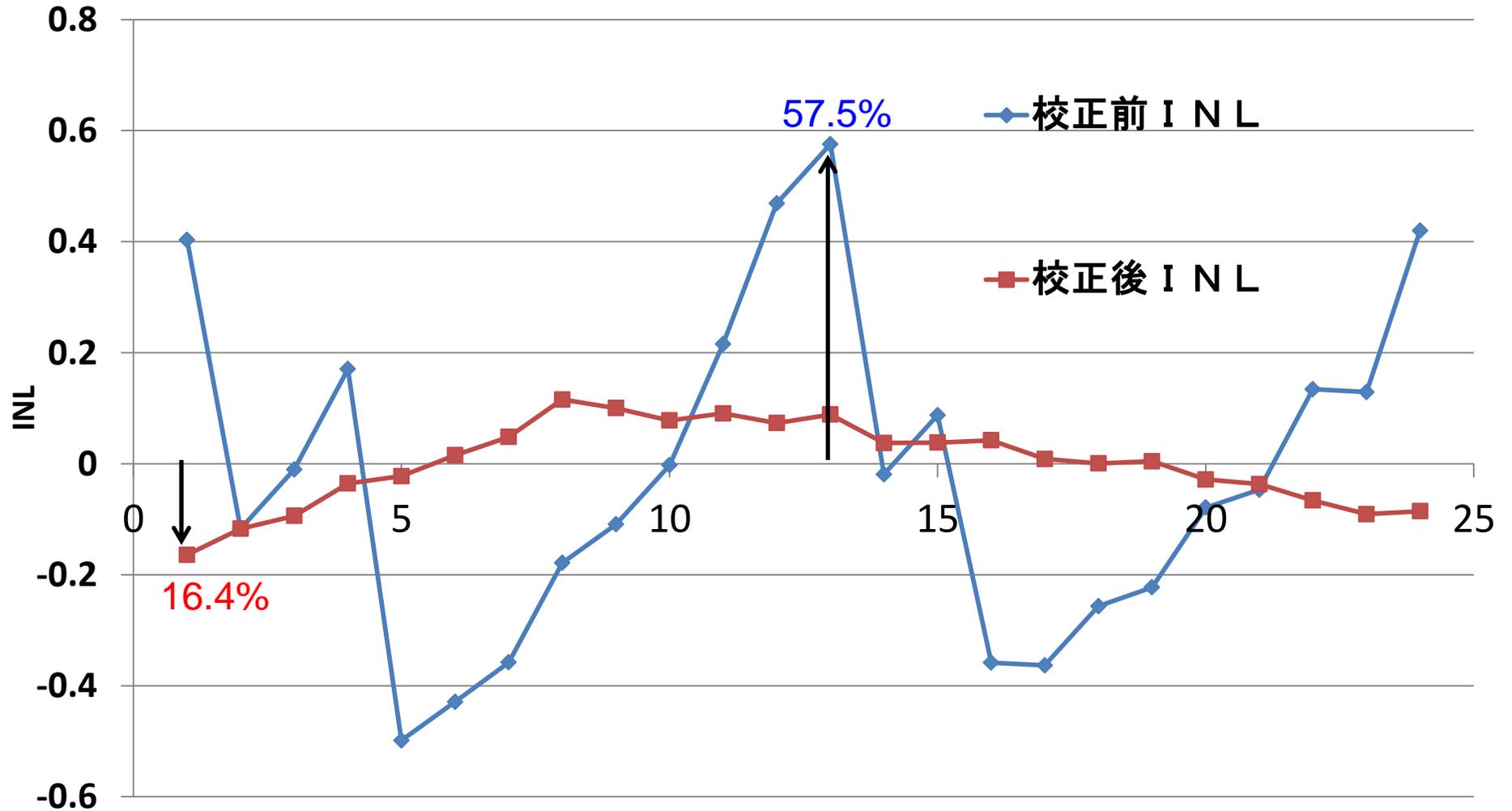
$$K_1 = \sum_{i=0}^{N-1} i \quad K_2 = \sum_{i=0}^{N-1} S(i) \quad K_3 = \sum_{i=0}^{N-1} i^2 \quad K_4 = \sum_{i=0}^{N-1} i \times S(i) \quad S(i): \text{入力遅延差のしきい値}$$

$$INL(i) = \frac{S(i) - (gain_{bestfit} \times i + offset_{bestfit})}{V_{LSB}}$$

INL: 積分非直線性誤差

近似直線を取り、誤差を1LSBの値で正規化

校正前後のINL



アウトライン

- 研究背景
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作・測定・評価
- **まとめ**

まとめ

- アナログFPGAで自己校正TDCを実装した
- 実装したTDCにより時間-デジタル値変換測定を行った
- ヒストグラム法によるTDCの線形性の出力校正によって
INL最大57.5%が校正後最大16.4%まで減少を実測で確認できた。

今後の課題

完全な線形にはならず。

理由として

- 通常測定モードの入力可能な時間差信号の分解能不足
- 測定回数の不足



ヒストグラムの増加による更なる線形性の向上

LSIタイミング試験システムでの
BOST (Built-Out Self-Test)として展開していく。

ありがとうございました

Time continues indefinitely.



Kobayashi
Laboratory



We are analog designers,
but we appreciate digital technology.



質疑応答1

- 弓仲先生-PSoCへの実装はどのように行ったか？

回路図を製図、信号のタイミングやヒストグラムエンジン等をC言語で記述、両方をPSoCにインストールし実装した。

- 北見工大の先生-ヒストグラムの回数と時間のトレードオフについて

自己校正については完全に別のモードとなるため時間は考慮していない

今回のTDCでは各bit5万回程度のヒストグラムが望ましいのではないか

質疑応答2

- 小林先生-PSoCの測定回数的大幅増加はすぐ可能か？

PSoCへのプログラミング技術があれば今すぐにも可能

しかし、私にはその技術がないため

光サイエンスの佐藤様と相談してヒストグラムの大幅増加を行いたいと考えています。