

ノイズシェーピングによる サイクリックADCの高性能化

群馬大学 修士1年

電子情報・数理教育プログラム

新井 薫子

OUTLINE

- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

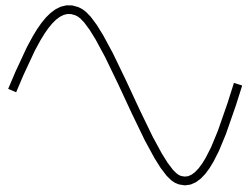
OUTLINE

- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

研究背景

高精度のAD/DA変換器の要求

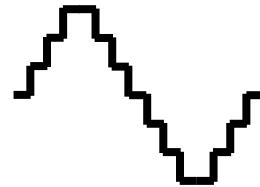
Analog input



ADC

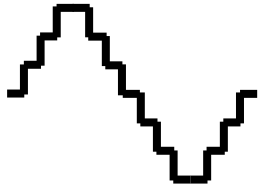


Digital output



量子化誤差が発生

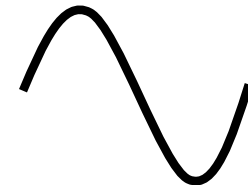
Digital input



DAC



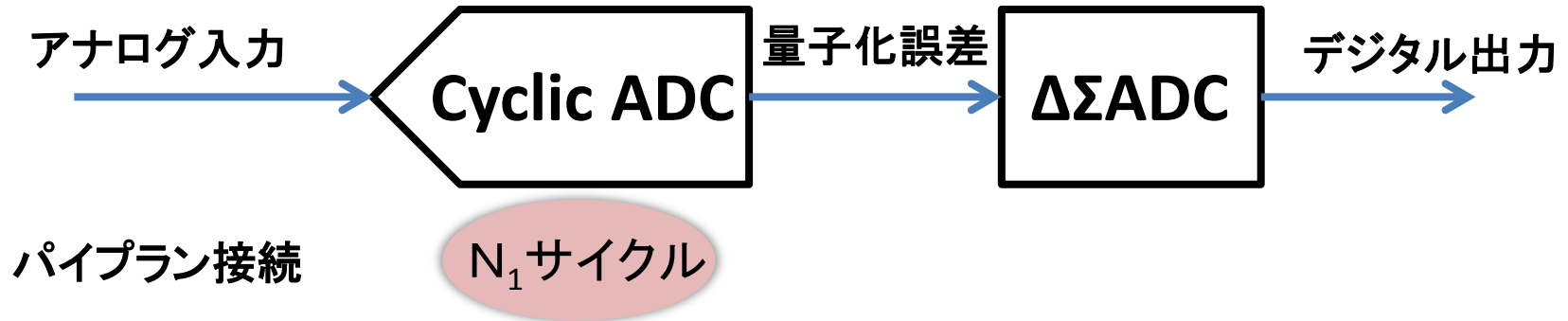
Analog output



量子化誤差の低減が必要

提案手法1

ノイズシェーピング・サイクリックADC

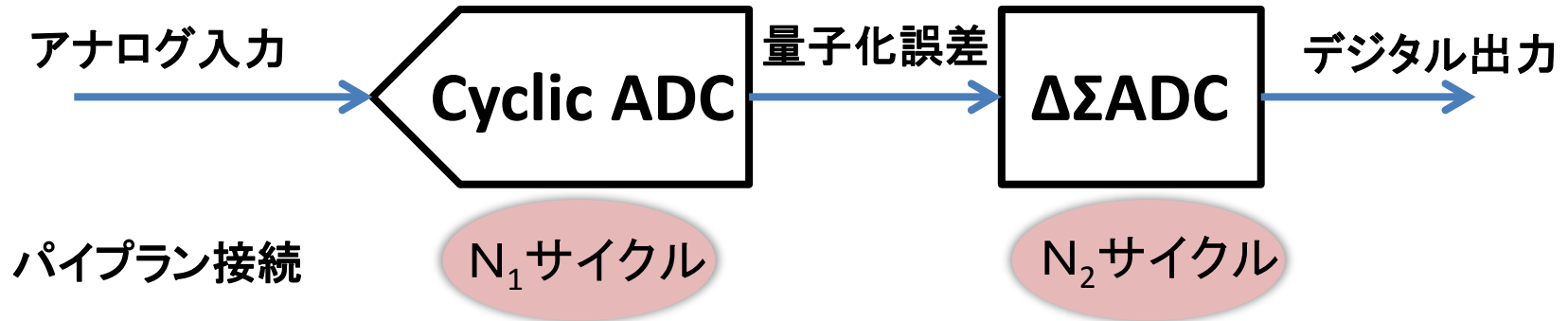


- Cyclic ADC
巡回的に動作 → 高分解能化
量子化誤差を出力
- $\Delta\Sigma$ ADC
量子化誤差をノイズシェーブ

ADCの高性能化

提案手法2

ノイズシェーピング・サイクリックADC

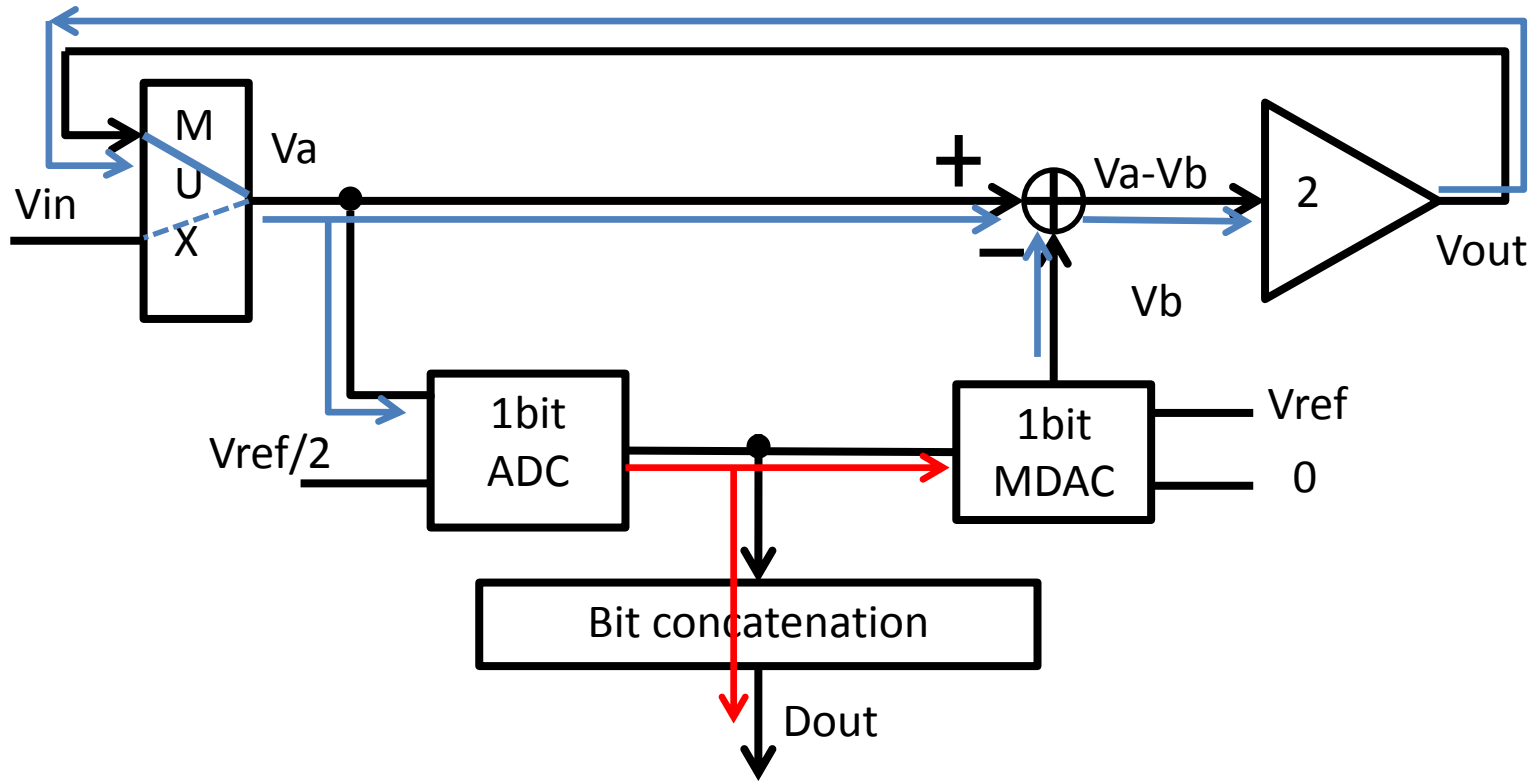


- Cyclic ADC
巡回的に動作 → 高分解能化
量子化誤差を出力
- $\Delta\Sigma$ ADC
巡回的に動作
さらに高分解能化

OUTLINE

- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

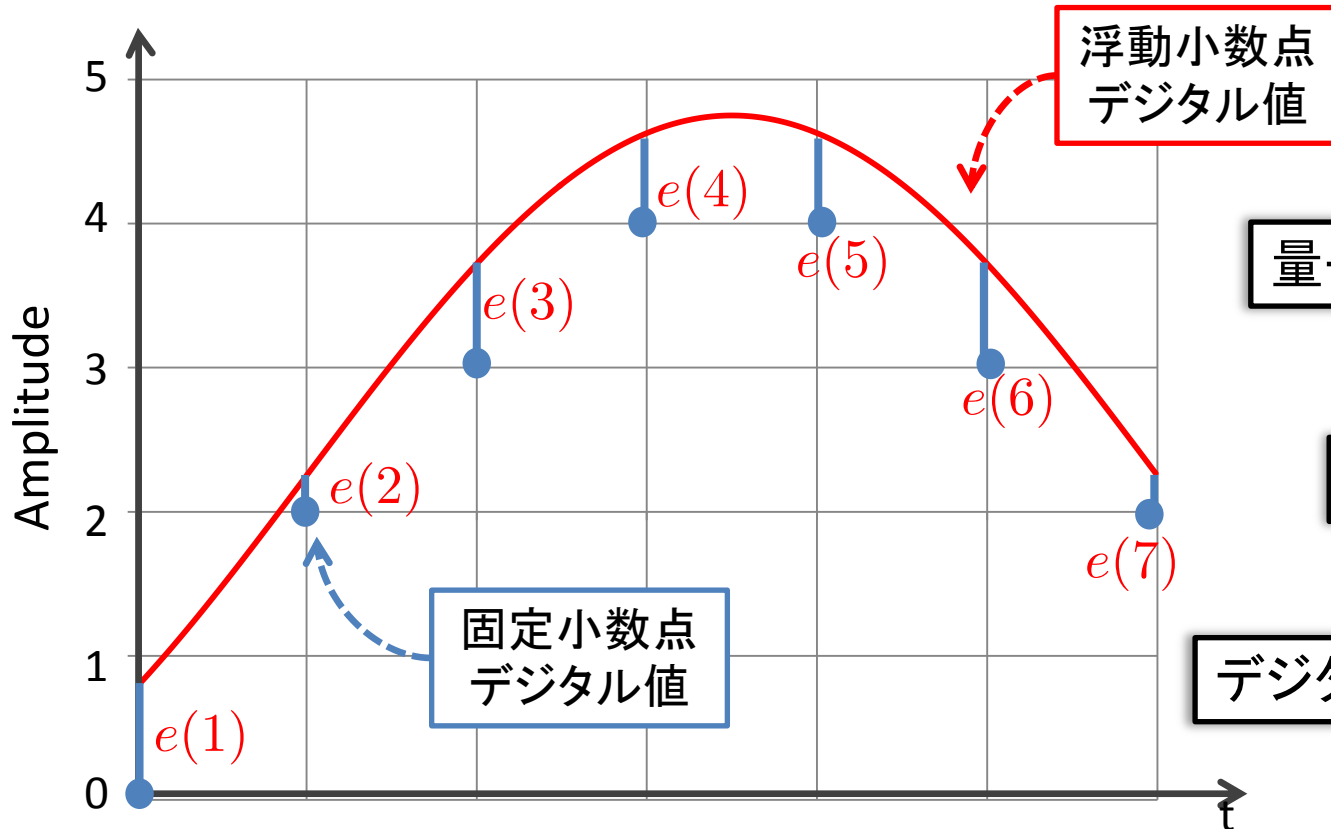
Cyclic ADC基本構成



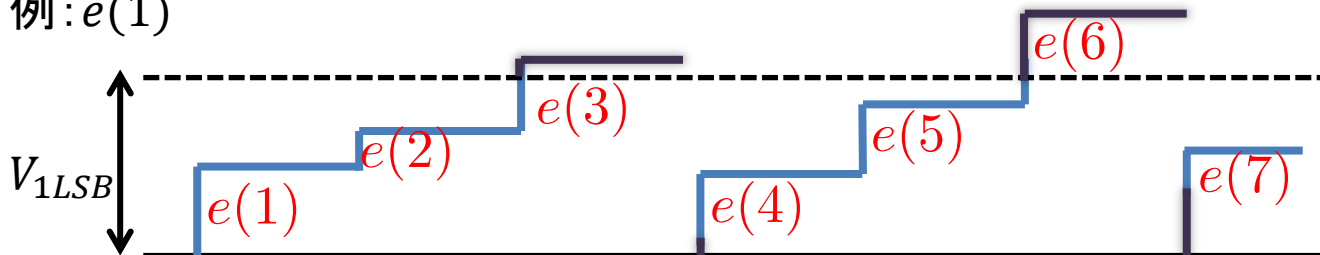
- V_{out} を入力 \longrightarrow 巡回的に基本回路を動作

$$D_{out} = \begin{cases} 1 & (V_a > V_{ref}) \\ 0 & (V_a < V_{ref}) \end{cases}$$

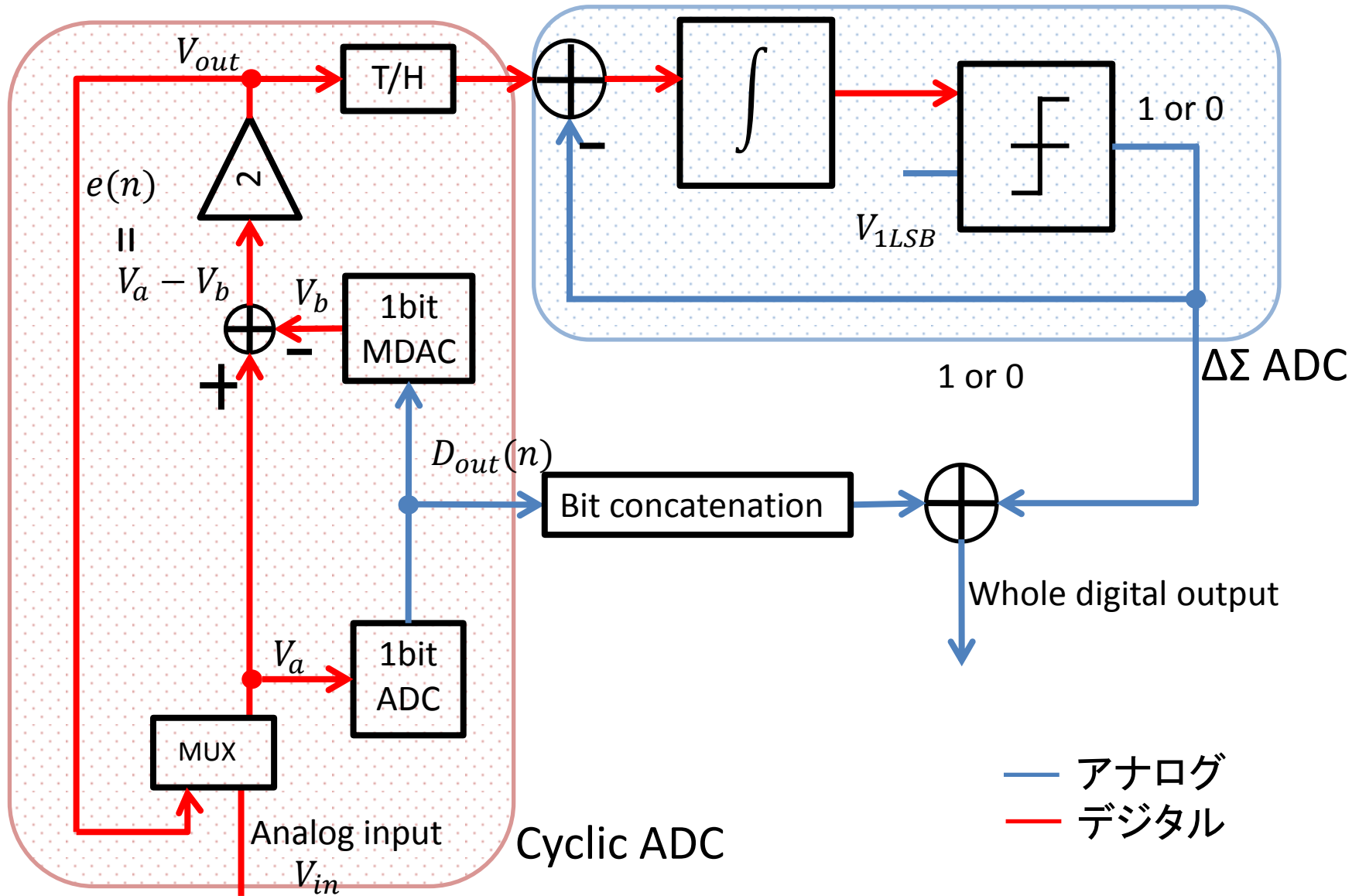
$\Delta\Sigma$ ADC 基本原理



例: $e(1)$

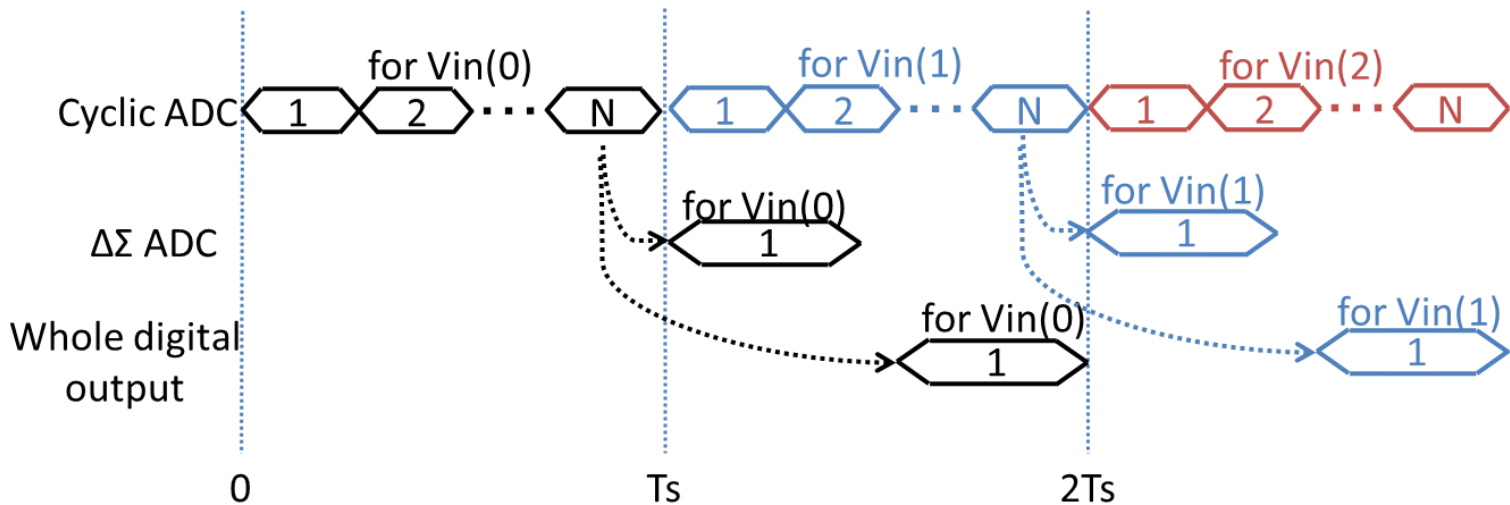
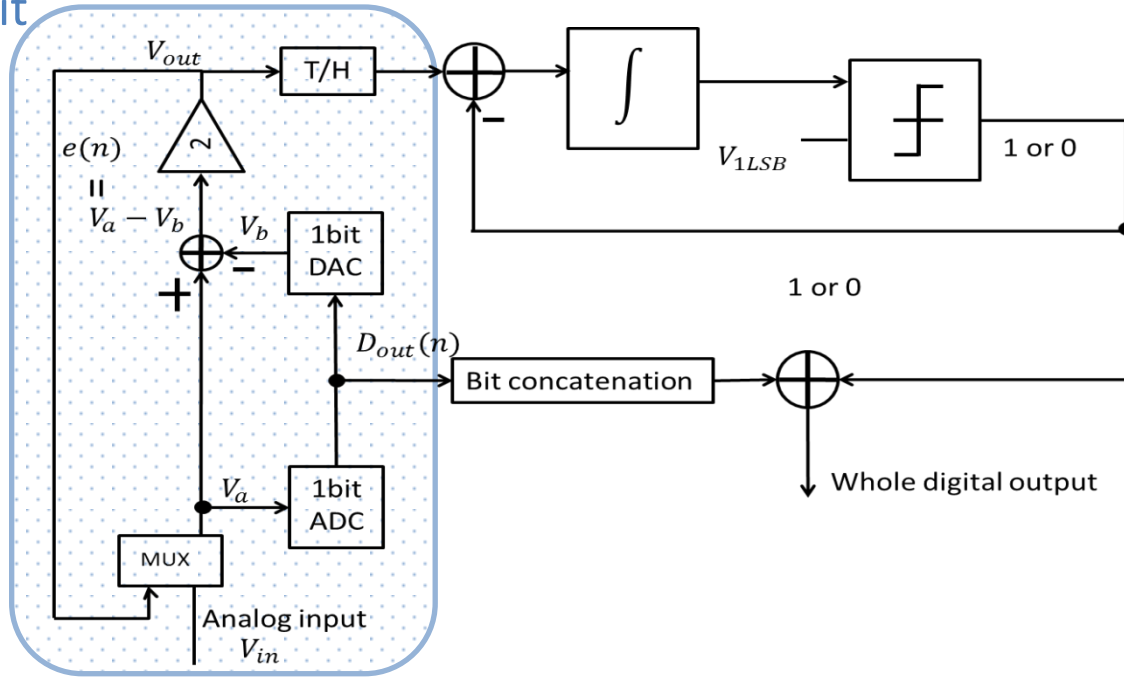


Noise Shaping Cyclic ADC 基本構成

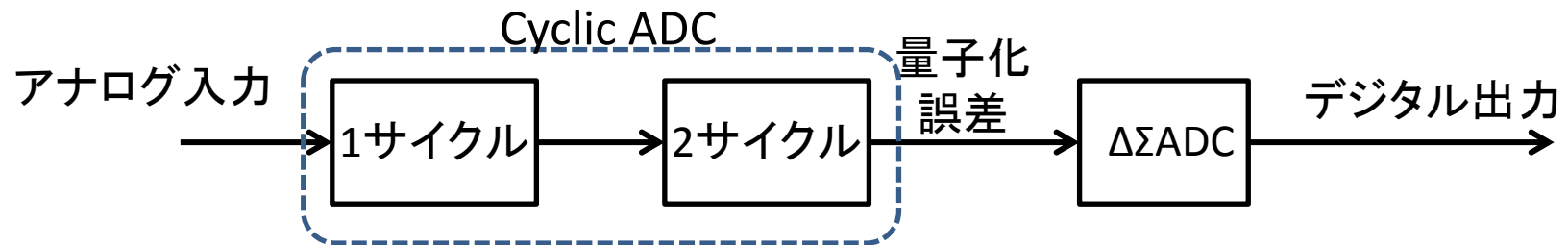


提案手法1 タイミングチャート

Cyclic ADC : N_1 bit



Noise Shaping Cyclic ADC 提案手法1 (2bit)



アナログ入力	Cyclic 出力	量子化誤差	$\Delta\Sigma$
$V_{in}(1)$	$D_{out1}(1), D_{out2}(1)$	$e(1)$	$e(1) - V_{1LSB}$
$V_{in}(2)$	$D_{out1}(2), D_{out2}(2)$	$e(2)$	$e(1) + e(2) - V_{1LSB}$
$V_{in}(3)$	$D_{out1}(3), D_{out2}(3)$	$e(3)$	$e(1) + e(2) + e(3) - V_{1LSB}$
$V_{in}(4)$	$D_{out1}(4), D_{out2}(4)$	$e(4)$	$e(1) + e(2) + e(3) + e(4) - V_{1LSB}$

CyclicADCを動作



量子化誤差を得る



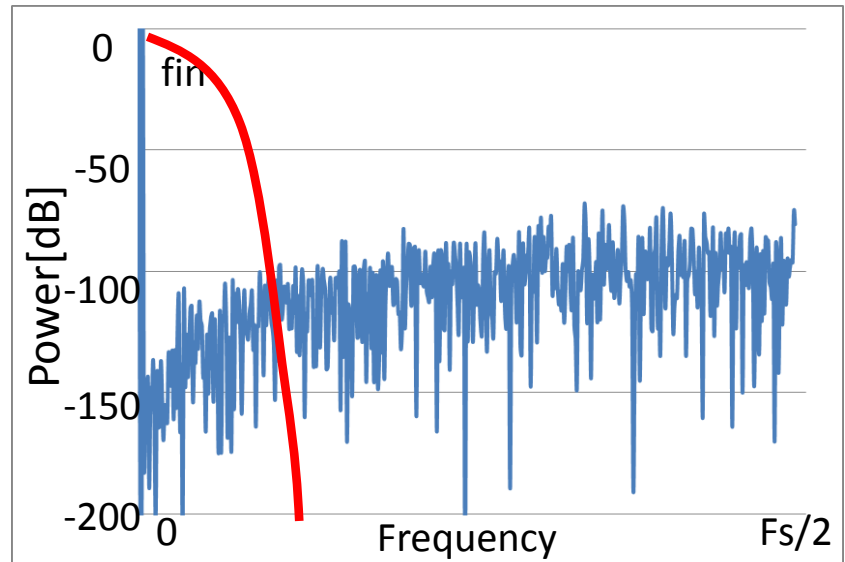
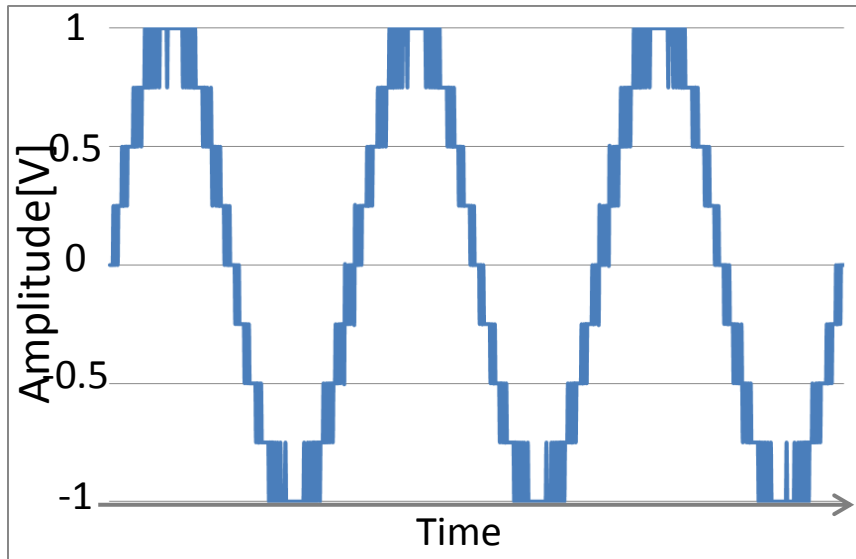
量子化誤差をノイズシェーブ

OUTLINE

- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

シミュレーション 出力波形

8bit ノイズシェーピング・サイクリックADC

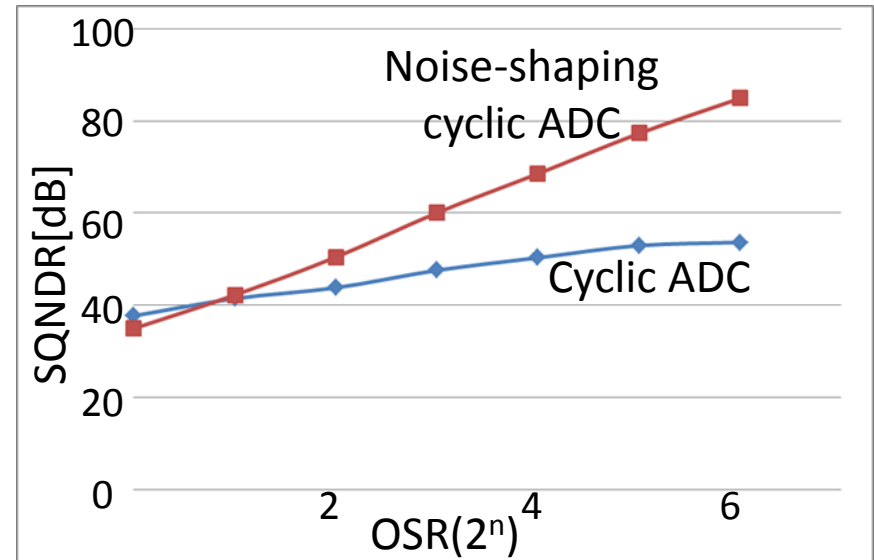
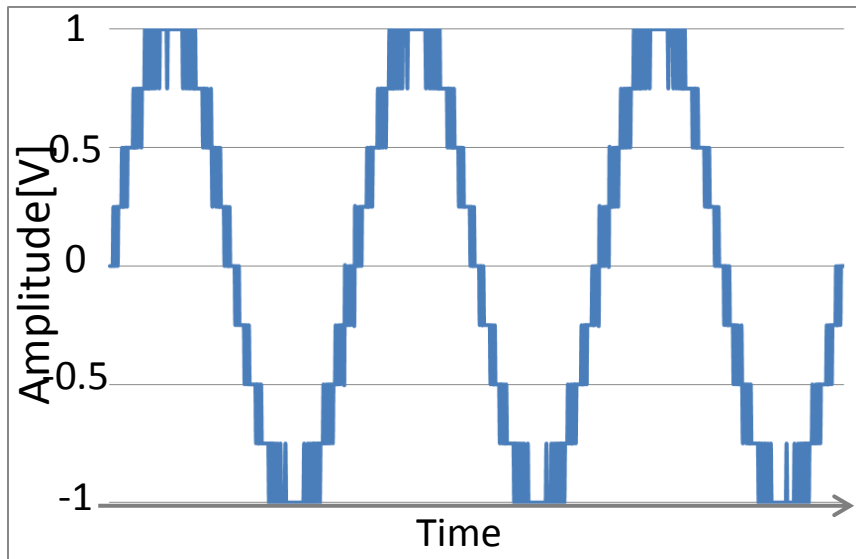


サイクリックADC + $\Delta\Sigma$ ADC

- 入力信号付近でノイズ減少
- SNDR 向上

シミュレーション 出力波形

8bit ノイズシェーピング・サイクリックADC



サイクリックADC + $\Delta\Sigma$ ADC

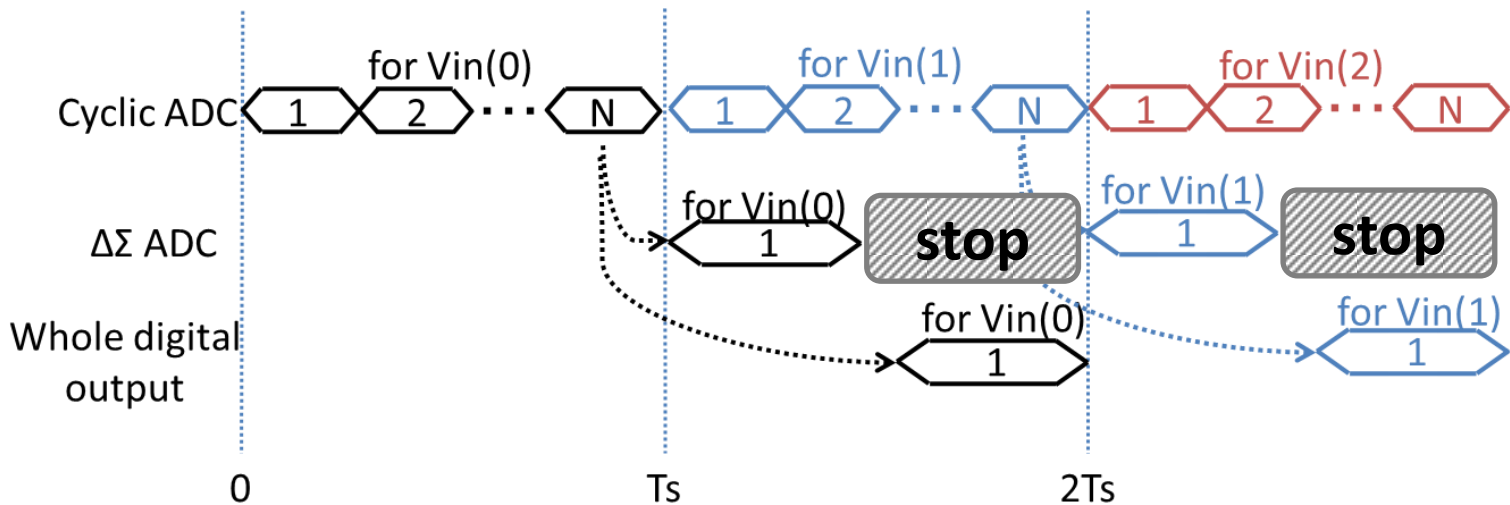
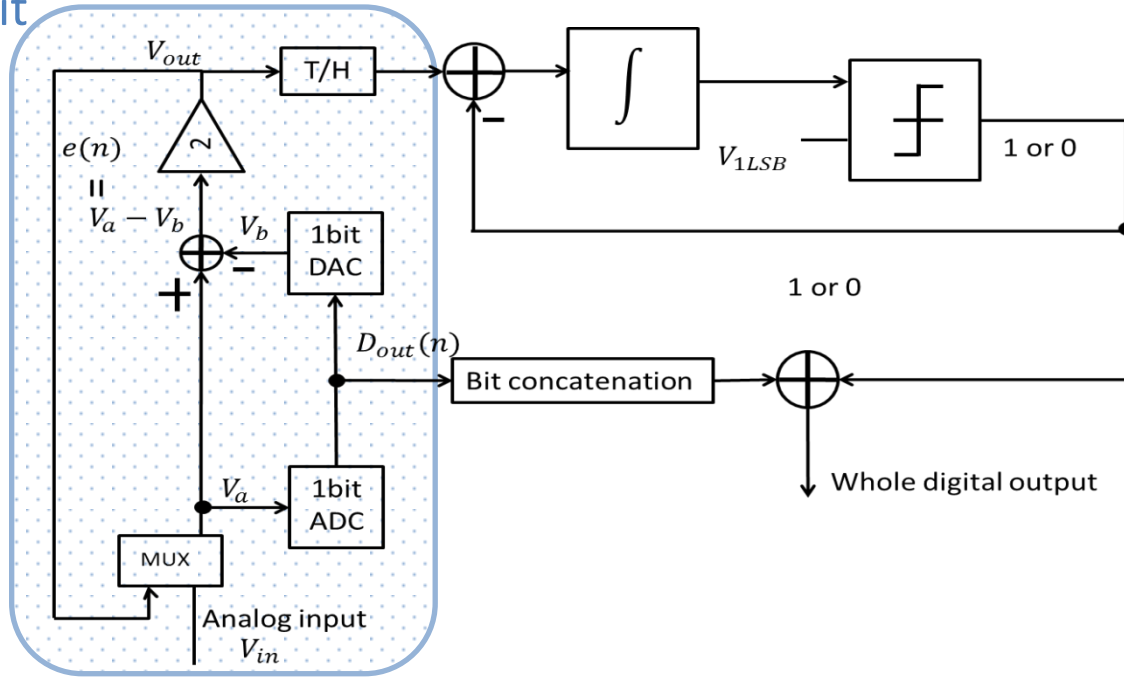
- 入力信号付近でノイズ減少
- SNDR 向上

OUTLINE

- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

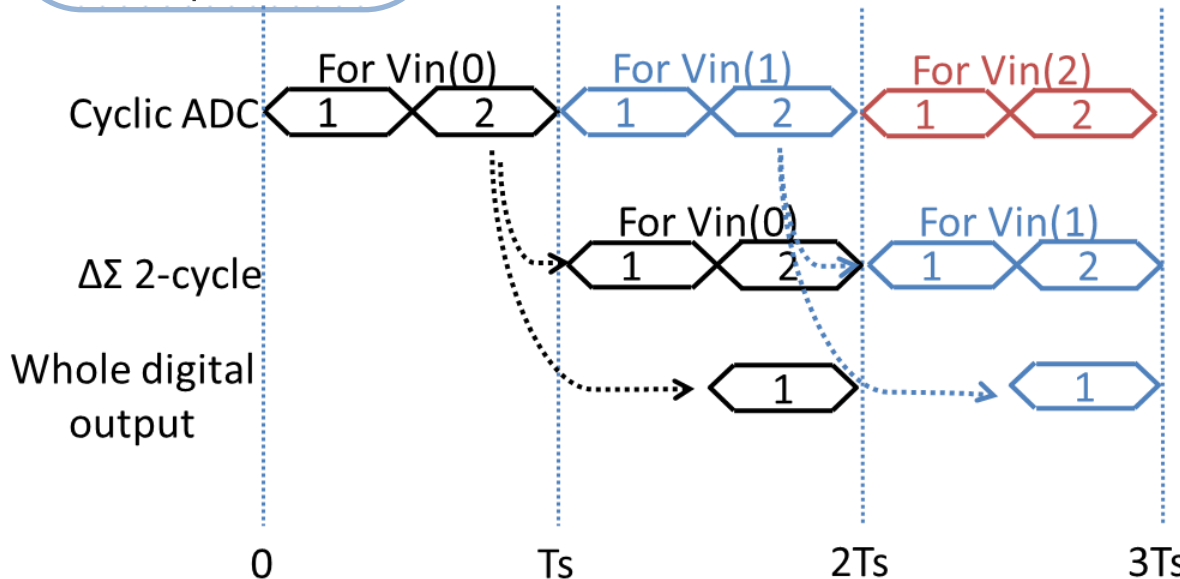
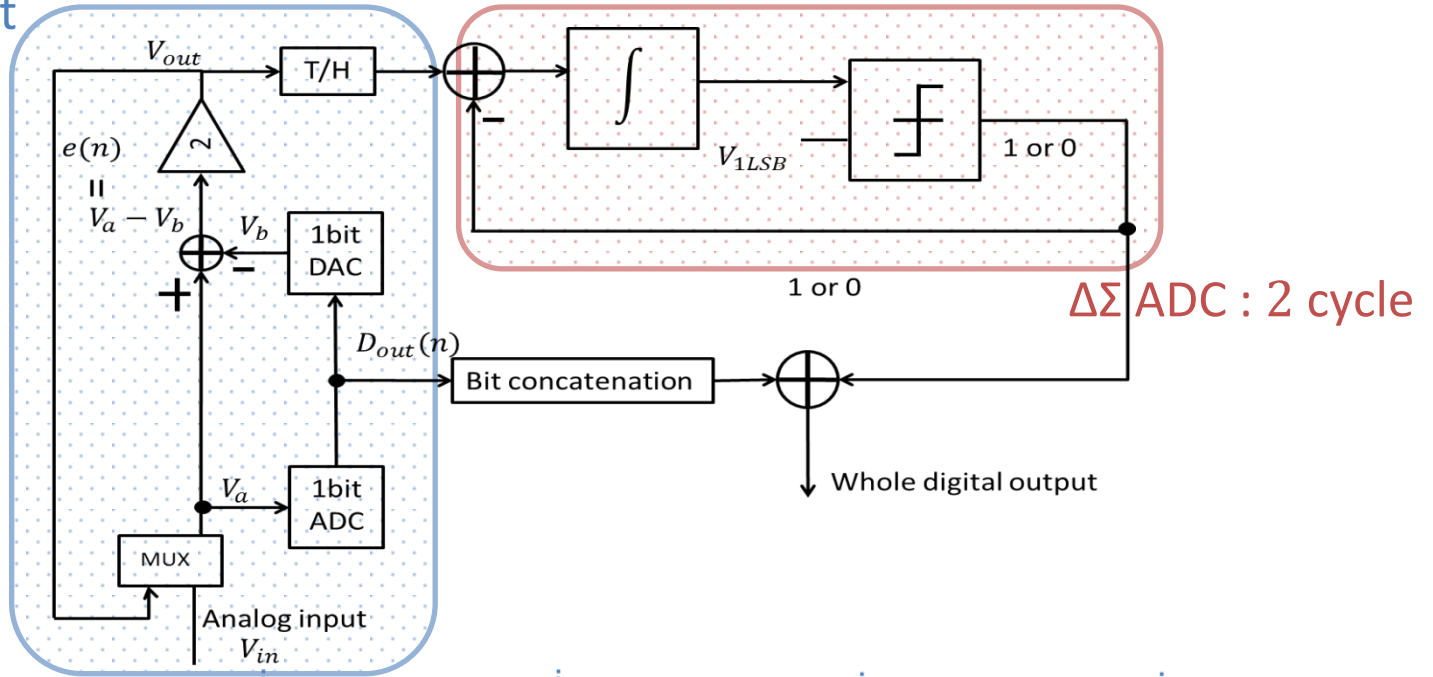
提案手法1 タイミングチャート

Cyclic ADC : N_1 bit



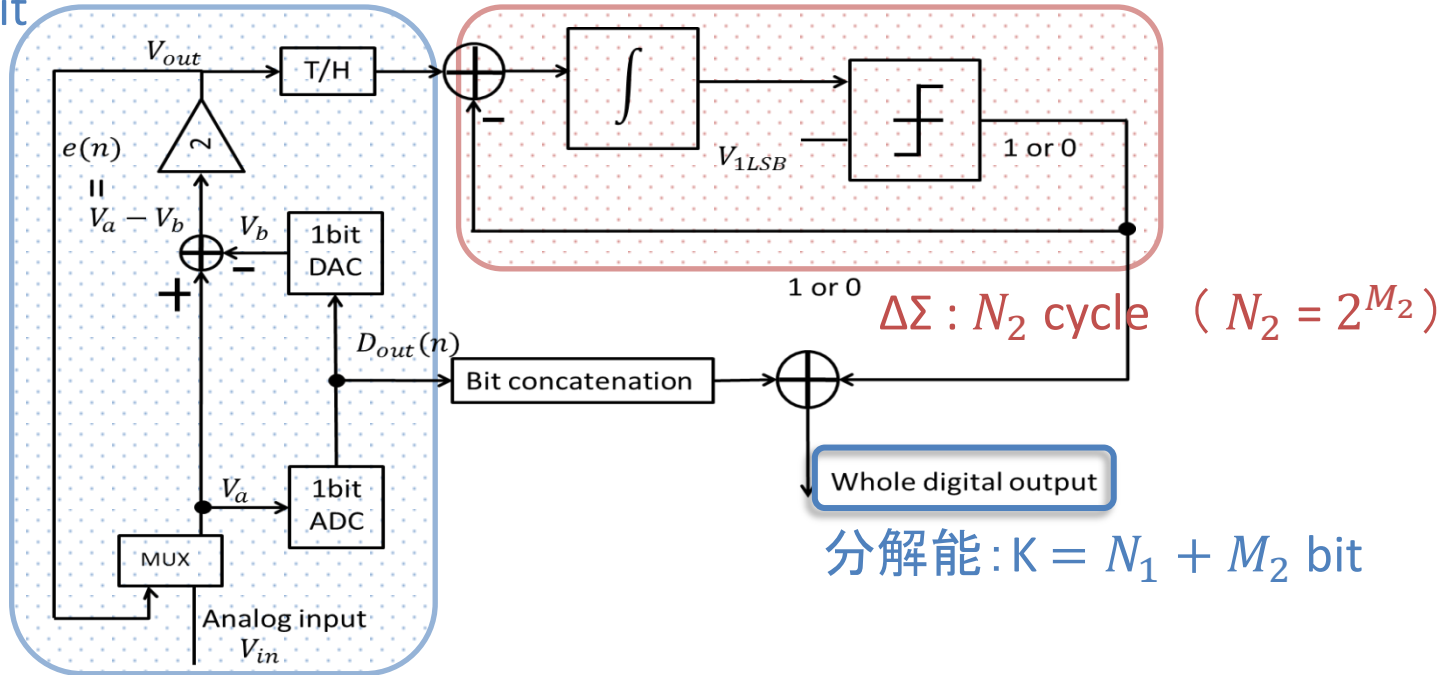
提案手法2 タイミングチャート

Cyclic ADC : 2 bit

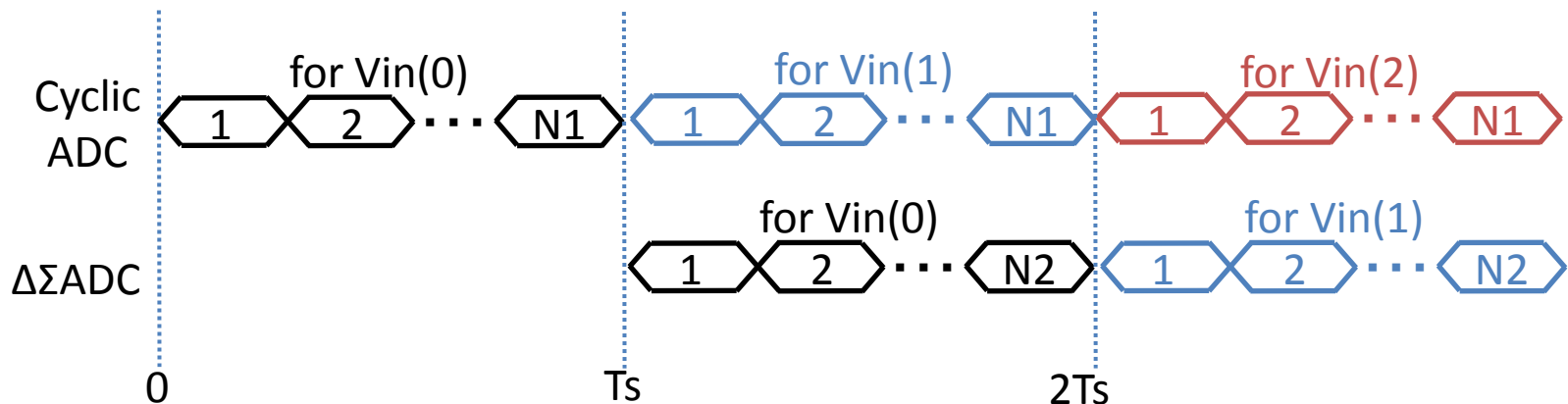


提案手法2 タイミングチャート

Cyclic ADC : N_1 bit



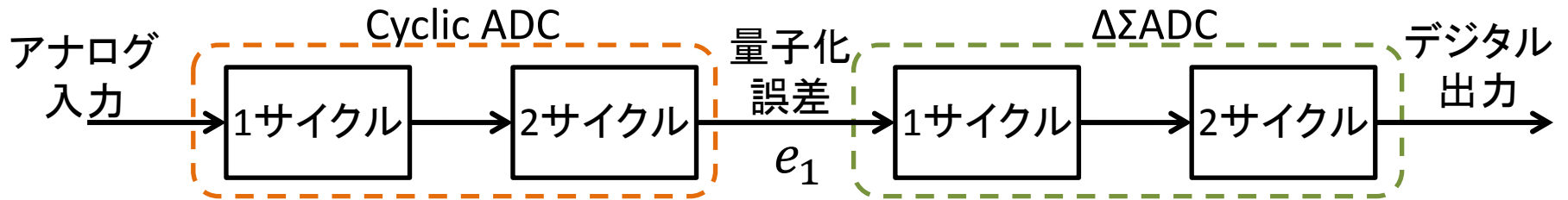
分解能: $K = N_1 + M_2$ bit



OUTLINE

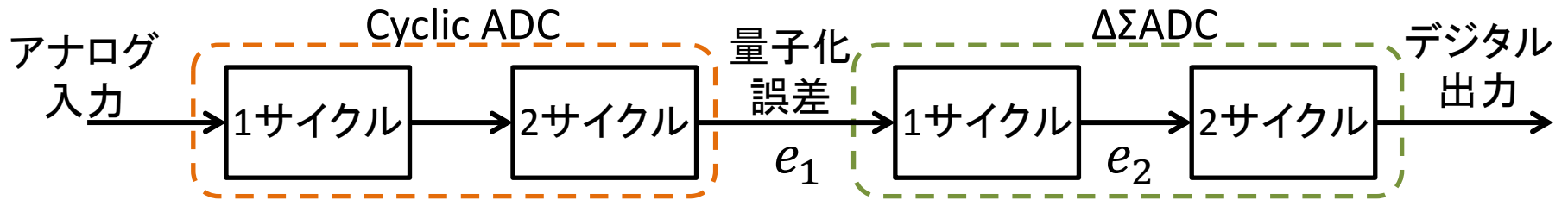
- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

Noise Shaping Cyclic ADC 提案手法2 (2bit)



アナログ入力	Cyclic 出力	量子化誤差
$V_{in}(0)$	$D_{out1}(0), D_{out2}(0)$	$e_1(0)$

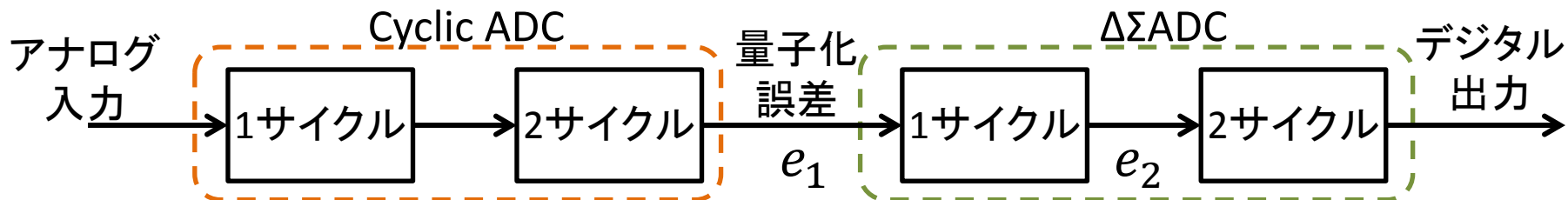
Noise Shaping Cyclic ADC 提案手法2 (2bit)



アナログ入力	Cyclic 出力	量子化誤差
$V_{in}(0)$	$D_{out1}(0), D_{out2}(0)$	$e_1(0)$

$\Delta\Sigma$ ADC 1サイクル	$\Delta\Sigma$ ADC 2サイクル
$e_1(0)$	$e_2(0)$

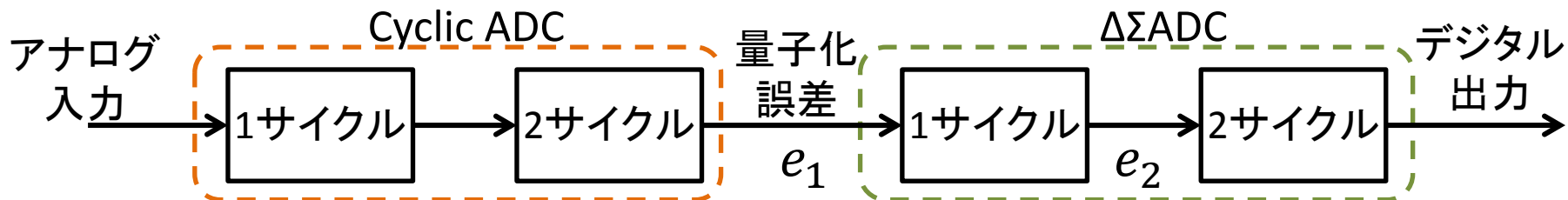
Noise Shaping Cyclic ADC提案手法2 (2bit)



アナログ入力	Cyclic 出力	量子化誤差
$V_{in}(0)$	$D_{out1}(0), D_{out2}(0)$	$e_1(0)$
$V_{in}(1)$	$D_{out1}(1), D_{out2}(1)$	$e_1(1)$

$\Delta\Sigma$ ADC 1 サイクル	$\Delta\Sigma$ ADC 2 サイクル
$e_1(0)$	$e_2(0)$
$e_1(1) + e_2(0) - V_{1LSB}$	$2e_1(1) + e_2(0) - V_{1LSB}$

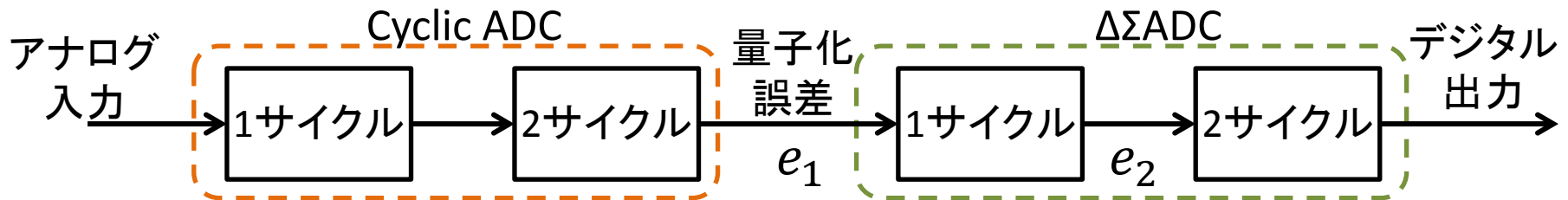
Noise Shaping Cyclic ADC提案手法2 (2bit)



アナログ入力	Cyclic 出力	量子化誤差
$V_{in}(0)$	$D_{out1}(0), D_{out2}(0)$	$e_1(0)$
$V_{in}(1)$	$D_{out1}(1), D_{out2}(1)$	$e_1(1)$
$V_{in}(2)$	$D_{out1}(2), D_{out2}(2)$	$e_1(2)$

$\Delta\Sigma\text{ADC}$ 1サイクル	$\Delta\Sigma\text{ADC}$ 2サイクル
$e_1(0)$	$e_2(0)$
$e_1(1) + e_2(0) - V_{1LSB}$	$2e_1(1) + e_2(0) - V_{1LSB}$
$e_1(2) + 2e_1(1) + e_2(0) - V_{1LSB}$	$2e_1(2) + 2e_1(1) + e_2(0) - V_{1LSB}$

Noise Shaping Cyclic ADC提案手法2 (2bit)

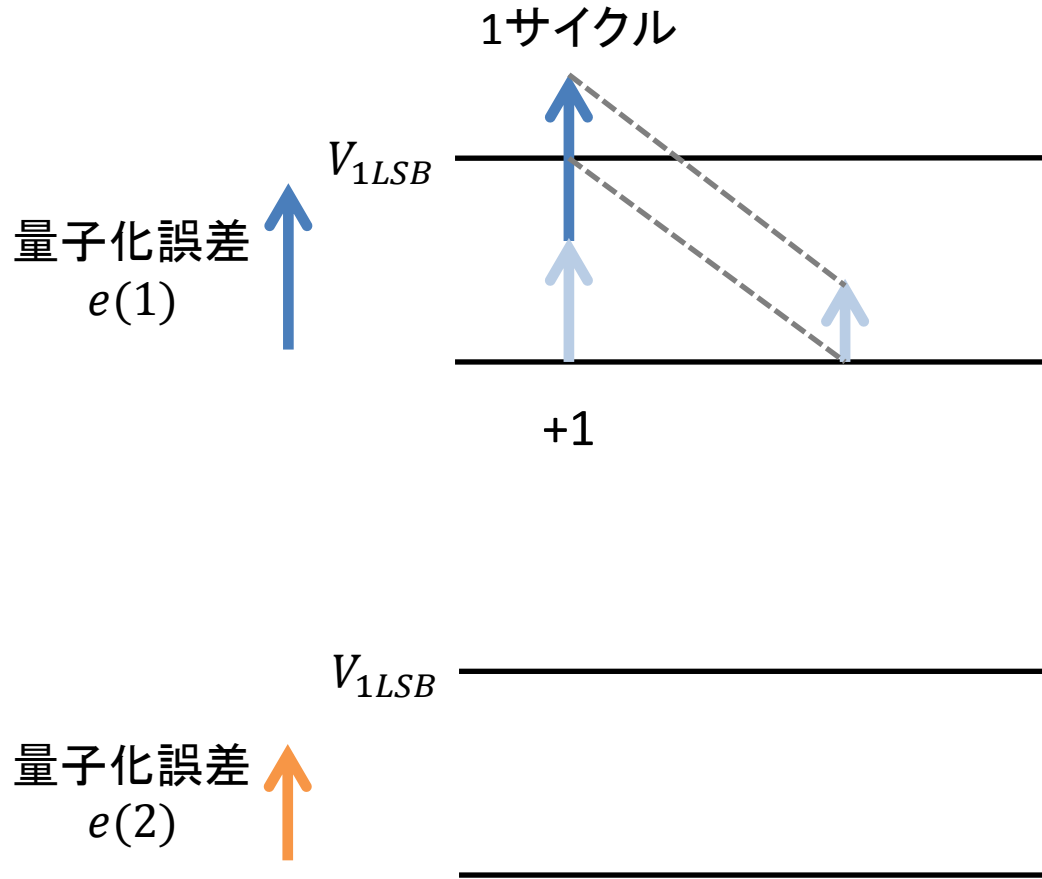


アナログ入力	Cyclic 出力	量子化誤差
$V_{in}(0)$	$D_{out1}(0), D_{out2}(0)$	$e_1(0)$
$V_{in}(1)$	$D_{out1}(1), D_{out2}(1)$	$e_1(1)$
$V_{in}(2)$	$D_{out1}(2), D_{out2}(2)$	$e_1(2)$
$V_{in}(3)$	$D_{out1}(3), D_{out2}(3)$	$e_1(3)$

$\Delta\Sigma\text{ADC}$ 1サイクル	$\Delta\Sigma\text{ADC}$ 2サイクル
$e_1(0)$	$e_2(0)$
$e_1(1) + e_2(0) - V_{1LSB}$	$2e_1(1) + e_2(0) - V_{1LSB}$
$e_1(2) + 2e_1(1) + e_2(0) - V_{1LSB}$	$2e_1(2) + 2e_1(1) + e_2(0) - V_{1LSB}$
$e_1(3) + 2e_1(2) + 2e_1(1) + e_2(0) - V_{1LSB}$	$2e_1(3) + 2e_1(2) + 2e_1(1) + e_2(0) - V_{1LSB}$

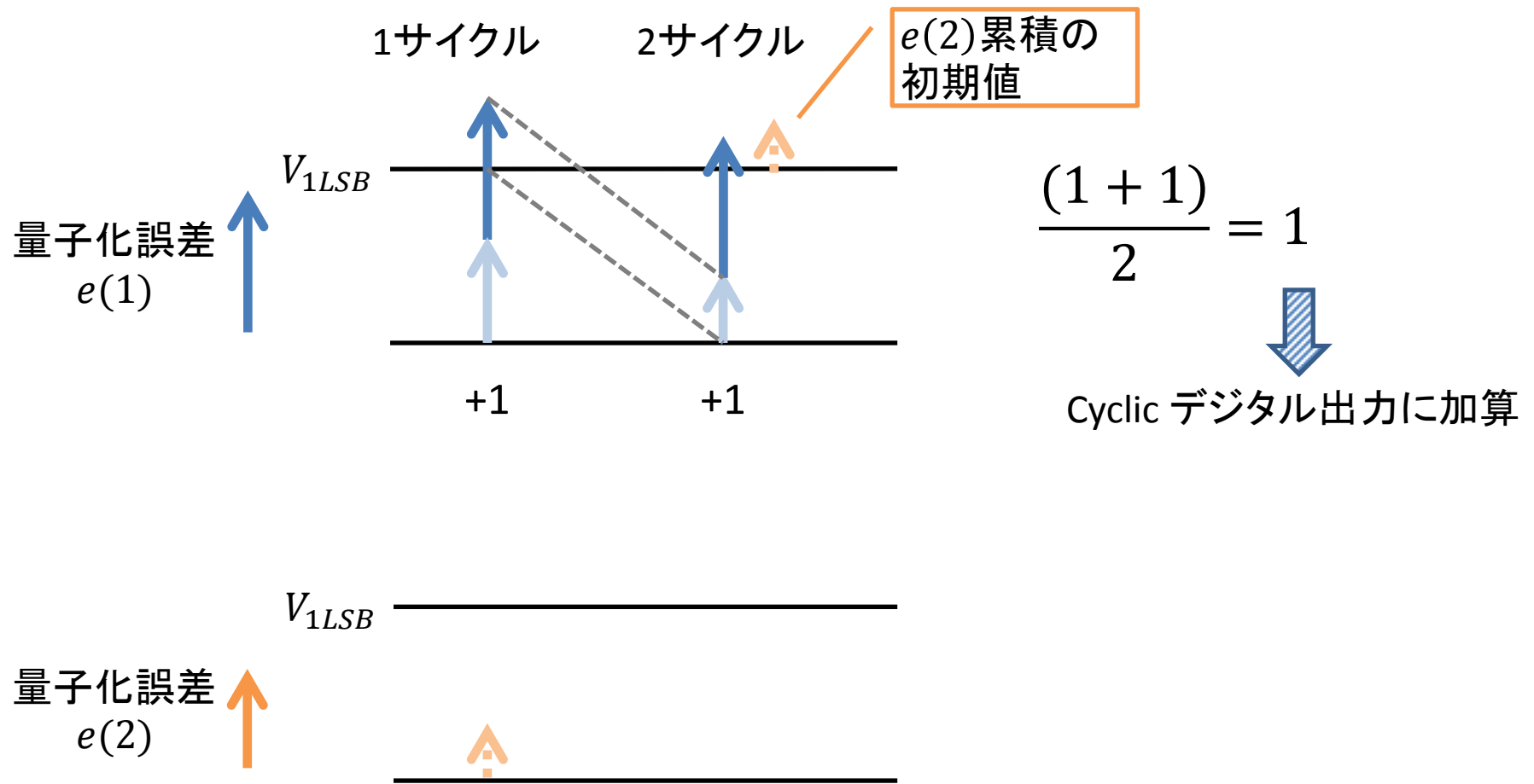
$\Delta\Sigma$ ADC 量子化誤差の累積

- $\Delta\Sigma$ 変調を2サイクル行う場合
- 量子化誤差を2回足して比較



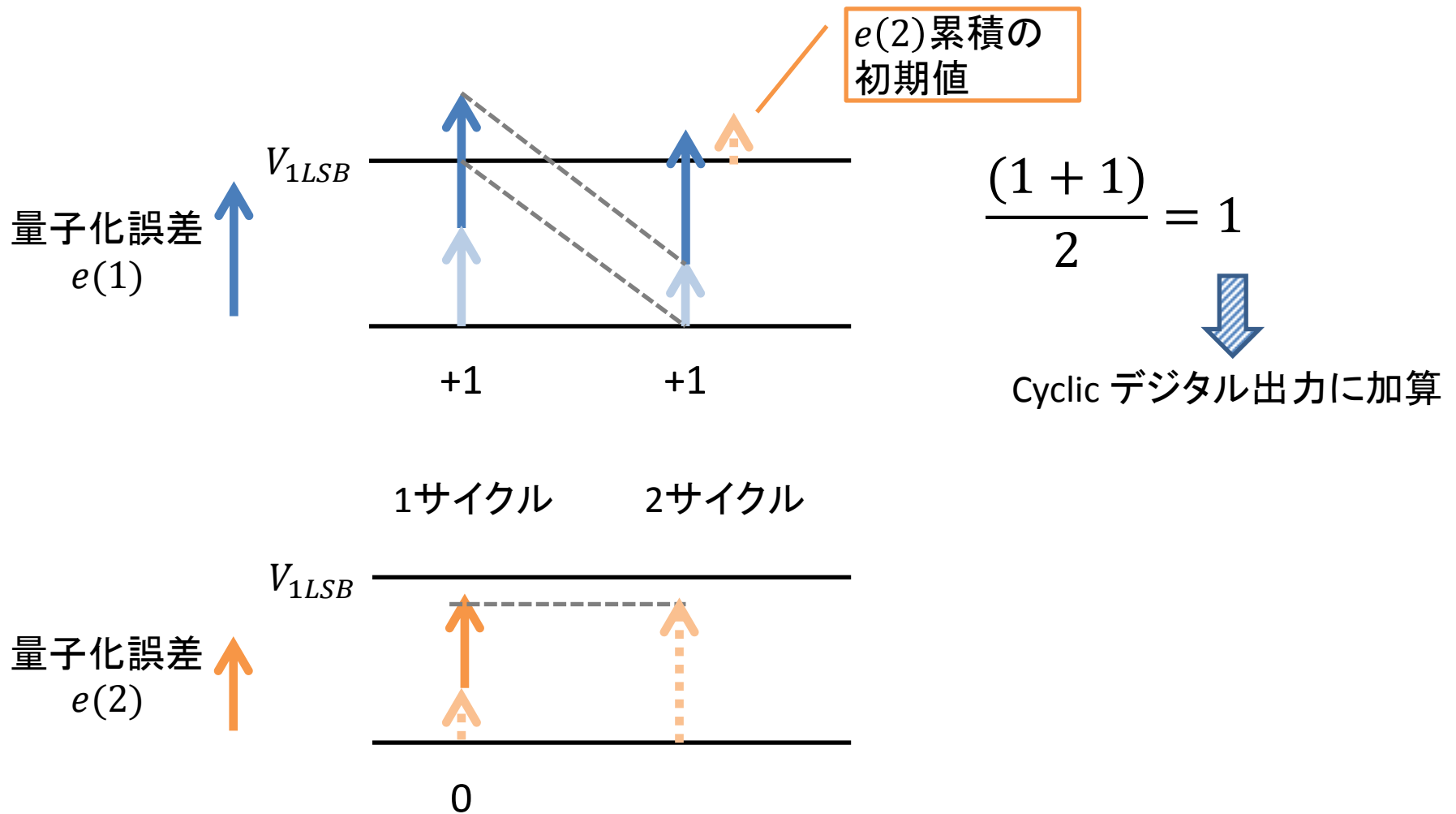
$\Delta\Sigma$ ADC 量子化誤差の累積

- $\Delta\Sigma$ 変調を2サイクル行う場合
- 量子化誤差を2回足して比較



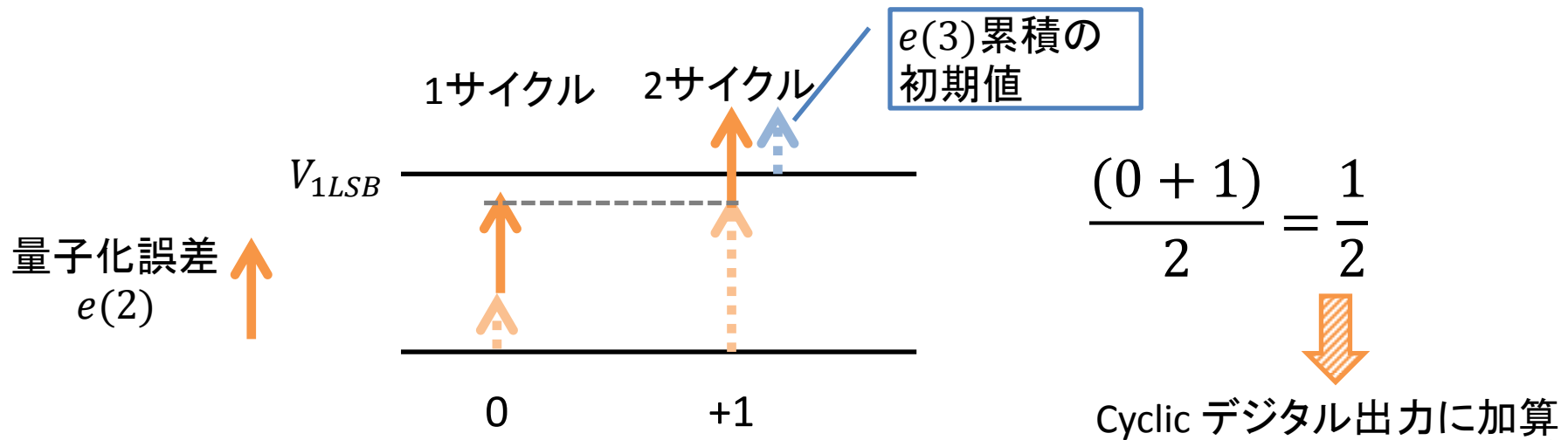
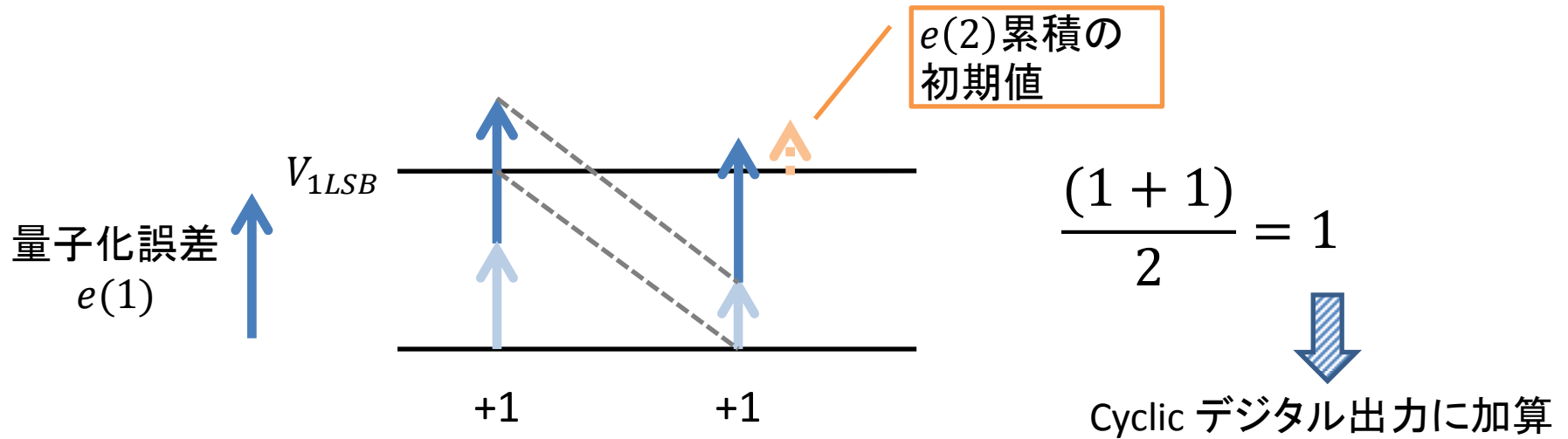
$\Delta\Sigma$ ADC 量子化誤差の累積

- $\Delta\Sigma$ 変調を2サイクル行う場合
- 量子化誤差を2回足して比較



$\Delta\Sigma$ ADC 量子化誤差の累積

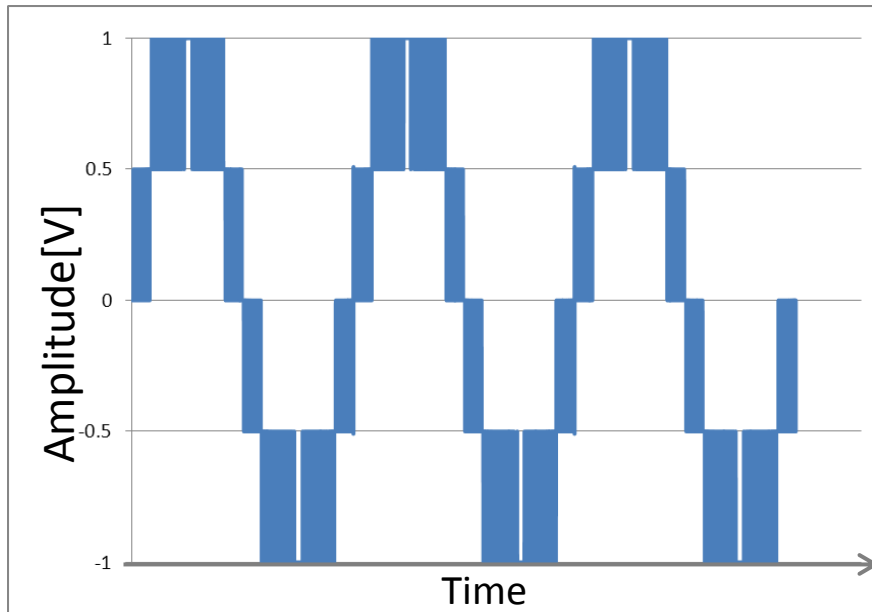
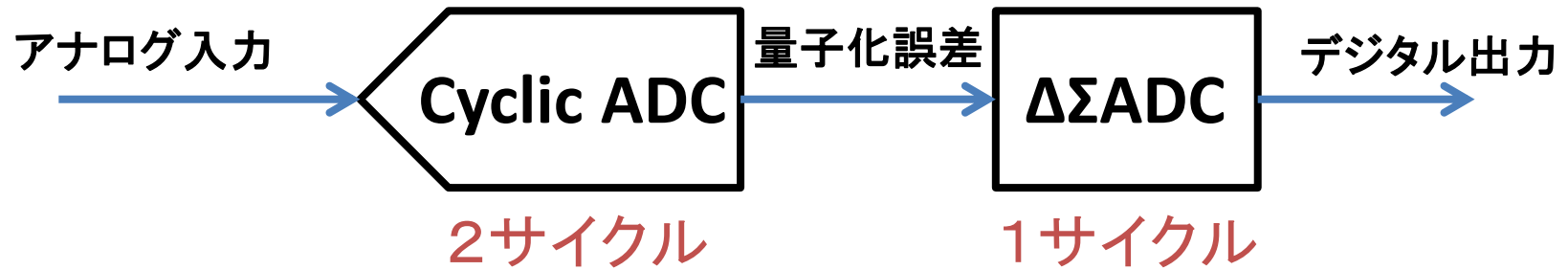
- $\Delta\Sigma$ 変調を2サイクル行う場合
- 量子化誤差を2回足して比較



OUTLINE

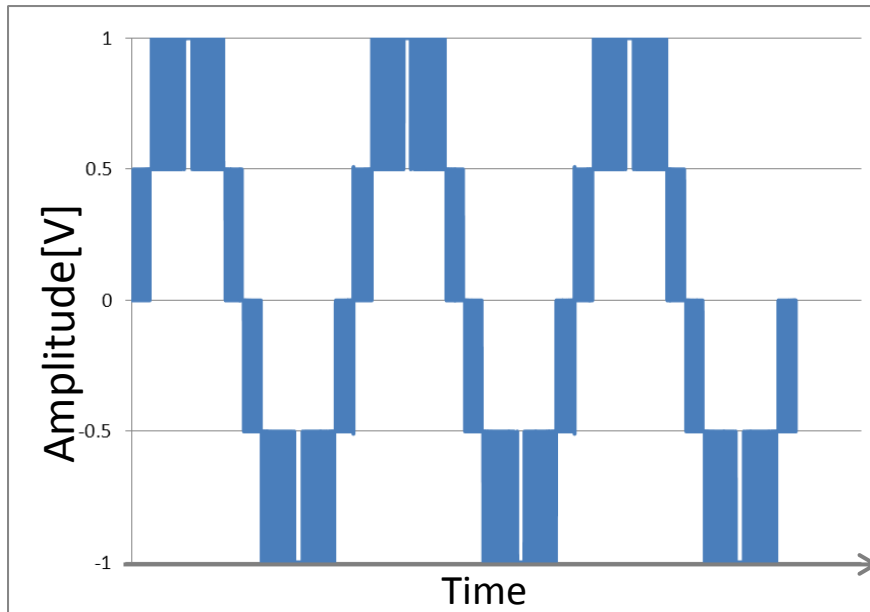
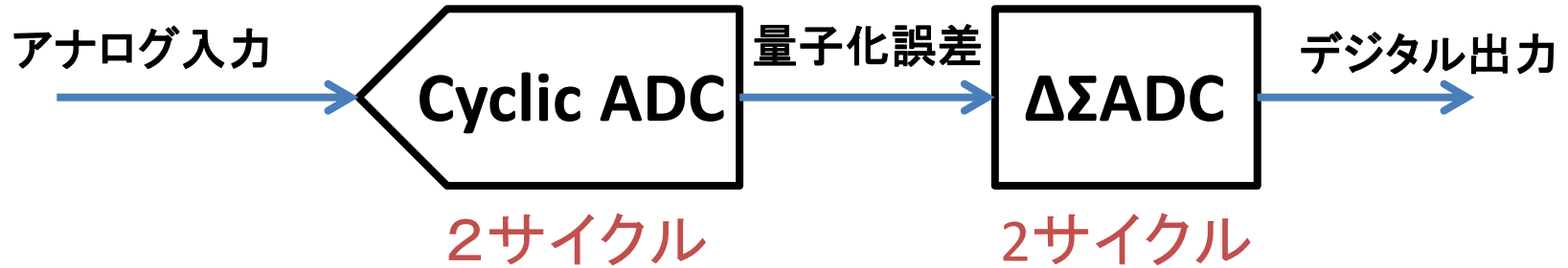
- 研究背景
- 提案手法1: ノイズシェーピング・サイクリックADC
 - 基本原理
 - シミュレーション
- 提案手法2: ノイズシェーピング・サイクリックADCの高性能化
 - 基本原理
 - 量子化誤差 累積
 - シミュレーション

MATLABシミュレーション

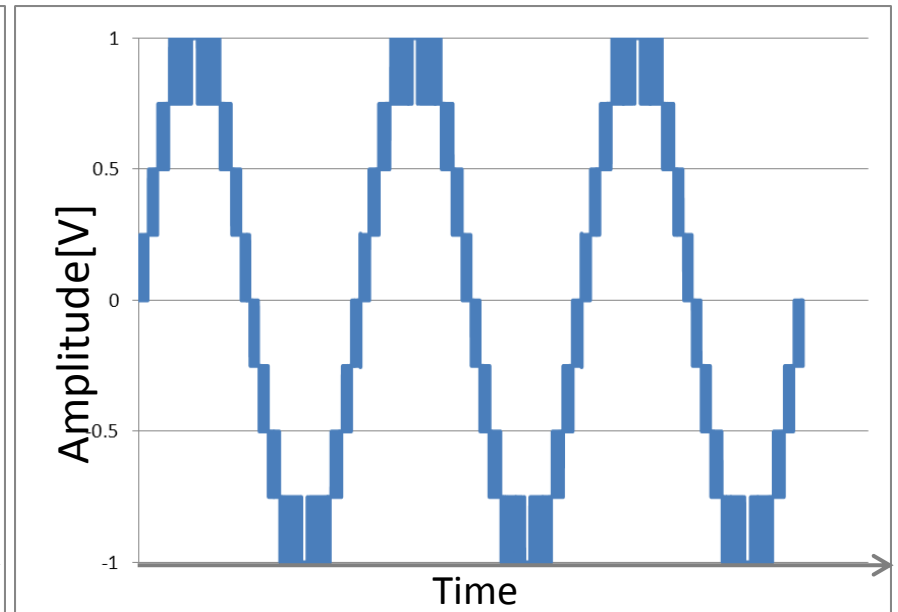


ΔΣ1サイクル

MATLABシミュレーション



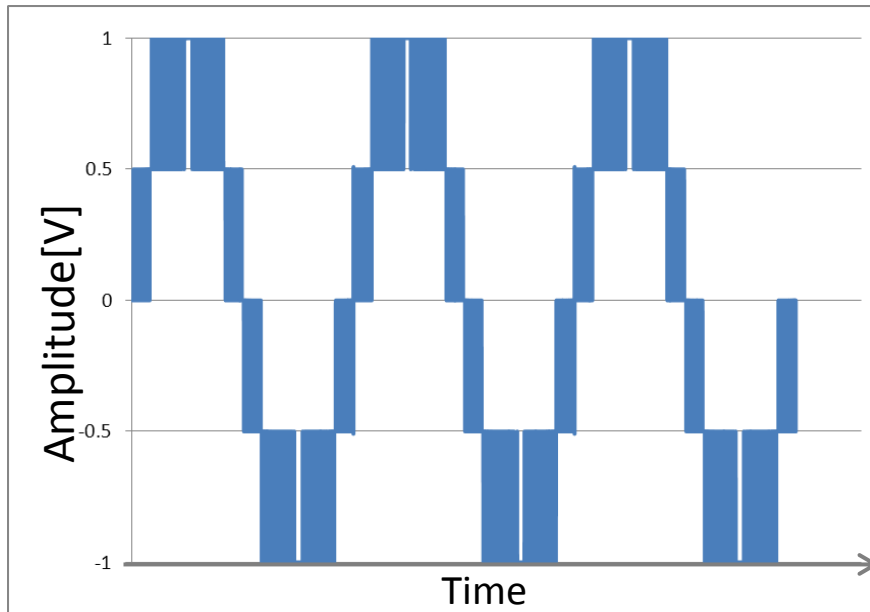
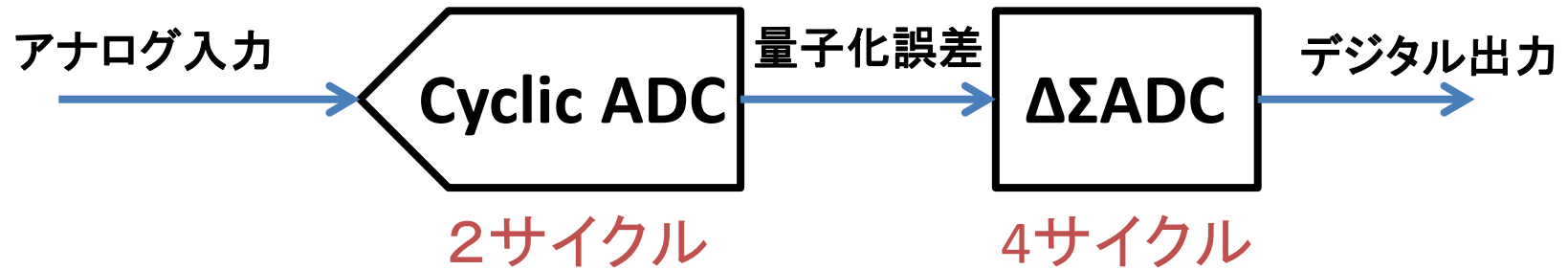
ΔΣ1サイクル



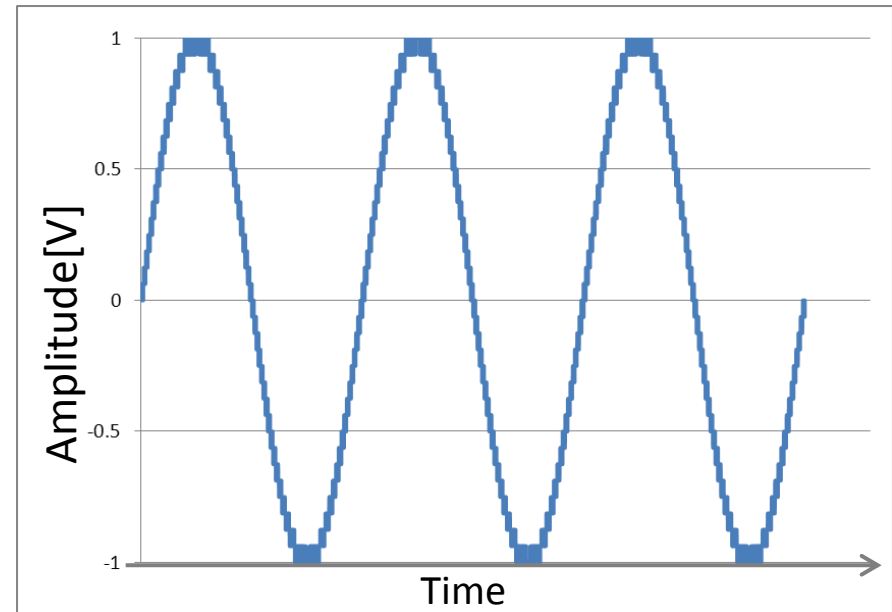
ΔΣ2サイクル

3bit CyclicADCと同じ出力

MATLABシミュレーション



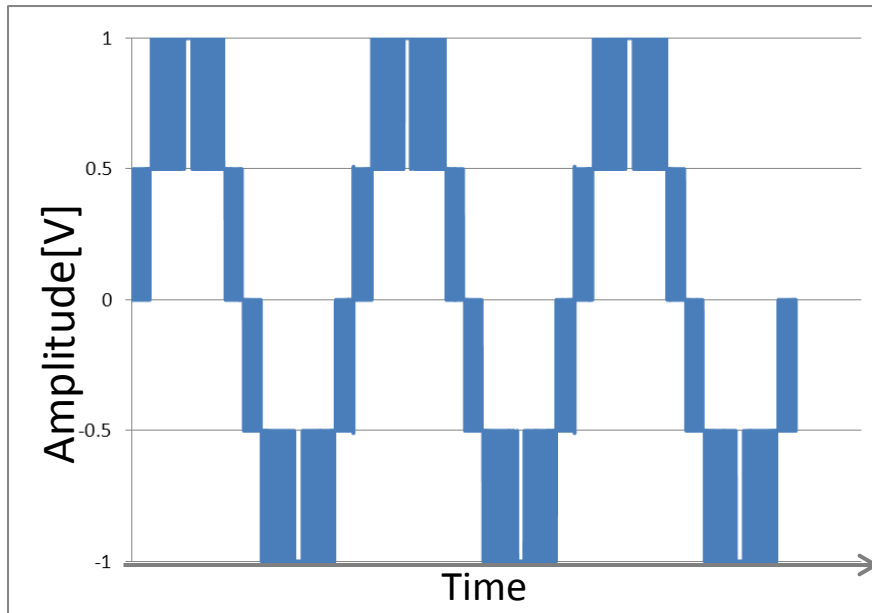
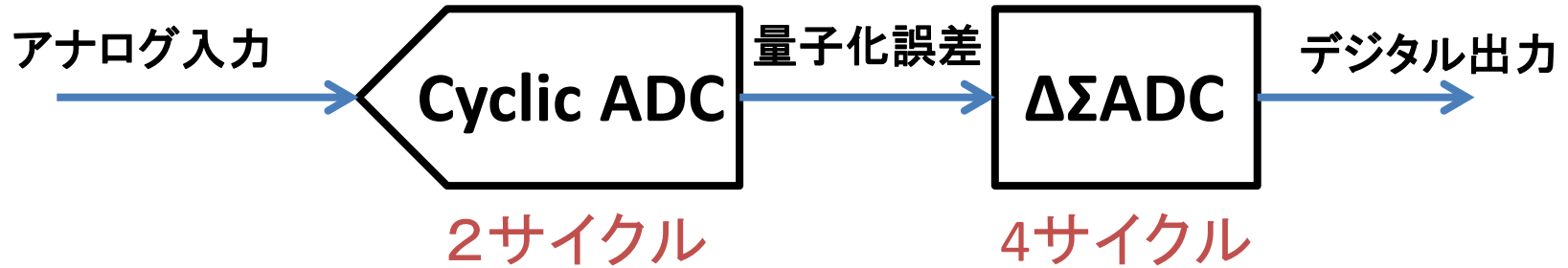
ΔΣ1サイクル



ΔΣ4サイクル

4bit CyclicADCと同じ出力

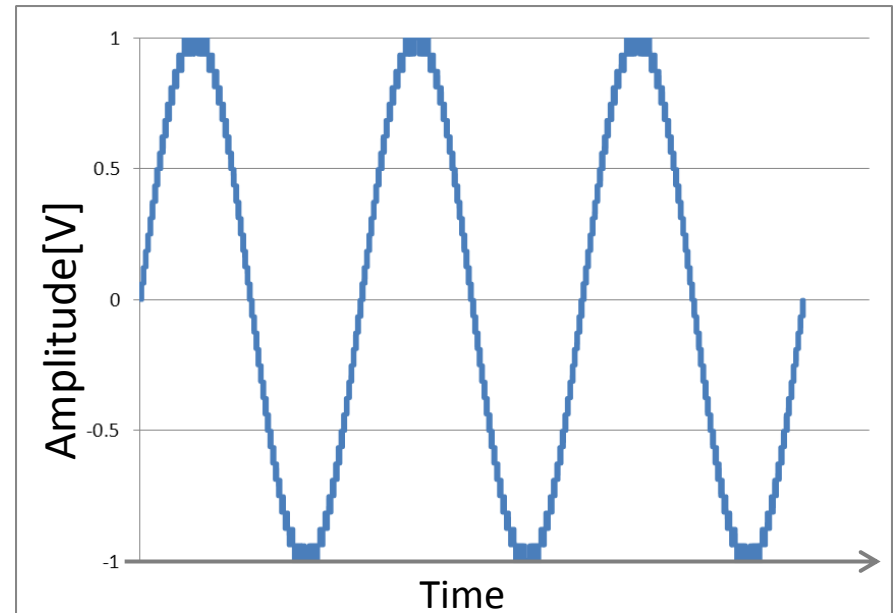
MATLABシミュレーション



ΔΣ1サイクル

サイクリックADC

後段のΔΣADC

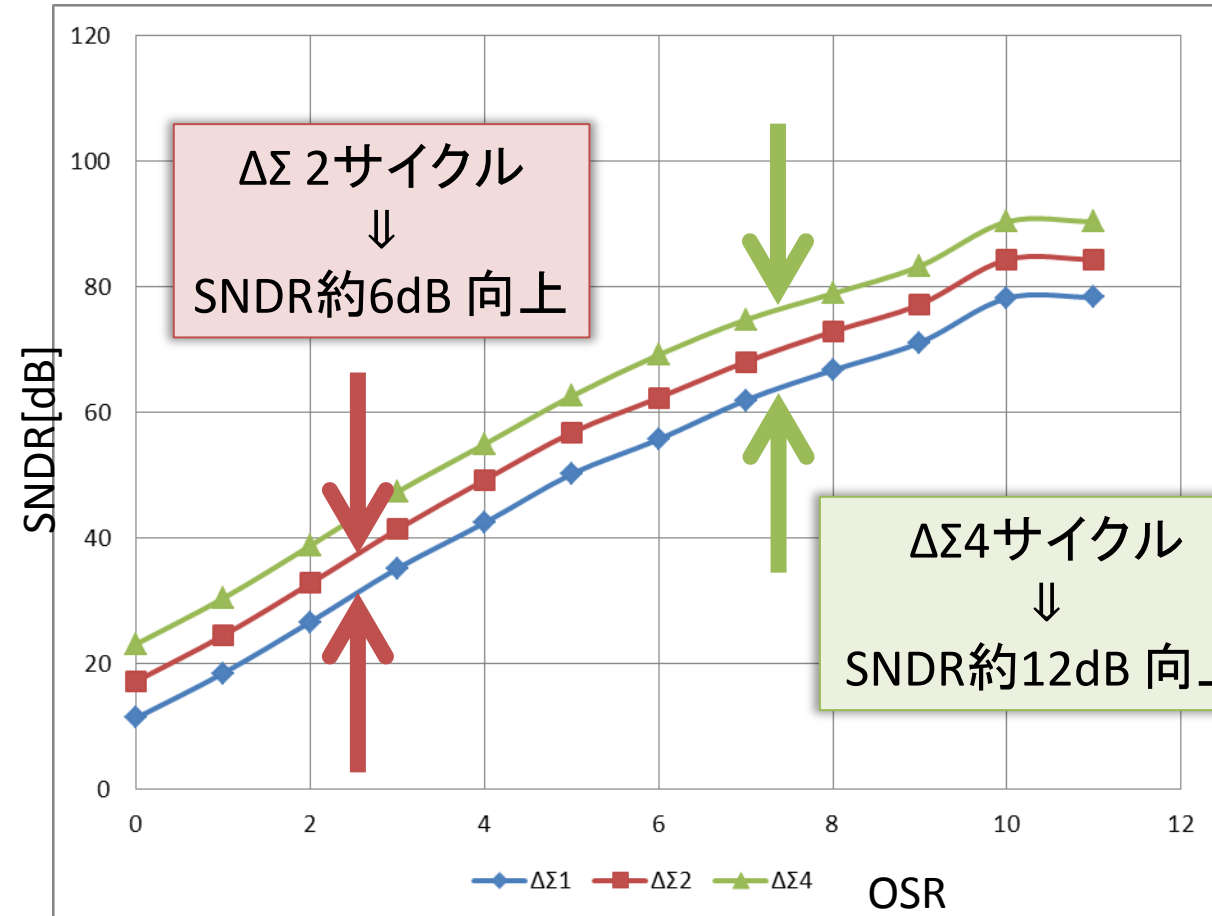


ΔΣ4サイクル

上位ビットの変換

下位ビットの変換

Cyclic ADC 2サイクル SNDR



CyclicADC - 2サイクル



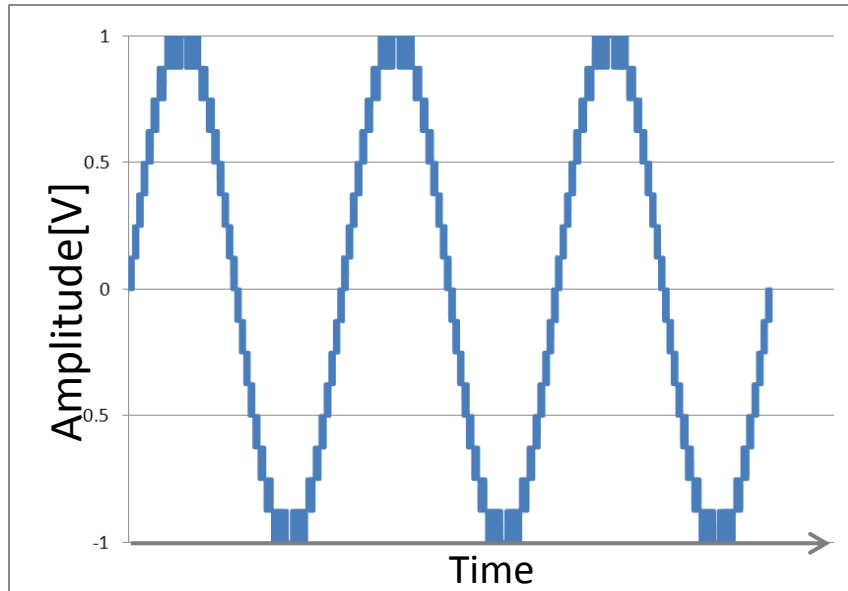
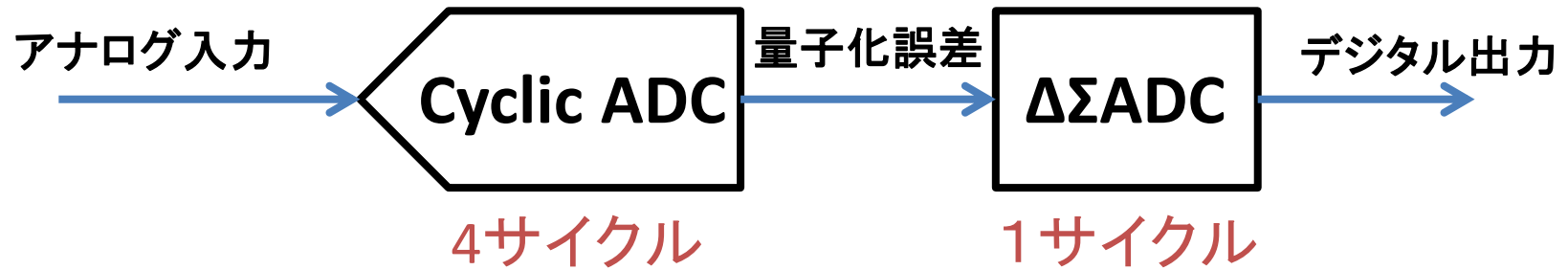
- ΔΣADC - 1サイクル
- ΔΣADC - 2サイクル
- ΔΣADC - 4サイクル

ΔΣのサイクル数を
上げる

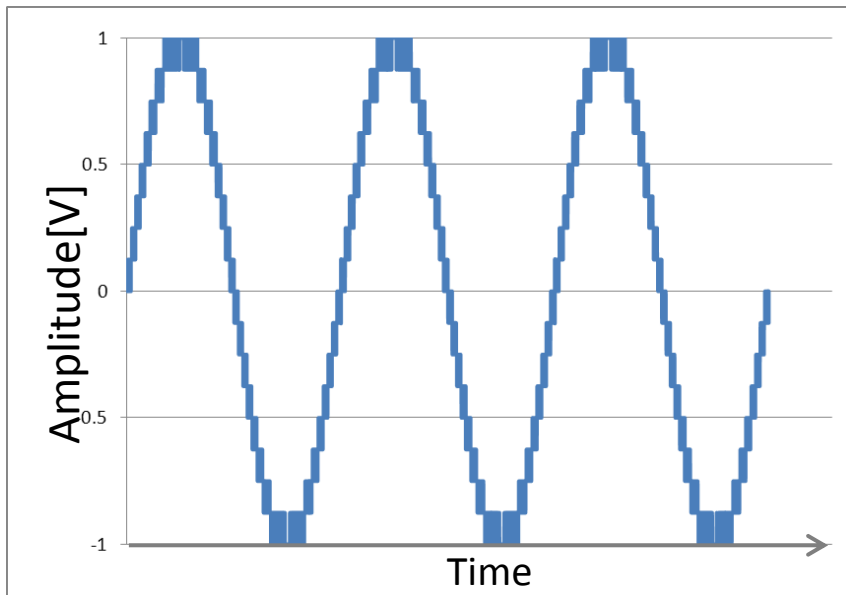
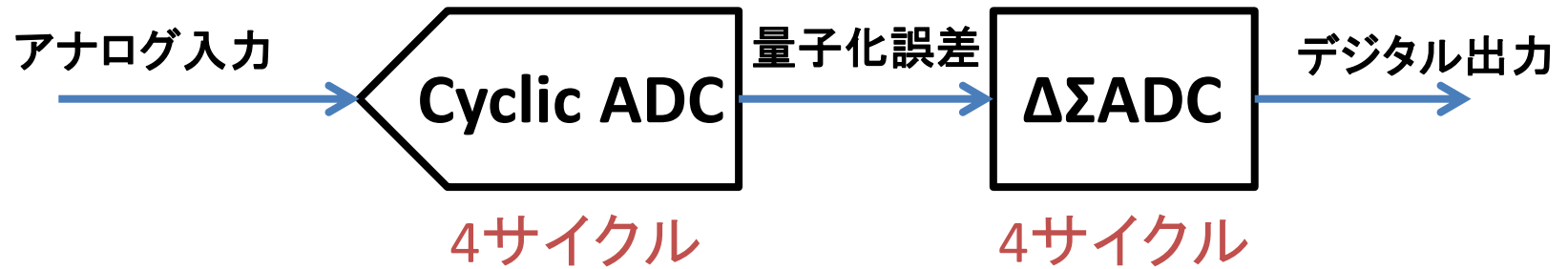


SNDR向上

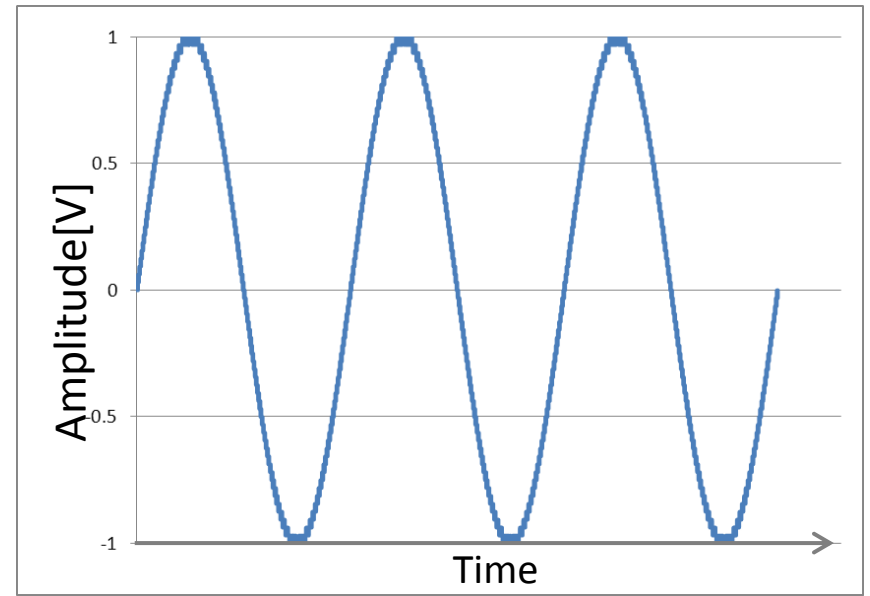
MATLABシミュレーション



MATLABシミュレーション



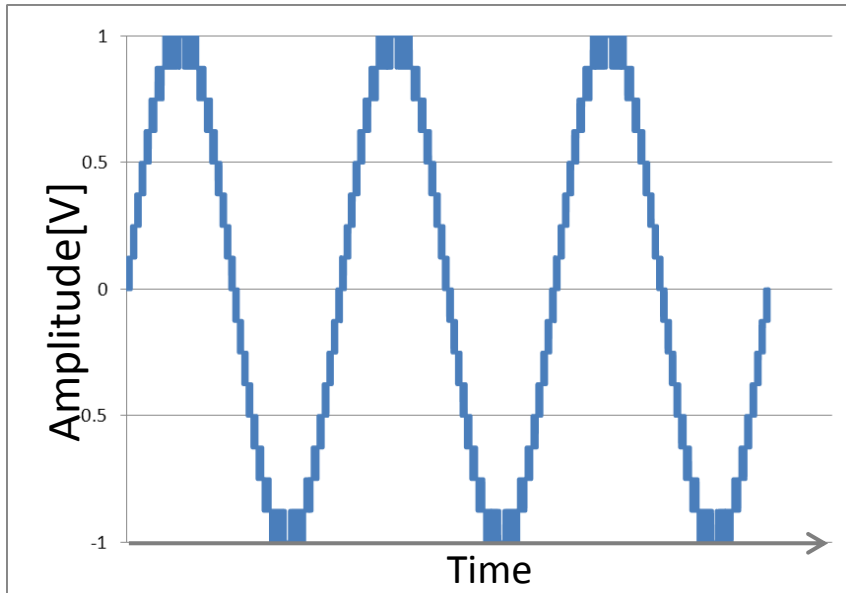
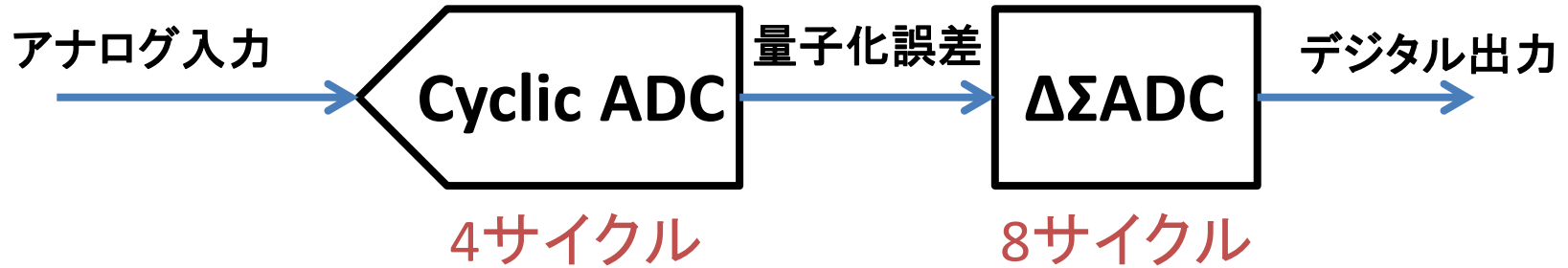
ΔΣ1サイクル



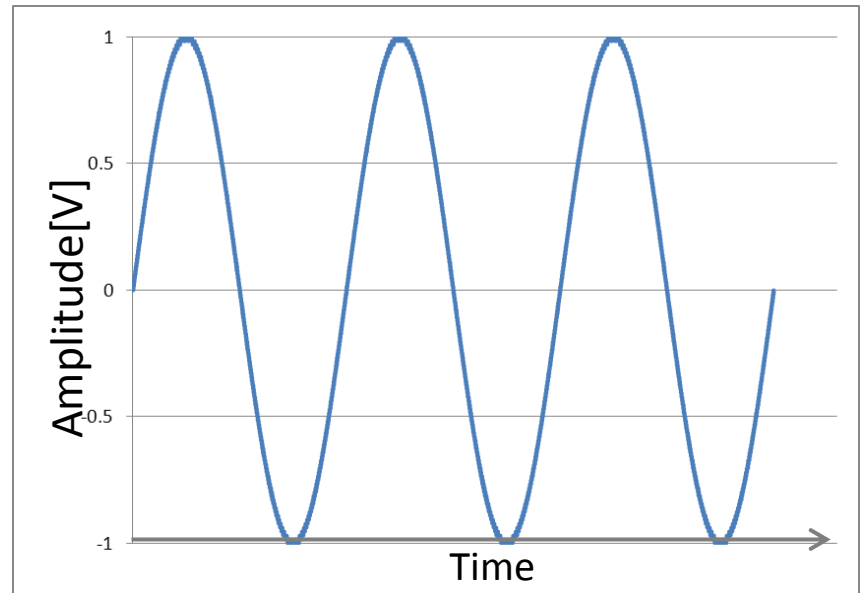
ΔΣ4サイクル

6bit CyclicADCと同じ出力

MATLABシミュレーション



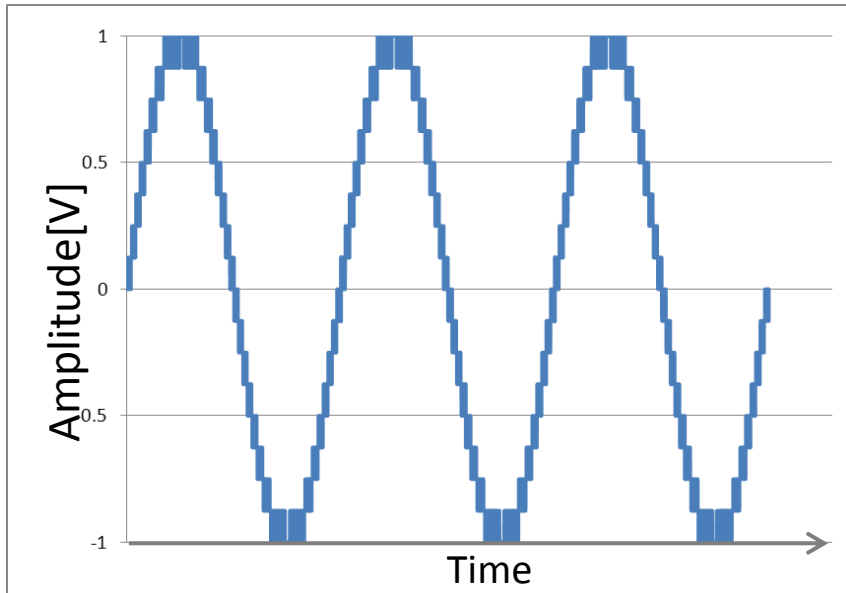
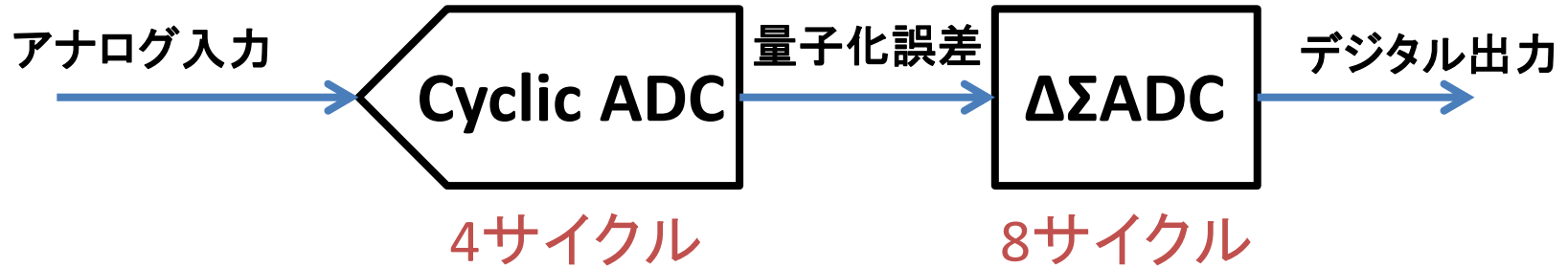
ΔΣ1サイクル



ΔΣ8サイクル

7bit CyclicADCと同じ出力

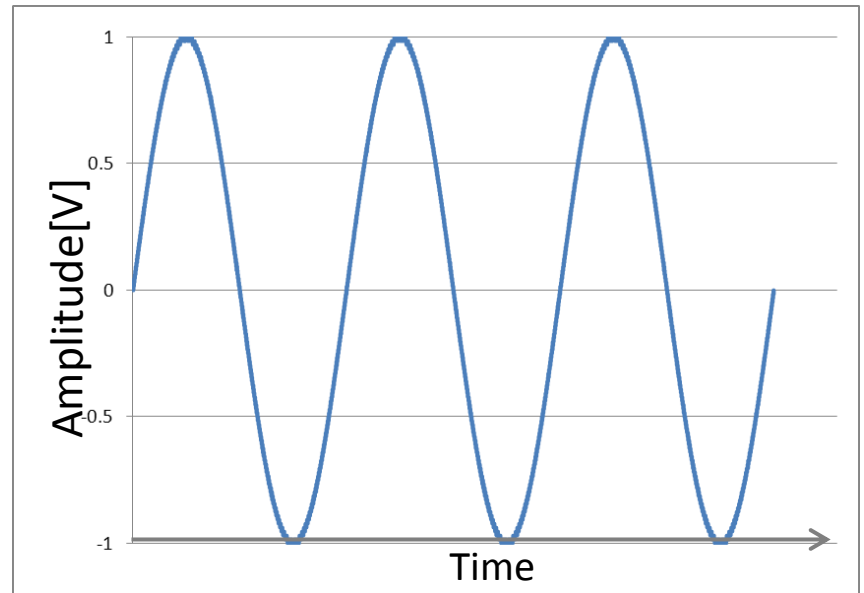
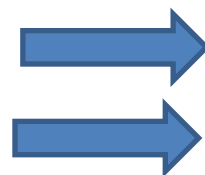
MATLABシミュレーション



$\Delta\Sigma$ 1サイクル

サイクリックADC

後段の $\Delta\Sigma$ ADC

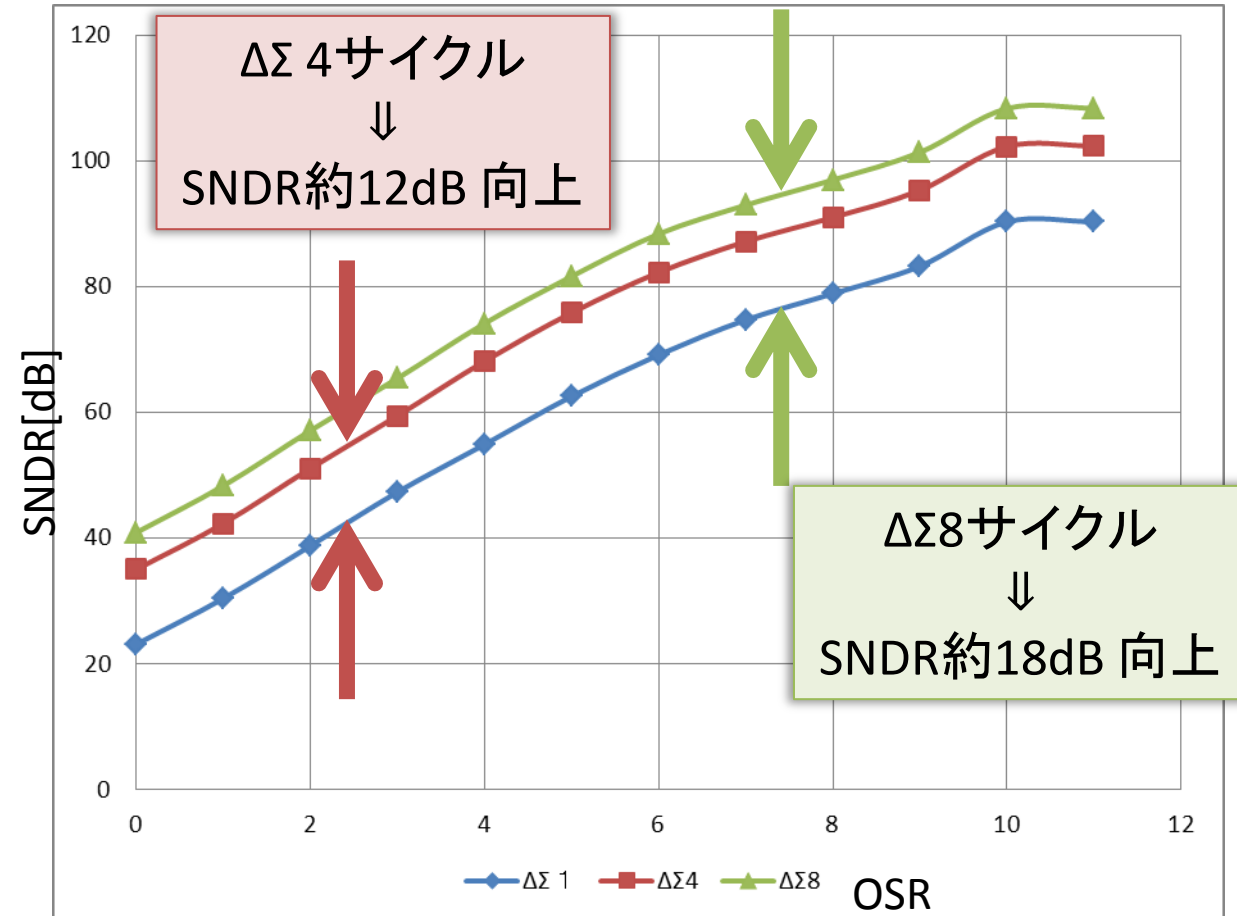


$\Delta\Sigma$ 8サイクル

上位ビットの変換

下位ビットの変換

Cyclic ADC 4サイクル SNDR



CyclicADC - 4サイクル



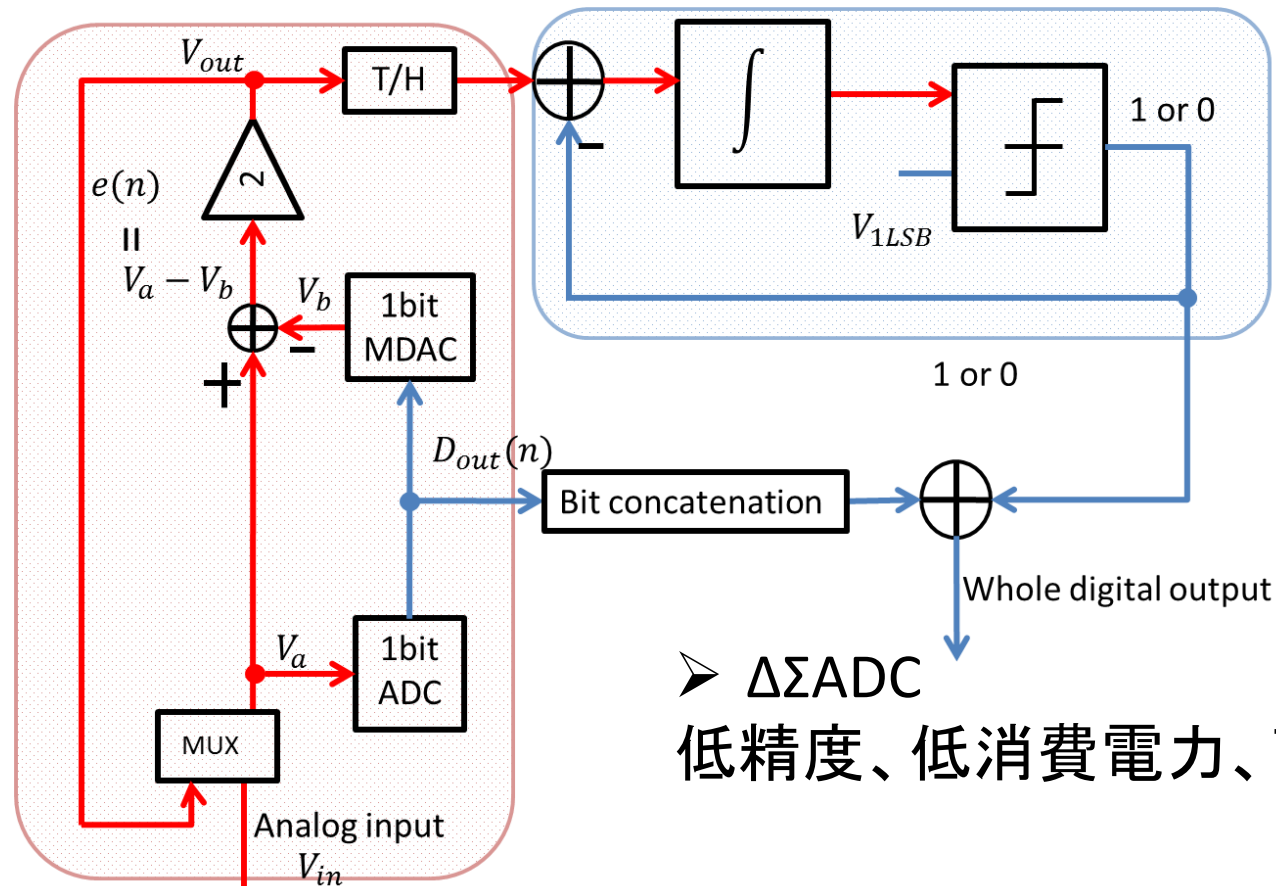
$\Delta\Sigma$ ADC - 1サイクル ————
 $\Delta\Sigma$ ADC - 4サイクル ————
 $\Delta\Sigma$ ADC - 8サイクル ————

$\Delta\Sigma$ のサイクル数を
上げる



SNDR向上

乗算型DAC



➤ $\Delta\Sigma$ ADC
低精度、低消費電力、高速

➤ サイクリックADC
高精度、高消費電力、低速

➤ 提案構成 → トレードオフ
高分解能、中速度、低消費電力

まとめ

- CyclicADCと $\Delta\Sigma$ ADCをパイプライン接続
- 異なるクロックで動作（ $\Delta\Sigma$ ADCを高速動作）
 - 量子化誤差をノイズシェープ、SNDR向上
- $\Delta\Sigma$ ADCはGm-C回路で実現可能
 - 簡単な回路構成で高精度化

今後の課題

- 回路シミュレーションでの検証
- MDACやオペアンプの精度

Q&A

- Q. サイクリックADCと $\Delta\Sigma$ ADC、どちらをメインにうごかすのか？
- A. 分解能によって検討する
- Q. 回路設計上、パイプライン接続で気を付ける点は？
- A. タイミングやオーバーレンジなど
- Q. 分解能はどのくらいまで対応するのか？
- A. 数値シミュレーションでは高分解能も可能。回路設計するときには検討する。