

# デジタルアシストアナログ技術概論

## AD/DA 変換器を中心に

小林春夫

群馬大学 理工学研究院 電子情報部門  
〒376-8515 群馬県桐生市天神町1丁目5番1号  
電話 0277 (30) 1788 FAX: 0277 (30)1707  
e-mail: k\_haruo@el.gunma-u.ac.jp



# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ



# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ



# 低電源電圧でのアナログCMOS

---

2000年8月

半導体メーカー 研究所訪問

0.35 $\mu$ m CMOS, 3V の時代

研究所長さん

「CMOS微細化が進み

電源電圧がやがて1V近辺になると

アナログ回路設計が

難しくなってくるのではないか。」

# なぜ RF CMOSか

## 日本セットメーカー関係者

- RF CMOS の重要な点は、  
バイポーラRF 回路をCMOS で置き換える  
ことではない。
- RF回路もCMOS化することで  
デジタル、ベースバンドアナログ(ADC等)と  
1チップ化できることが最大のメリット。
- **1990年代前半**に米国Fabless メーカーから  
提案された。



# RF CMOS は高周波技術だけでは 産業化できなかった

---

1990年代前半

日本メーカー:

CMOSは特性ばらつきが大きく産業化難。

Abidi 先生(UCLA):

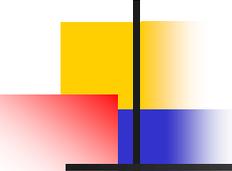
米国Fablessメーカー がRF CMOSを製品化。

CMOS特性のばらつき大を

デジタル補正技術を開発して

歩留まり90%以上に。

「従来のRF研究者は何もわかっていない。」



# デジタルアシスト技術のテストの問題

## ATEメーカー技術者

- 自己校正、冗長性によるデジタルアシストアナログ回路の設計の立場からの議論はあるが、そのテストの問題をいう人はいない。
- LSIテスト現場では自己校正回路のテストの問題が顕在化してきている。

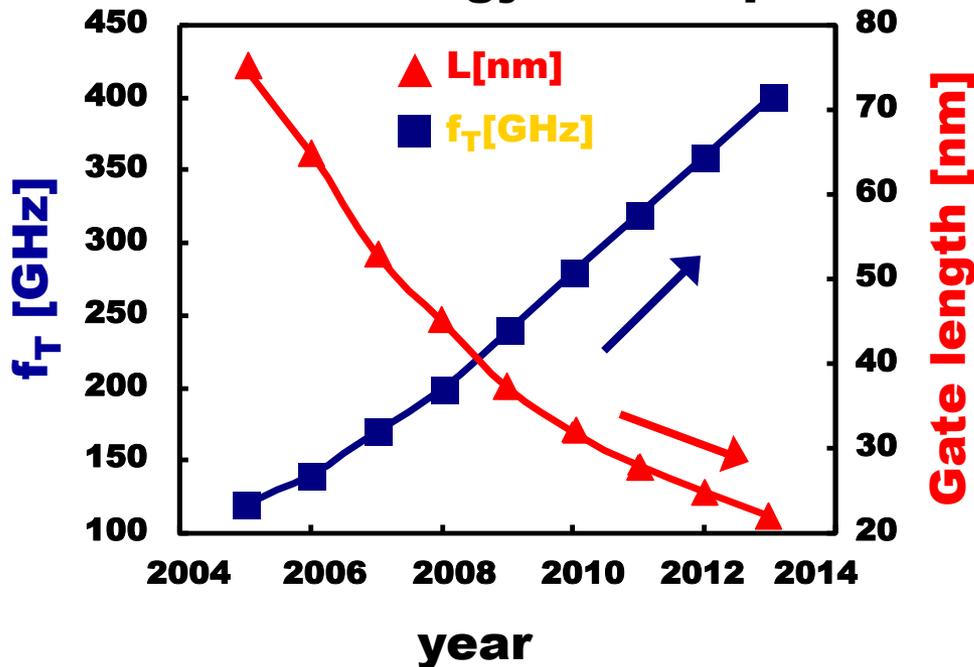
TI社のDigital Radio Processor

テスト容易化技術が多々使用されていることが

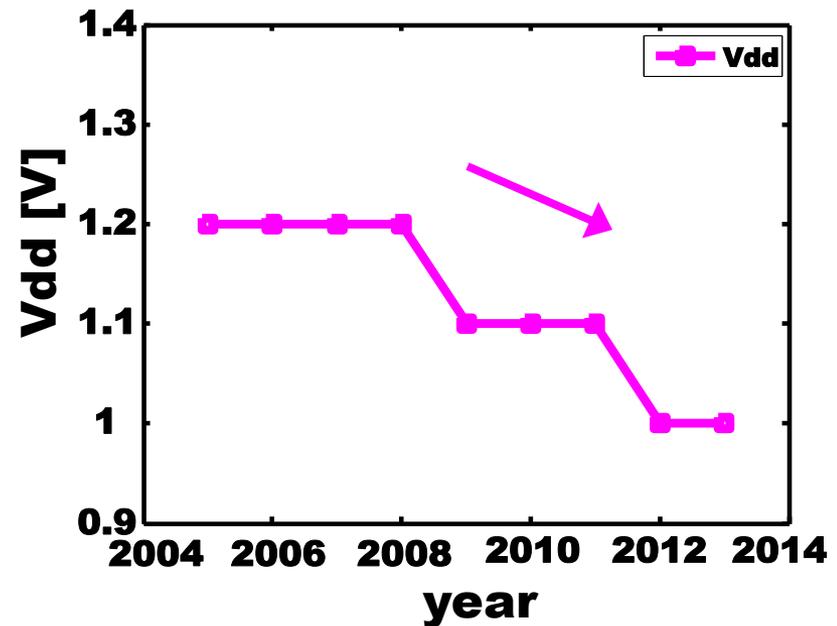
推測できる (E. Obaldia, IEEE VLSI Test Symp. 2010)

# 半導体はナノの時代へ

Technology roadmap



Technology roadmap



CMOSプロセス微細化 ⇒ 高速動作（時間領域：分解能向上）

耐圧低下 ( $V_{dd} \rightarrow$ 小), ドレイン抵抗  $\rightarrow$  小

# 半導体プロセスと回路

## — 目的と手段 —

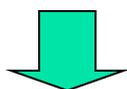
「デジタルは半導体プロセス微細化のトレンドに適合。  
アナログは適しているとは限らない。」



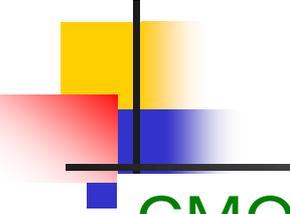
半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・  
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする理由なし。



微細化プロセスでもデジタルは必ず動く、高性能・低コスト



# デジタル・アシスト・アナログ技術

CMOS微細化にともない

➡ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

➡ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

デジタル指向のデバイス・プロセスで

- 「デジタル技術を用いて アナログ性能向上する技術」
- 「デジタルリッチ・アナログミニマムな構成」

H. Kobayashi, H. Aoki, K. Katoh, C. Li,  
“Analog/Mixed-Signal Circuit Design in Nano CMOS Era”,  
IEICE Electronics Express, vol.11 no.3, pp.1-15 (2014) (Review Paper)



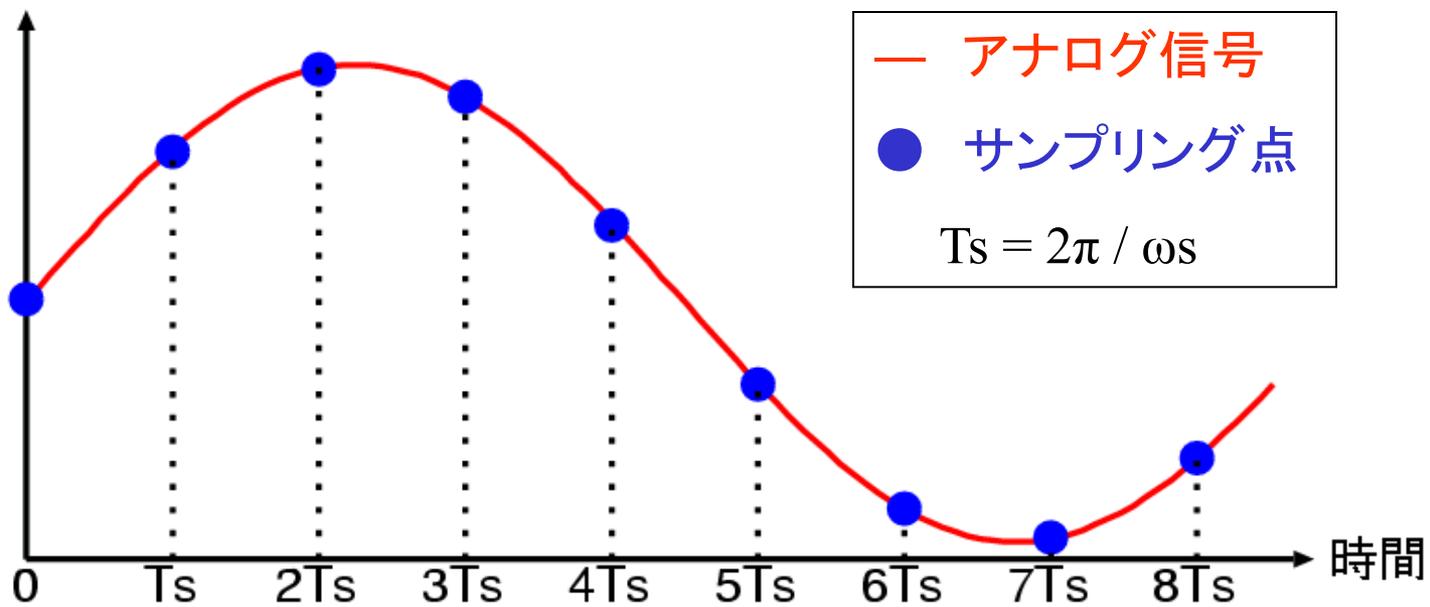
# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ

# デジタル信号の特徴(1)

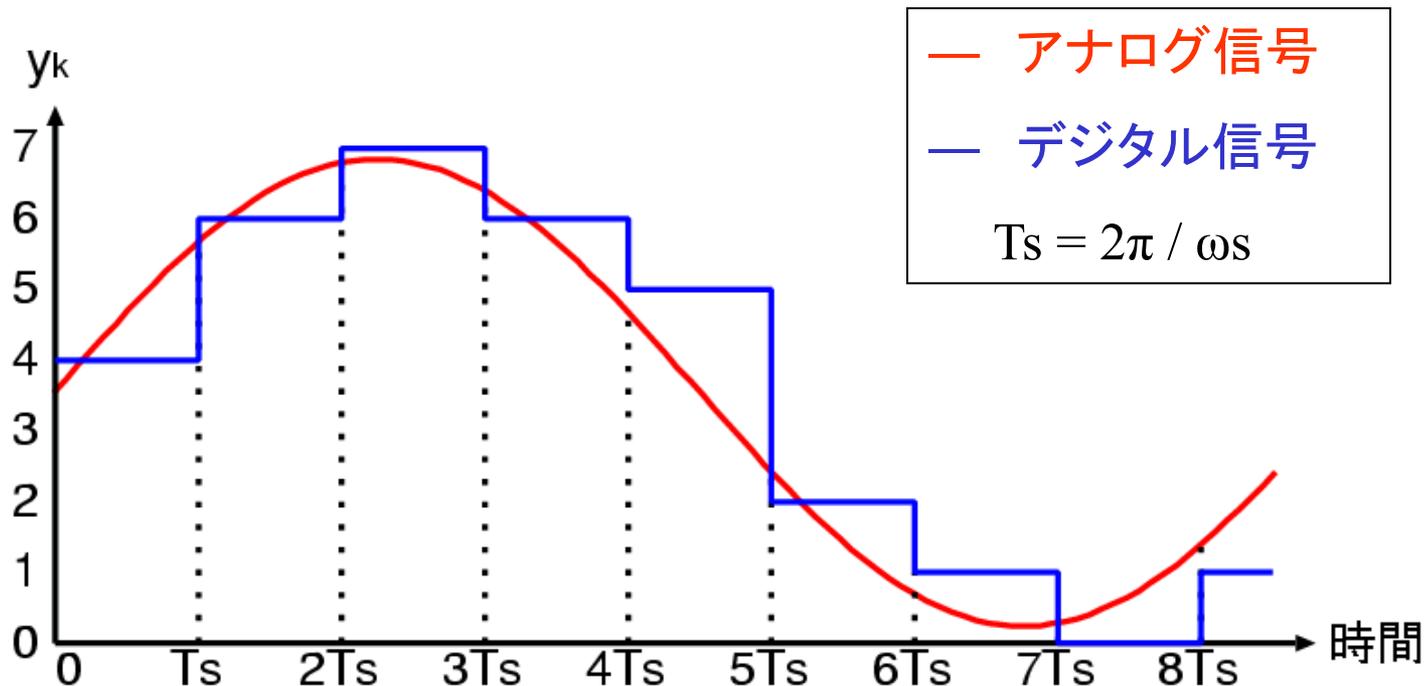
## 時間の離散化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

# デジタル信号の特徴(2)

## 振幅の離散化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを  
四捨五入(または切り捨て)

# 回路技術の4つの領域

	時間 連続	時間 離散
振幅 連続	領域1 アナログ	領域2 スイッチドキャパシタ サンプリング回路
振幅 離散	領域3 TDC、PWM	領域4 デジタル

領域1: バイポーラ、化合物が得意

領域2, 3, 4: CMOSが得意

4つの領域 全てを用いるのが ナノCMOSアナログ回路技術

# ナノCMOS 時代の新アナログ

## 微細CMOSでアナログ高性能化

- 微細デジタルCMOS
- 4つの回路領域を全て用いる
- デジタルリッチ、高速サンプリング、時間領域
- 回路、設計手法、検証手法、テストをデジタル的に行う



- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリティ、スケーラビリティ
- 初回の試作で動作



# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ



# 純粋なアナログ回路

(領域1: 振幅連続、時間連続)

---

「微細CMOSは素子特性マッチングに  
有利に働く」 (ある半導体メーカー技術者 -)

## アンチスケーリングアナログ技術

- 同じチップ面積なら微細CMOSのほうが  
高度な製造装置使用のため  
マッチングが良くなる
- ミスマッチを補正するための  
余分な回路が不要
- 実測でも検証

# デジタルアシストと別のアプローチ

## 智者の慮は必ず利害に雑(まじ)う

- 単に容量、トランジスタのサイズを大きくする。
- R, C等のばらつきの小さいプロセスを使用する。
- 微細CMOSでは良い製造装置を使用するのでミスマッチは小さくなる。

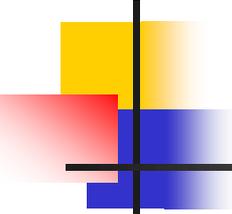


従来手法の延長であるが

- Time-to-Market が短くなる。
- 思いもしないトラブル発生の確率が小さい。



Best ではないかもしれないが現実的選択の一つか。



# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ

# ナノCMOSでのサンプリング技術

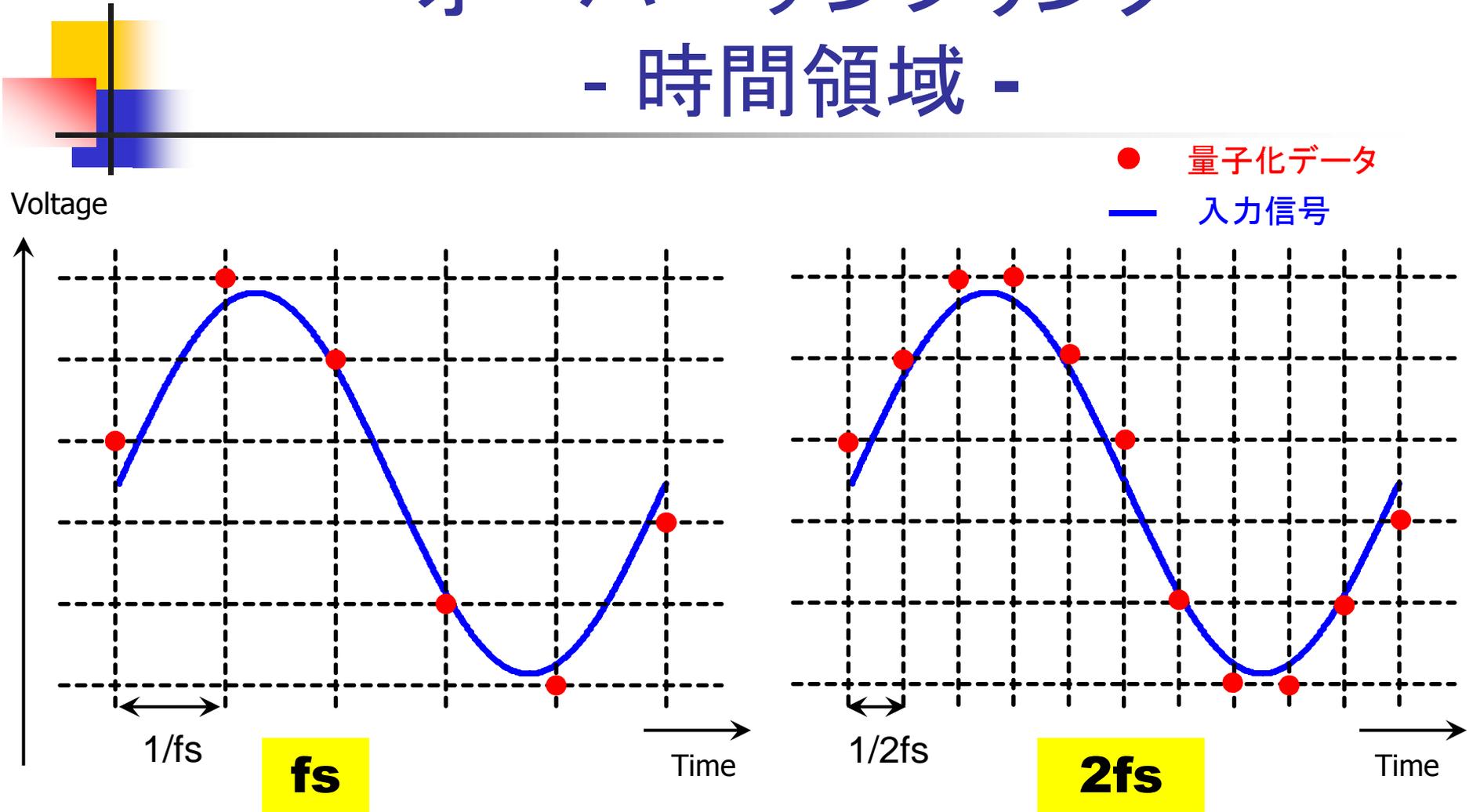
## (領域2: 振幅連続、時間離散)

一 様々なサンプリング技術、キーワード

- オーバーサンプリング
- アンダーサンプリング (等価時間サンプリング  
コヒーレント、シーケンシャル、ランダムサンプリング)
- サンプリングによる周波数変換 (サブサンプリング  
ダウンコンバージョン、アップコンバージョン)
- 直交サンプリング
- 非同期サンプリング
- サンプリングレート変換 (間引き、補間、マルチレート)
- サンプリング回路

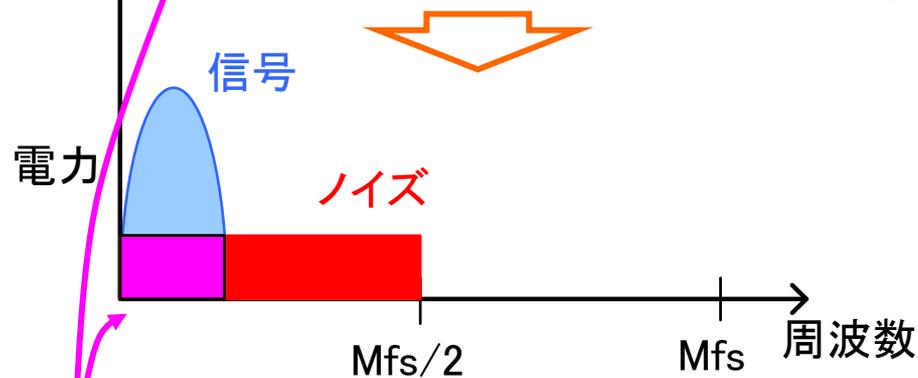
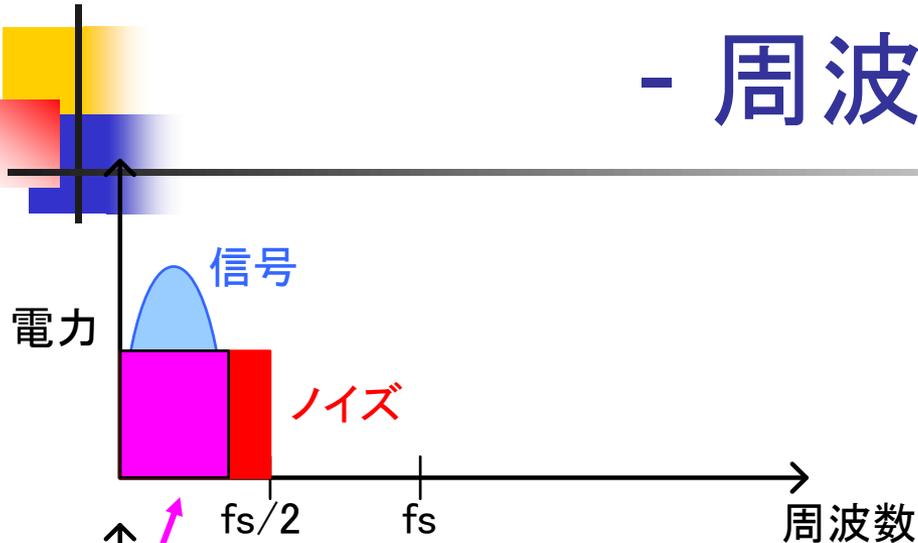
(トラックホールド回路、インパルスサンプリング回路)

# オーバーサンプリング - 時間領域 -



オーバーサンプリングにより入力信号  
の再現性が高まる

# オーバーサンプリング - 周波数領域 -



信号帯域のノイズ成分

サンプリング周波数をM倍

↓  
ノイズは広域に分散

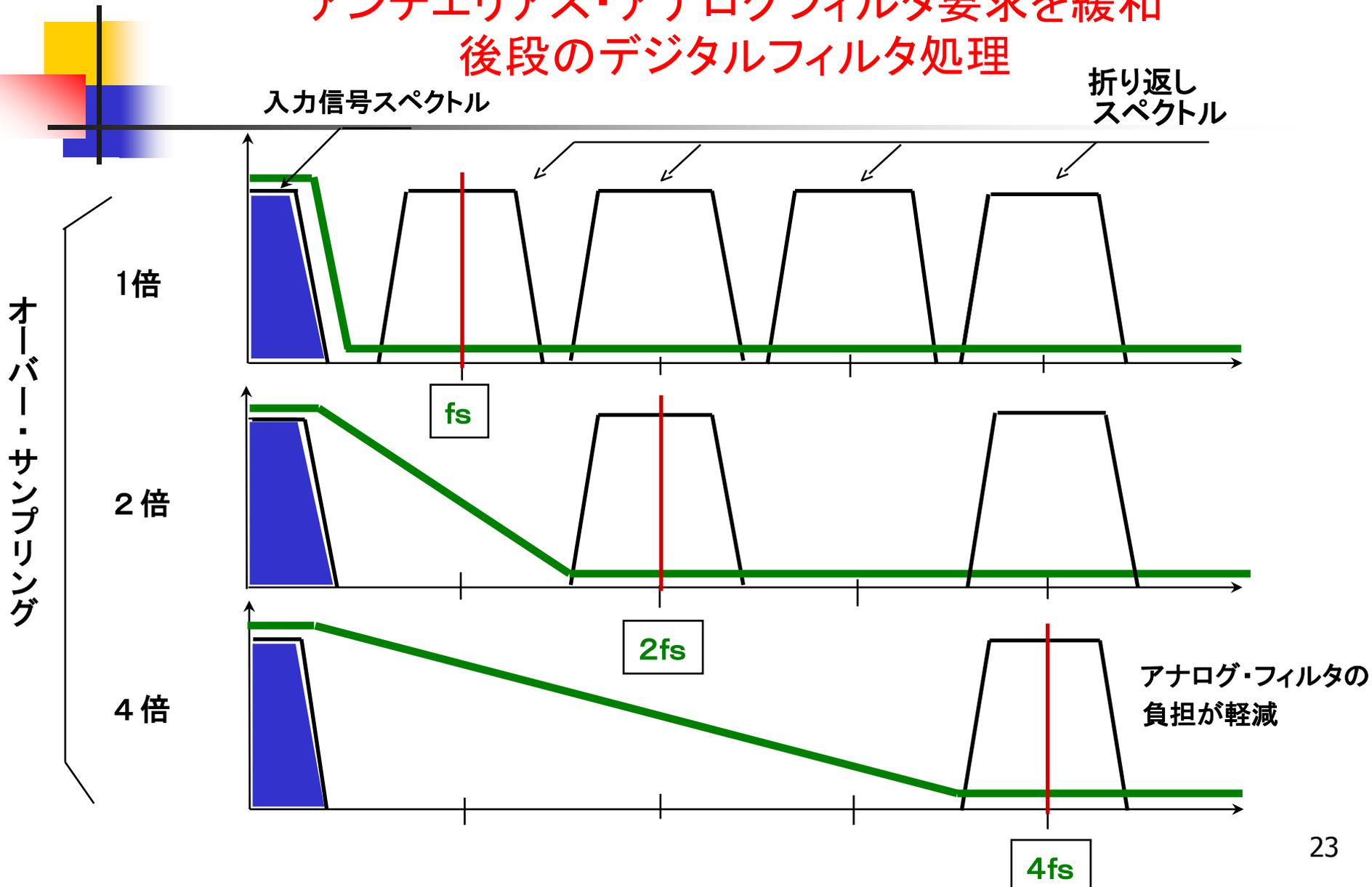
↓  
ただしノイズ総量は変わらない

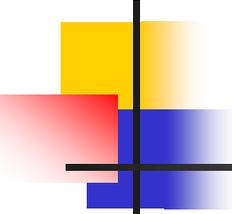
↓  
信号帯域でノイズ低減

高速サンプリングにより低ノイズ化

# オーバーサンプリング

アンチエイリアス・アナログフィルタ要求を緩和  
後段のデジタルフィルタ処理





# デルタ・シグマAD/DA変調技術

- アナログ最小、デジタルリッチな構成
- スピードを精度に変換
- 高精度なデバイス、回路不要



ナノCMOSで高精度なADC/DACを  
実現するのに適した構成

経験則：デルタシグマ変調技術を使うとうまくいく

- DC-DC変換器制御
- 完全デジタルPLL
- デルタシグマTDC

# $\Delta\Sigma$ 変調は日本発の技術

1960年 安田靖彦先生(東大・早稲田大学名誉教授)



## デルタ変調:

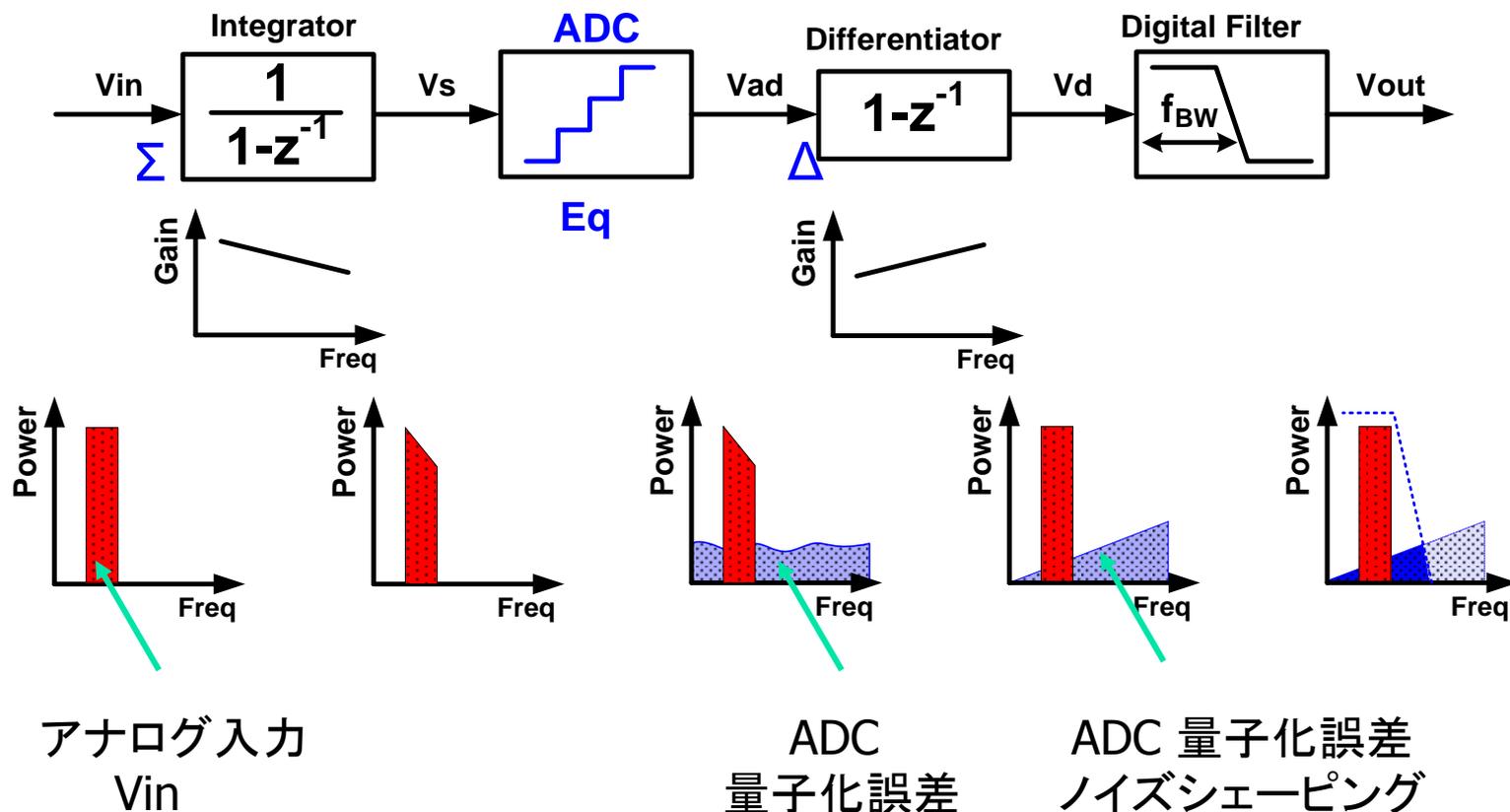
入力信号の微分値を運び、  
受信パルス列を積分し原信号を再現。  
が、伝送途中で誤りがあると、後々まで影響。

## デルタシグマ変調(安田先生の着想)

入力信号を積分してからデルタ変調を行う。  
その出力パルス列は入力信号の振幅値そのもの。  
受信側で積分操作は不要となる。

# ΔΣ変調器の構成

## 入力を積分してからΔ変調



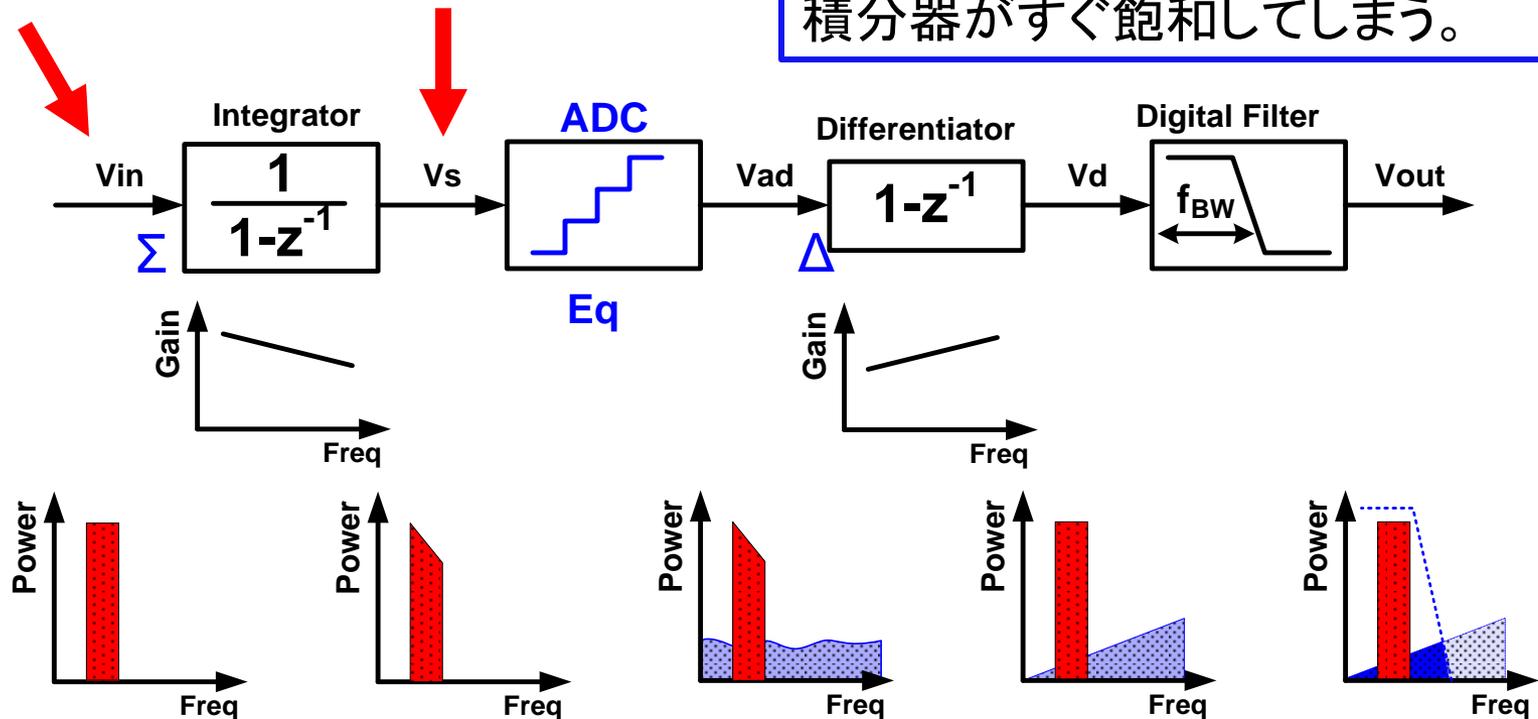
# ΔΣ変調器の構成

## 直接は実現できない

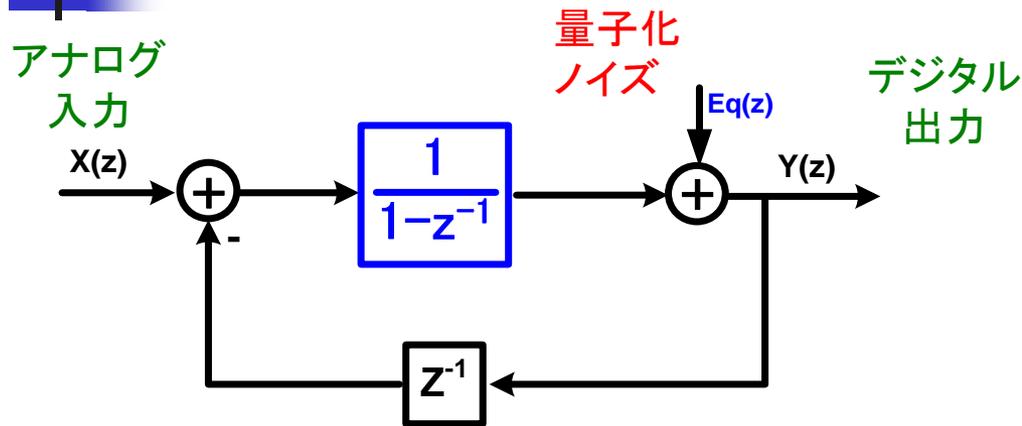
DC入力の場合

無限大になってしまう

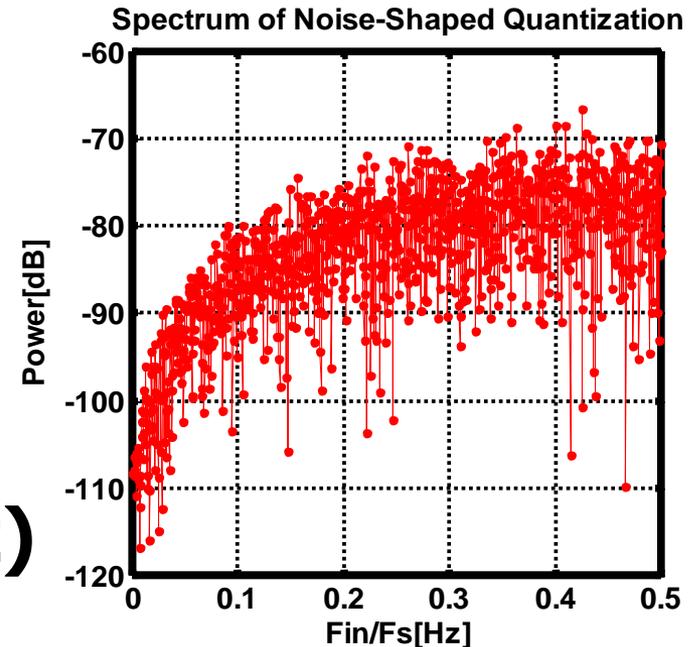
安田先生： このままでは実現できないことにすぐ気がついた。直流成分を持った入力信号がくると積分器がすぐ飽和してしまう。



# $\Delta\Sigma$ 変調の等価実現



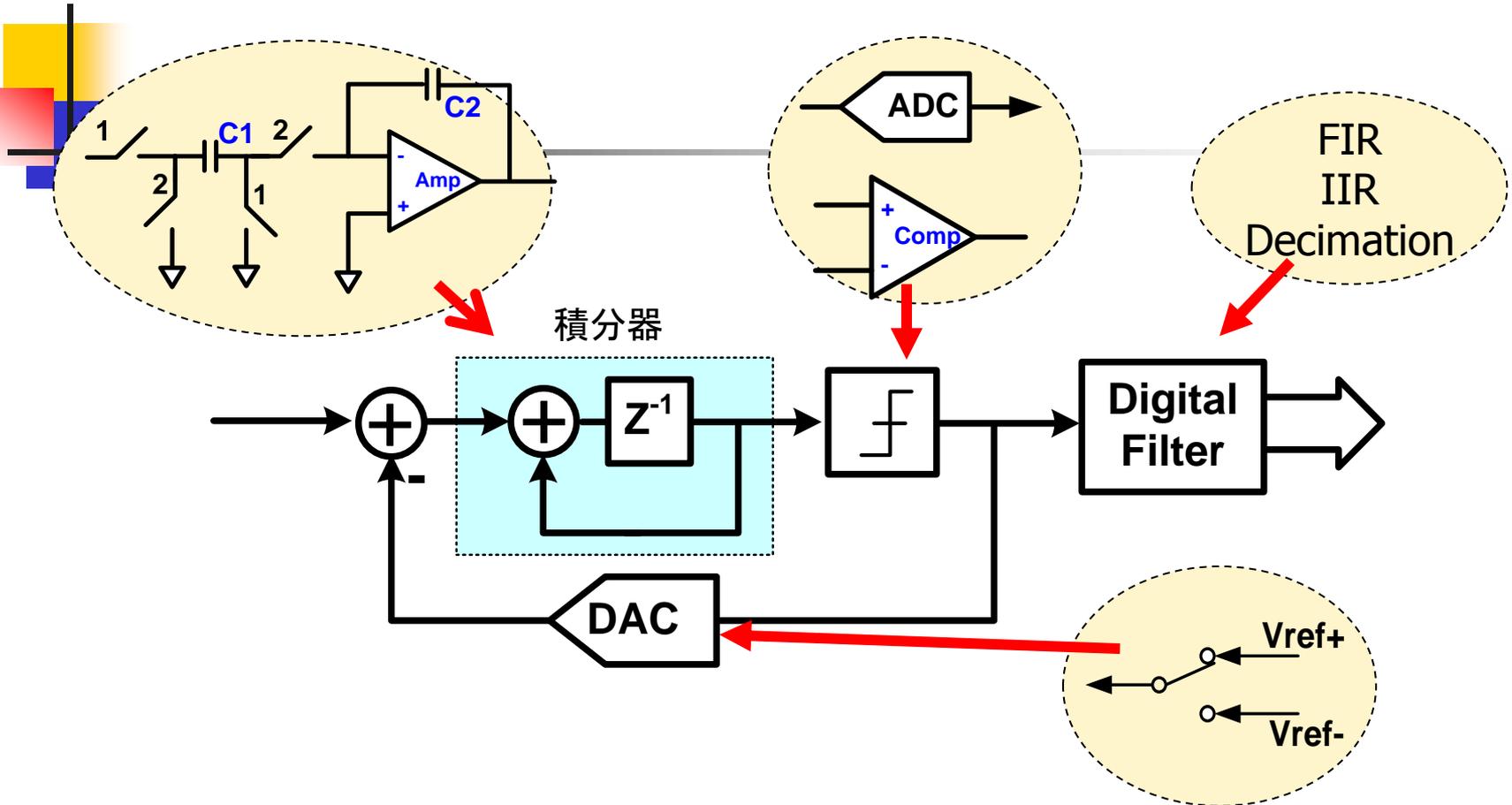
$$Y(z) = X(z) + (1 - z^{-1}) \cdot Eq(z)$$



量子化ノイズを高域に移し、帯域内ノイズを低減

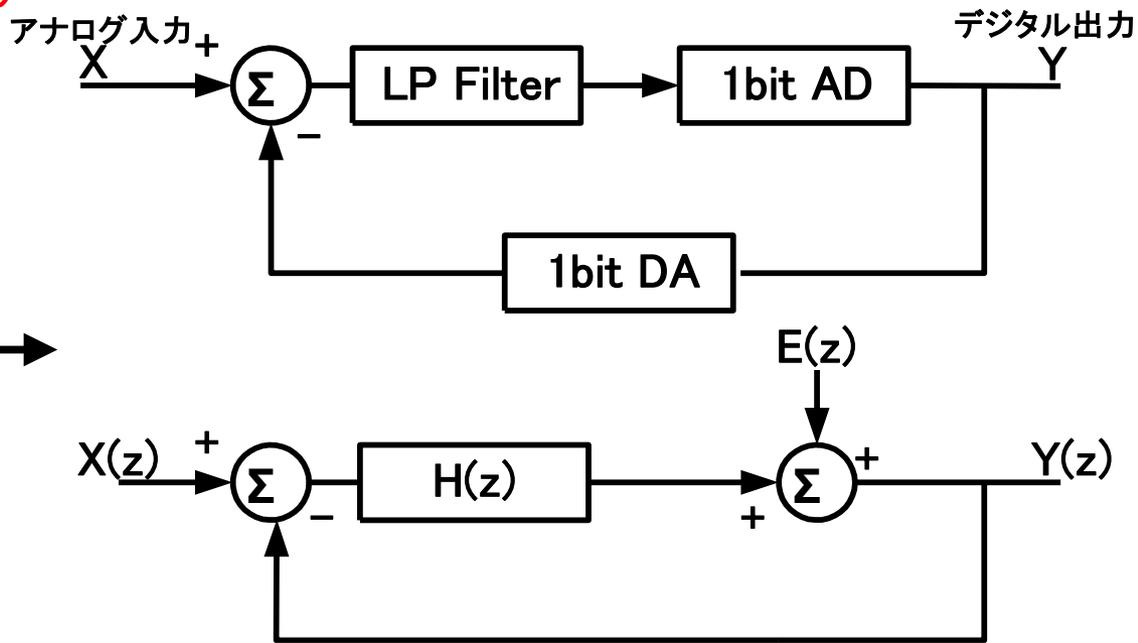
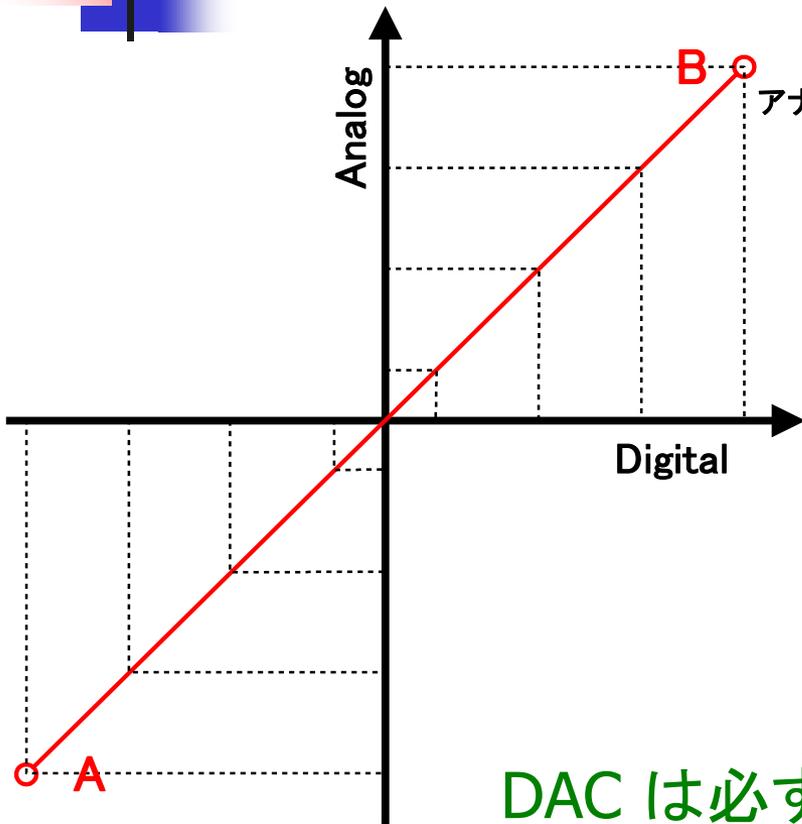
安田先生：この困難にたいし、一両日の間に解決方法を見つけた。  
積分器をデルタ変調器のフィードバックパスに存在する積分器と一緒にして  
差分器直後のフォワードパス内に挿入する。

# $\Delta\Sigma$ ADCの構成と回路



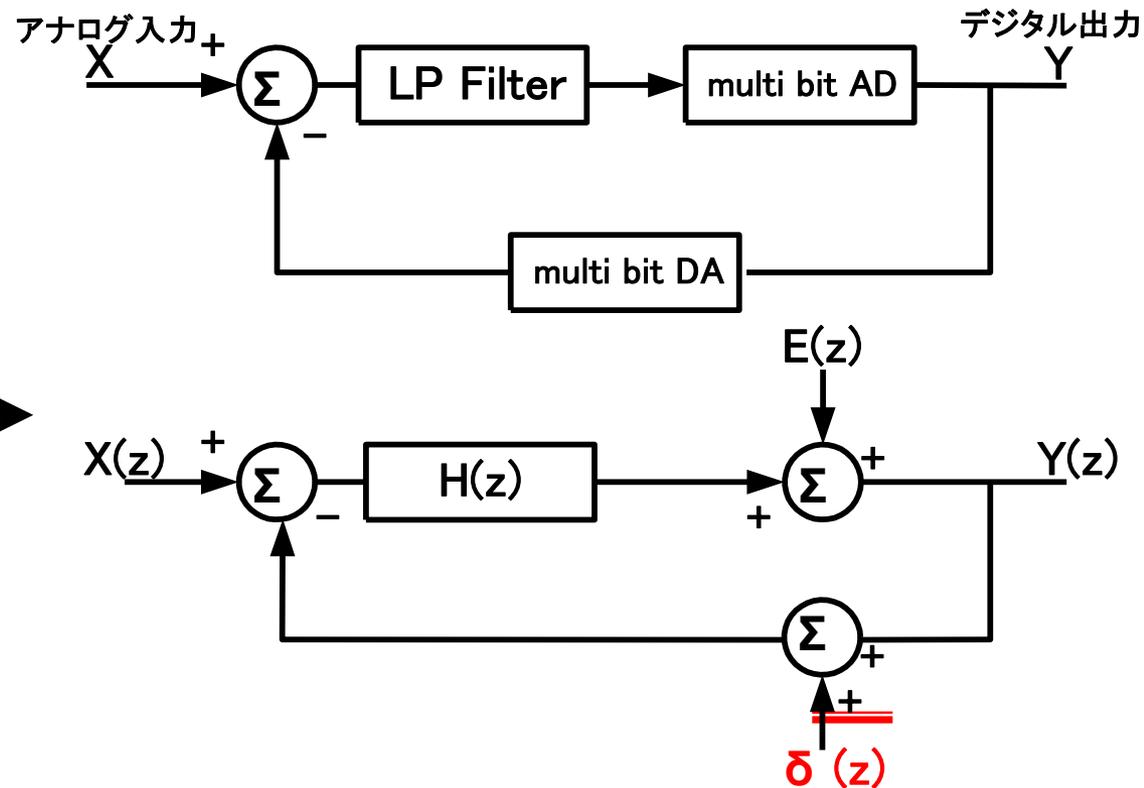
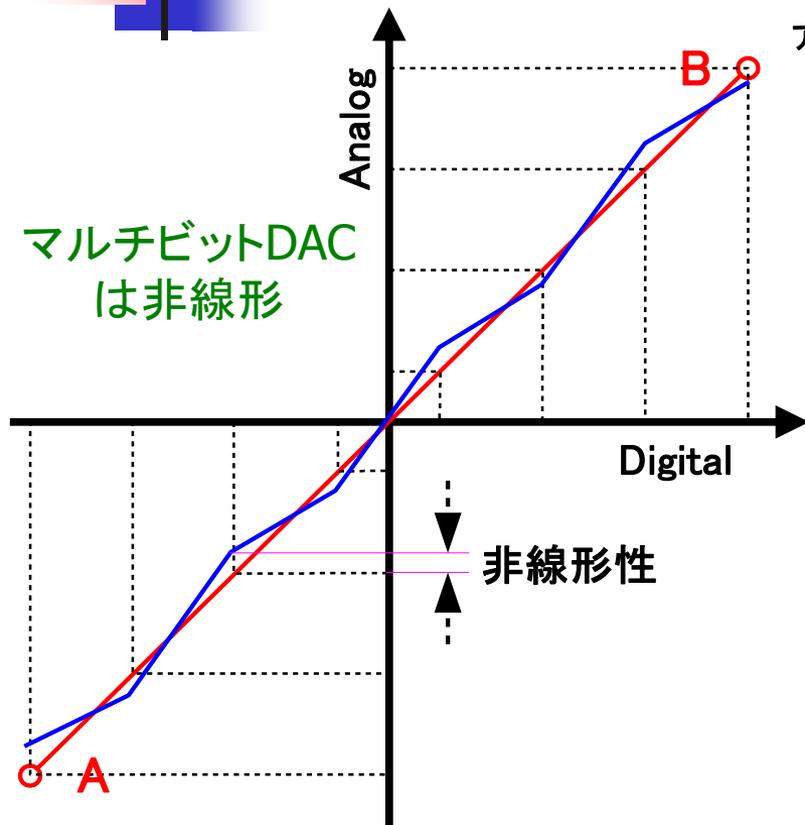
**安田先生:** この効果は絶大であった。誤り波及がなくなる。  
入力信号と出力パルス列の積分値の差が零レベルとなるフィードバック制御  
➡ 安定度が高く、精度への要求条件が緩やかとなる。

# 内部ADC/DACが1ビット



DAC は必ず線形

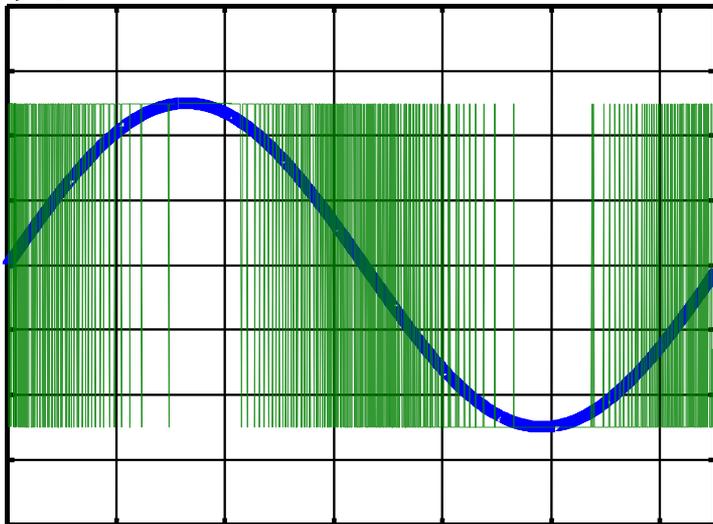
# 内部ADC/DACが多ビット



$$Y(z) = \frac{H(z)}{1+H(z)} (X(z) - \delta(z)) + \frac{1}{1+H(z)} \cdot E(z)$$

# $\Delta\Sigma$ 変調器内のADC/DAC

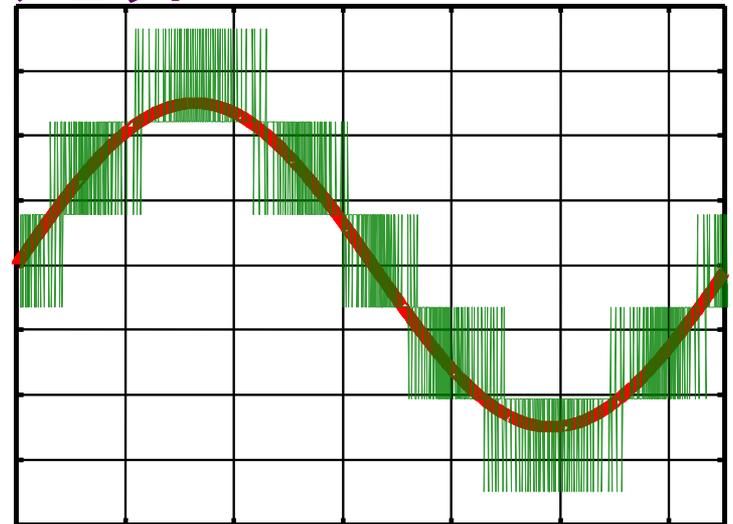
1ビット



## ■ シングルビット

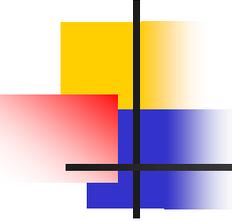
- 高次フィルタが必要  
(消費電力→大)

マルチビット



## ■ マルチビット

- 低次フィルタで高精度(低消費電力)
- アンプのスルーレート緩和(低消費電力)
- マルチビットDACの非線形性が問題



# なぜマルチビット $\Delta\Sigma$ 変調器 (1)

## 低消費電力化のため

---

- AD変調器の場合

単に「知的に面白い」から研究していたが。  
「アンプのスルーレート要求が緩和できる。  
アンプ低消費電力化のために必須。」

(米国系半導体メーカー技術者)

- DA変調器の場合

後段のアナログフィルタ要求が緩和

# なぜマルチビット $\Delta\Sigma$ 変調器 (2)

## 高精度・広帯域化のため

AD変調器の場合

内部ADC/DACが3ビット

→ 3次の変調器が安定

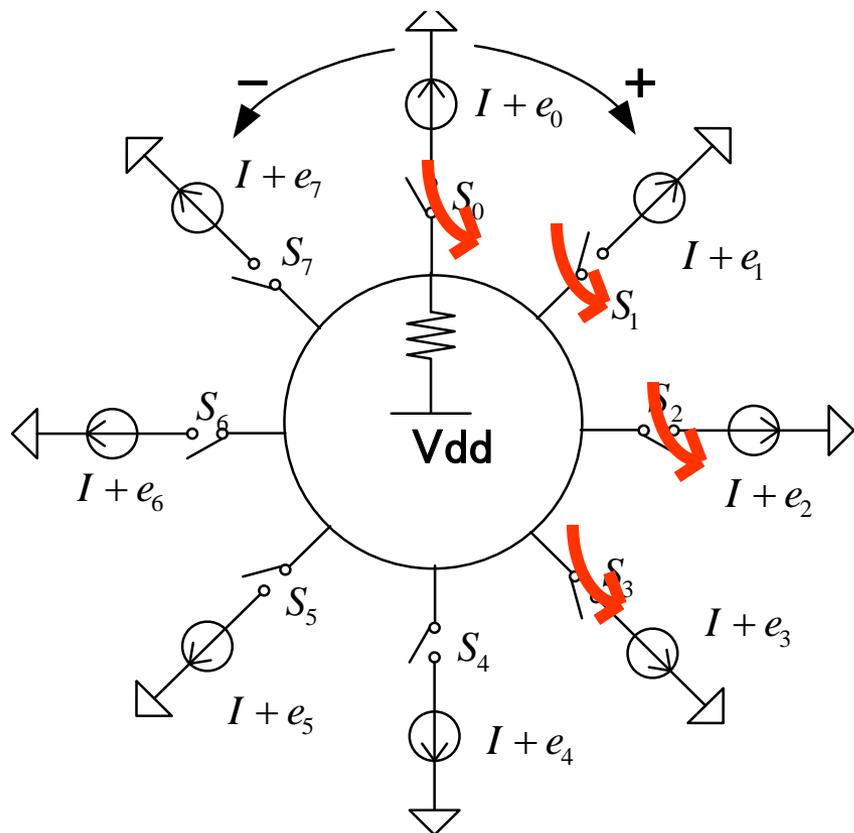
一般に Nビット

→ N次変調器が安定

高次の変調器が1つのループで実現可

# LowPass DAC非線形性

## ノイズ・シェープ・アルゴリズム



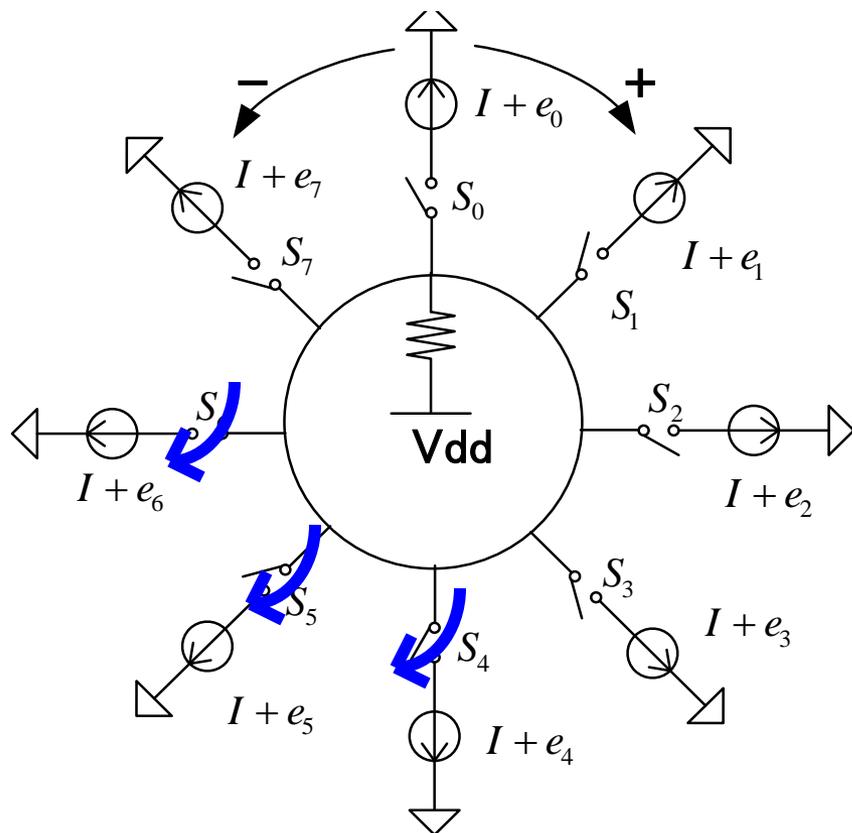
$$H(z) = 1/(1 - Z^{-1})$$

Time

	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

# LowPass DAC非線形性

## ノイズ・シェープ・アルゴリズム



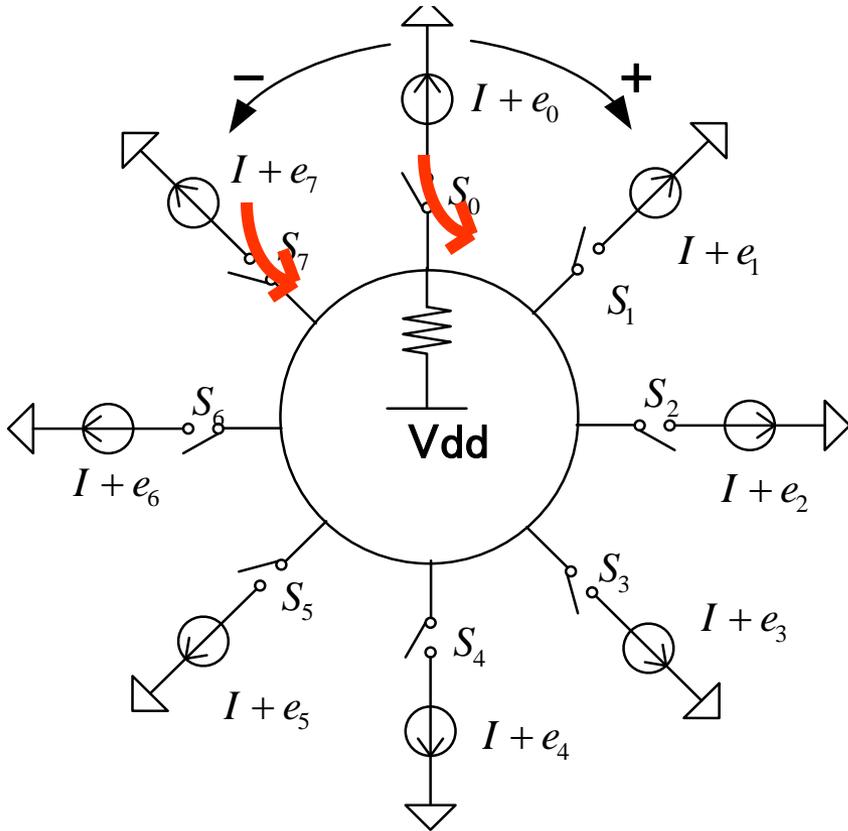
$$H(z) = 1/(1 - Z^{-1})$$

Time

	0	1	2	3	4	5	6	7
4	■	■	■	■				
3					■	■	■	■
2	■							■
2		■	■					
5				■	■	■	■	■
7	■	■	■	■	■	■	■	
1								■
5	■	■	■	■	■			
4	■					■	■	■
8	■	■	■	■	■	■	■	■

# LowPass DAC非線形性

## ノイズ・シェープ・アルゴリズム

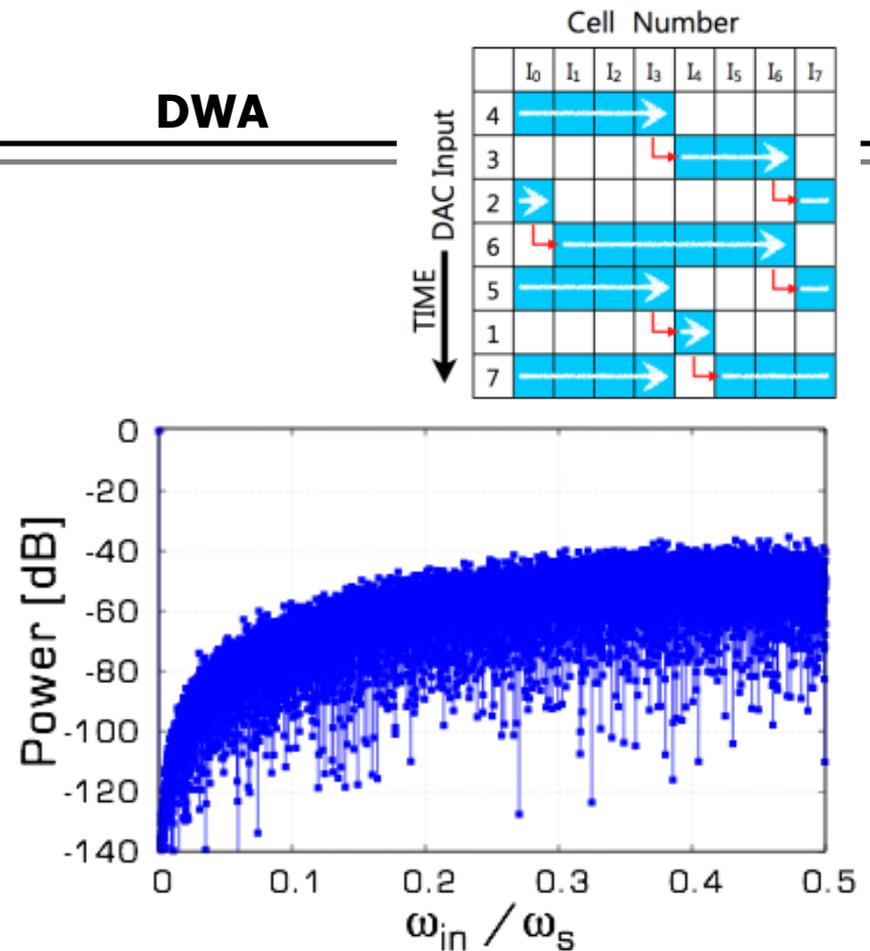
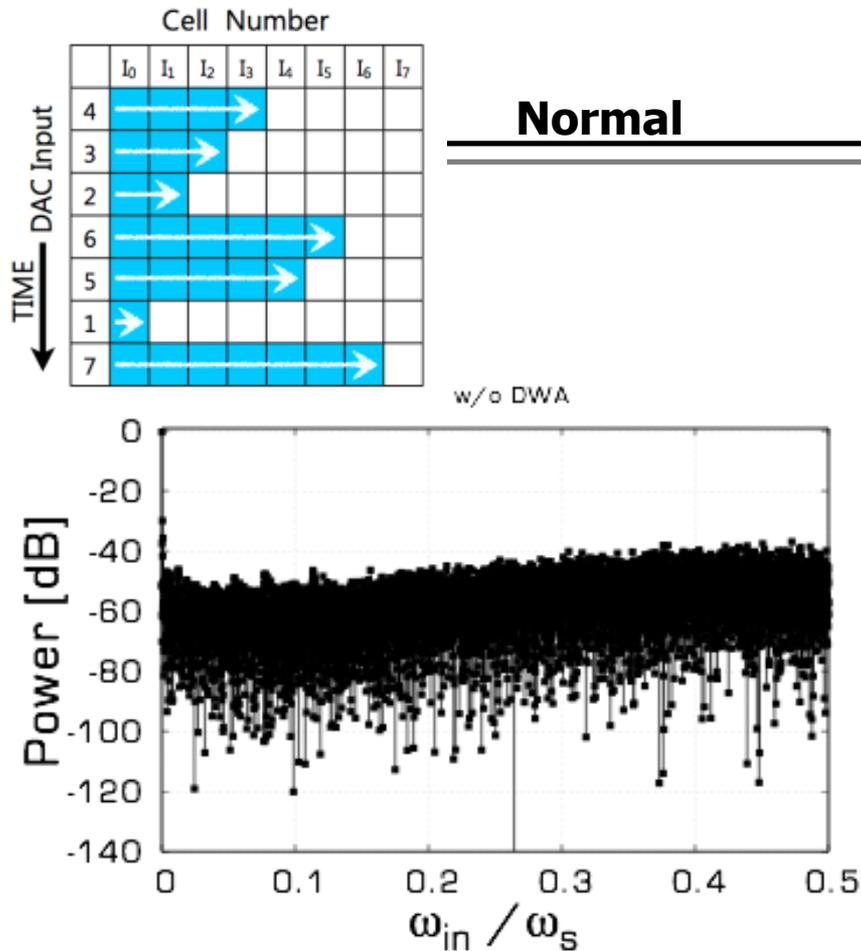


$$H(z) = 1/(1 - Z^{-1})$$

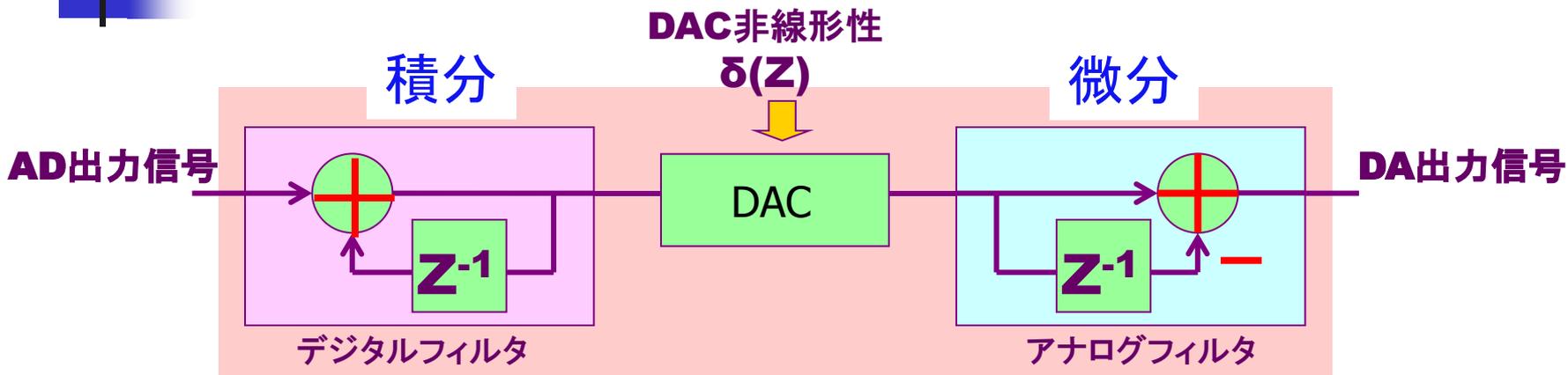
Time ↓

Input of DAC	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								
8								

# DWAアルゴリズムの効果



# DWA自体も $\Delta\Sigma$ 変調の構造

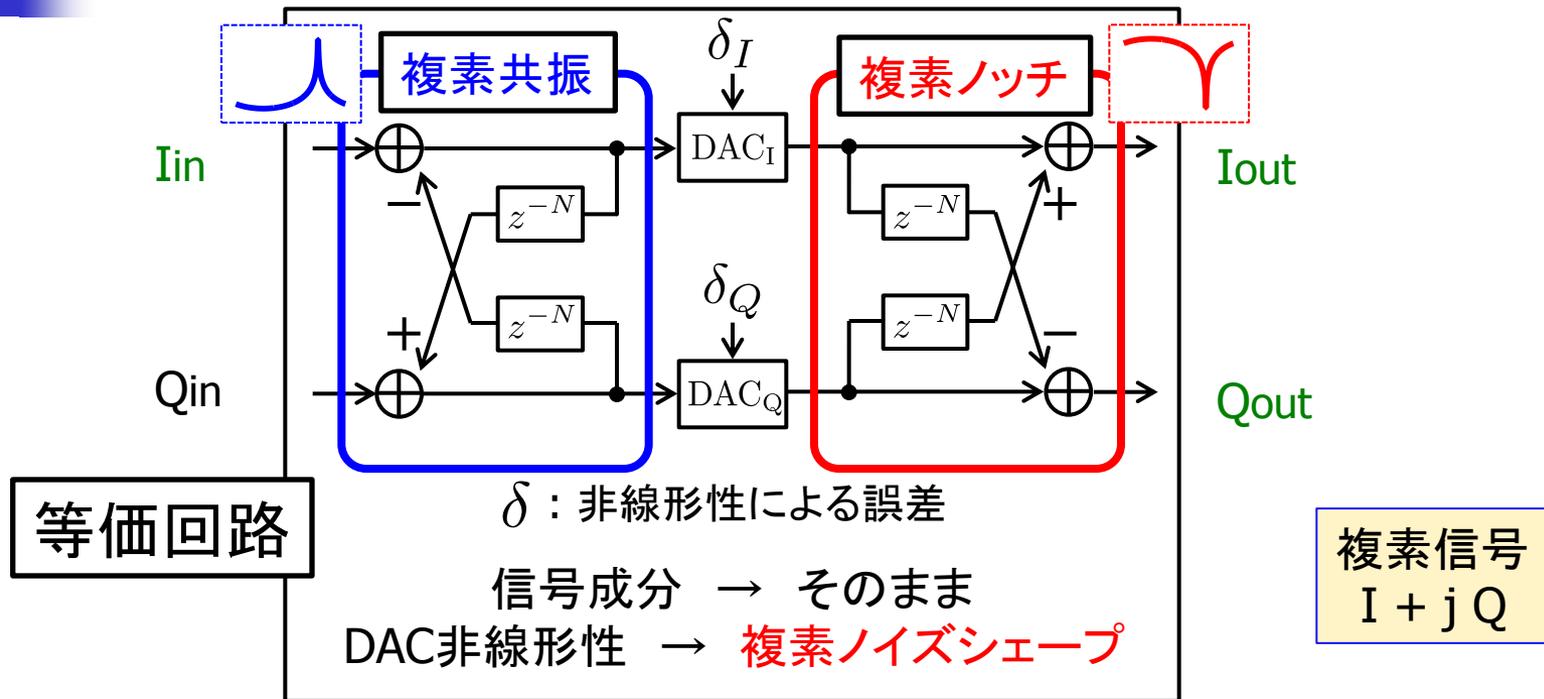


直接実現できない



等価実現

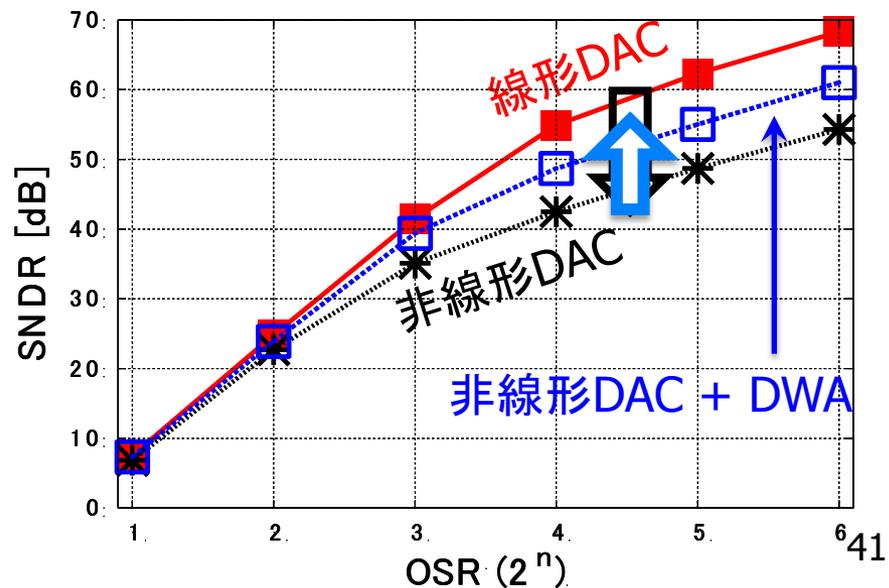
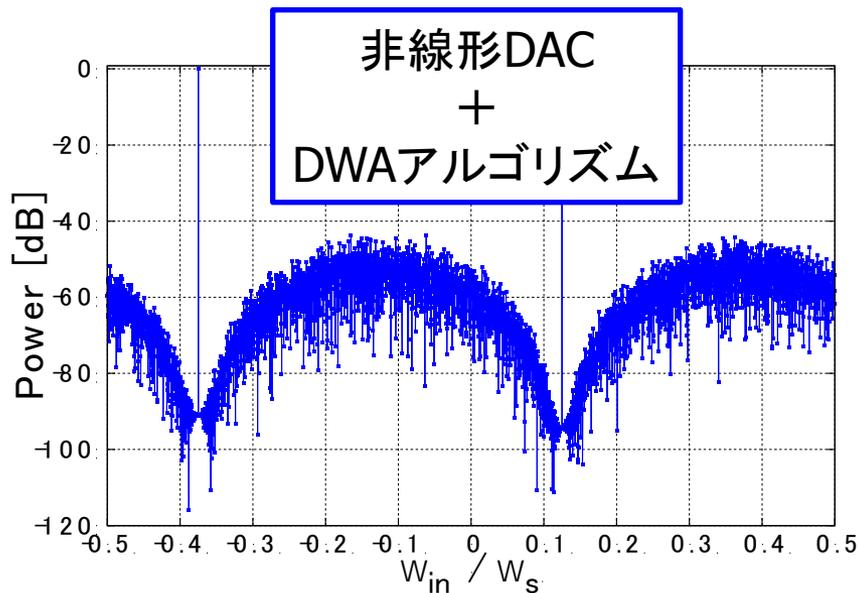
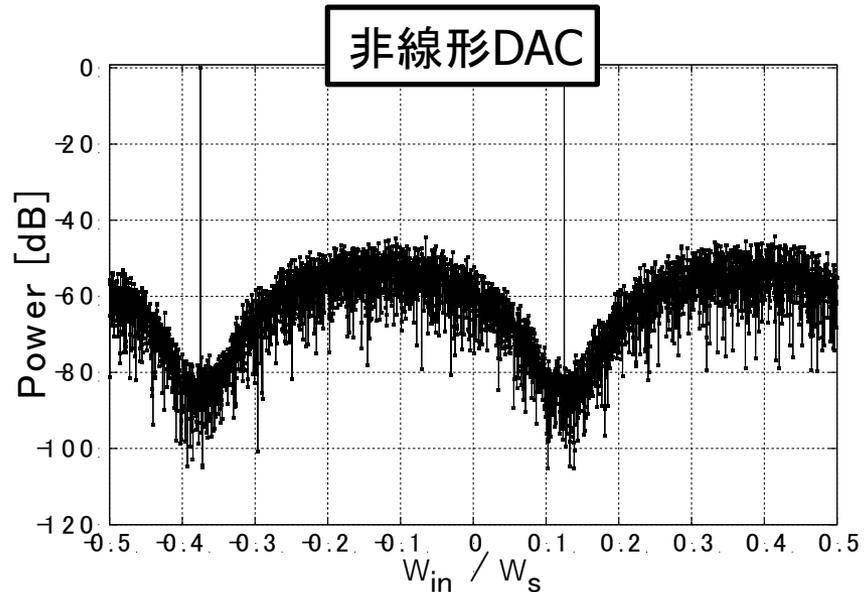
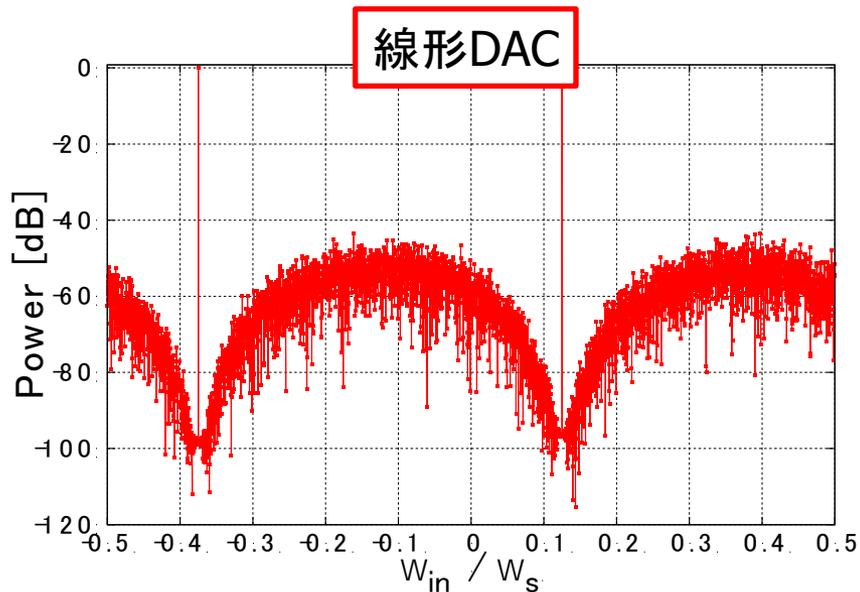
# 複素マルチバンドパス DWAアルゴリズムの開発

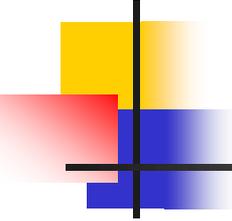


M. Murakami, et. al.,

"Study of Complex Multi-Bandpass  $\Delta\Sigma$  Modulator for I-Q Signal Generation,"  
 4th IEICE International Conference on Integrated Circuits Design and Verification  
 Ho Chi Minh City, Vietnam (Nov. 2013).

# DWAアルゴリズムによるSNDRの向上





# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ

# 時間領域アナログ回路

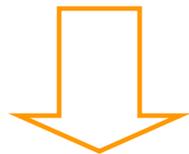
## (領域3: 振幅離散、時間連続)

- CMOSの微細化、電源電圧の低下

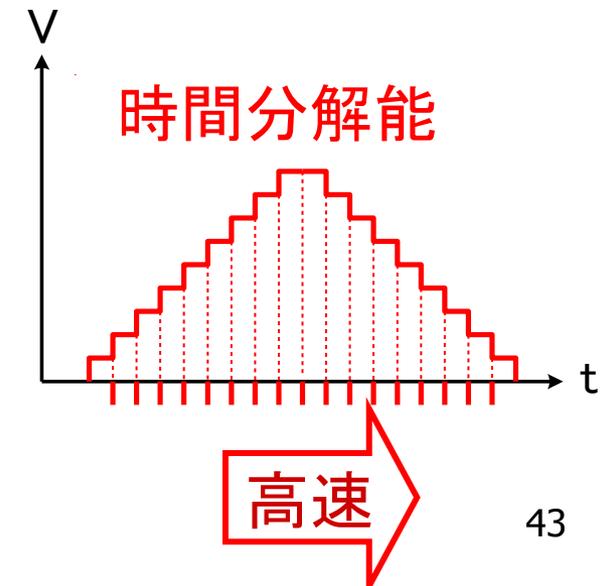
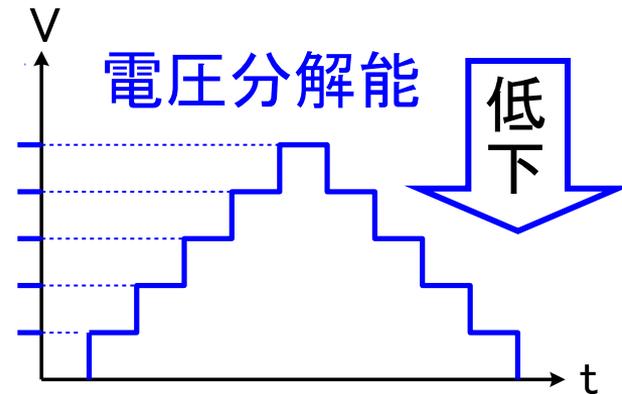
$V_{dd} \rightarrow$  小 (1V以下)  
スイッチング時間  $\rightarrow$  高速  
(数十ピコ秒)

- 微細CMOS高性能化のためには

アナログ信号での電圧分解能



デジタル信号端遷移の時間分解能



# 「時間」を信号として積極利用は 常識をはずれることに注意

Lateral Thinking : 水平思考

- デジタル回路でトラブルのは  
メモリインターフェース回路  
タイミング関係
- アナログ回路で難しいのは  
信号の時間遷移  
高周波特性



「回路で時間軸の設計は難しい」のが常識

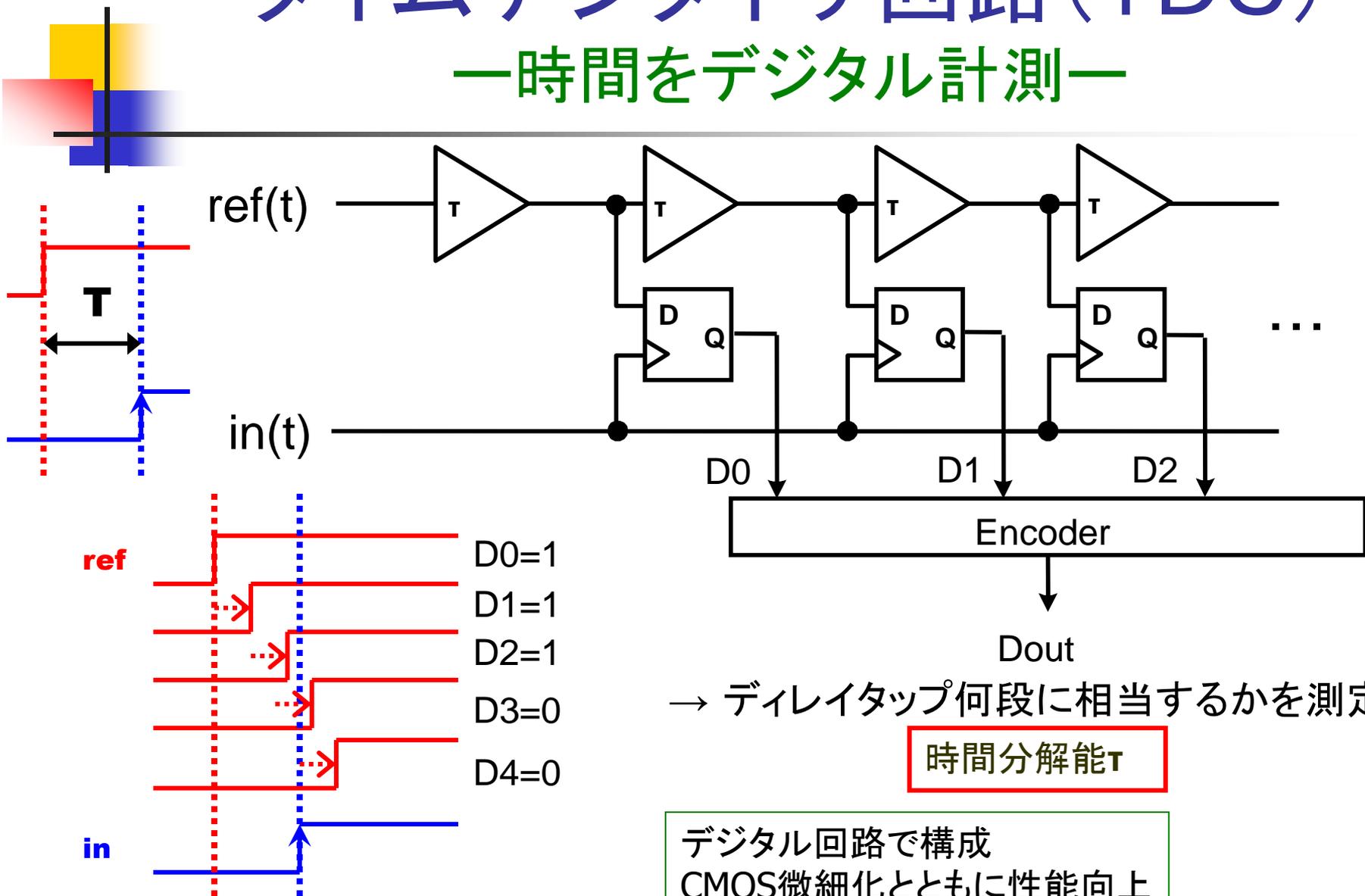
# 時間領域回路の特徴

## — 電圧、電流とは異なる —

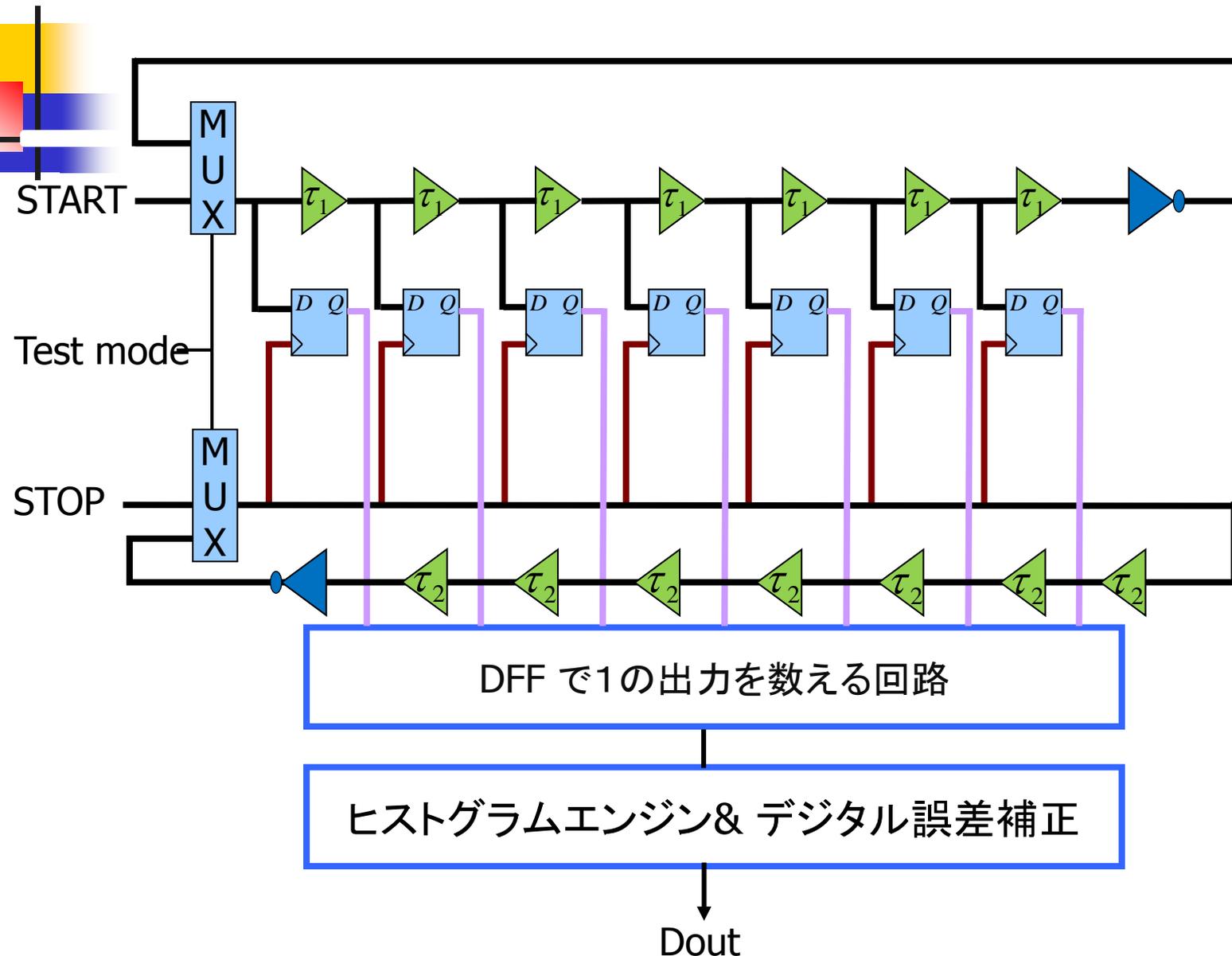
- リング発振回路を利用可
- 基準信号  $f_{ref}$  から正確に  $f_{ref}/2, f_{ref}/4, \dots$  の信号を生成可能  
(電圧  $V_{ref}$  から正確に  $V_{ref}/2, V_{ref}/4, \dots$  は生成は難しい。ADC/DAC設計では重要。)
- **クロック同期**  **キリヒホッフの法則に対応**
- 時間差は増幅できる(時間差増幅回路:付録参照)
- 時間は保持(hold)が困難
- ジッタ、位相ノイズ: 難しい課題

# タイムデジタイザ回路 (TDC)

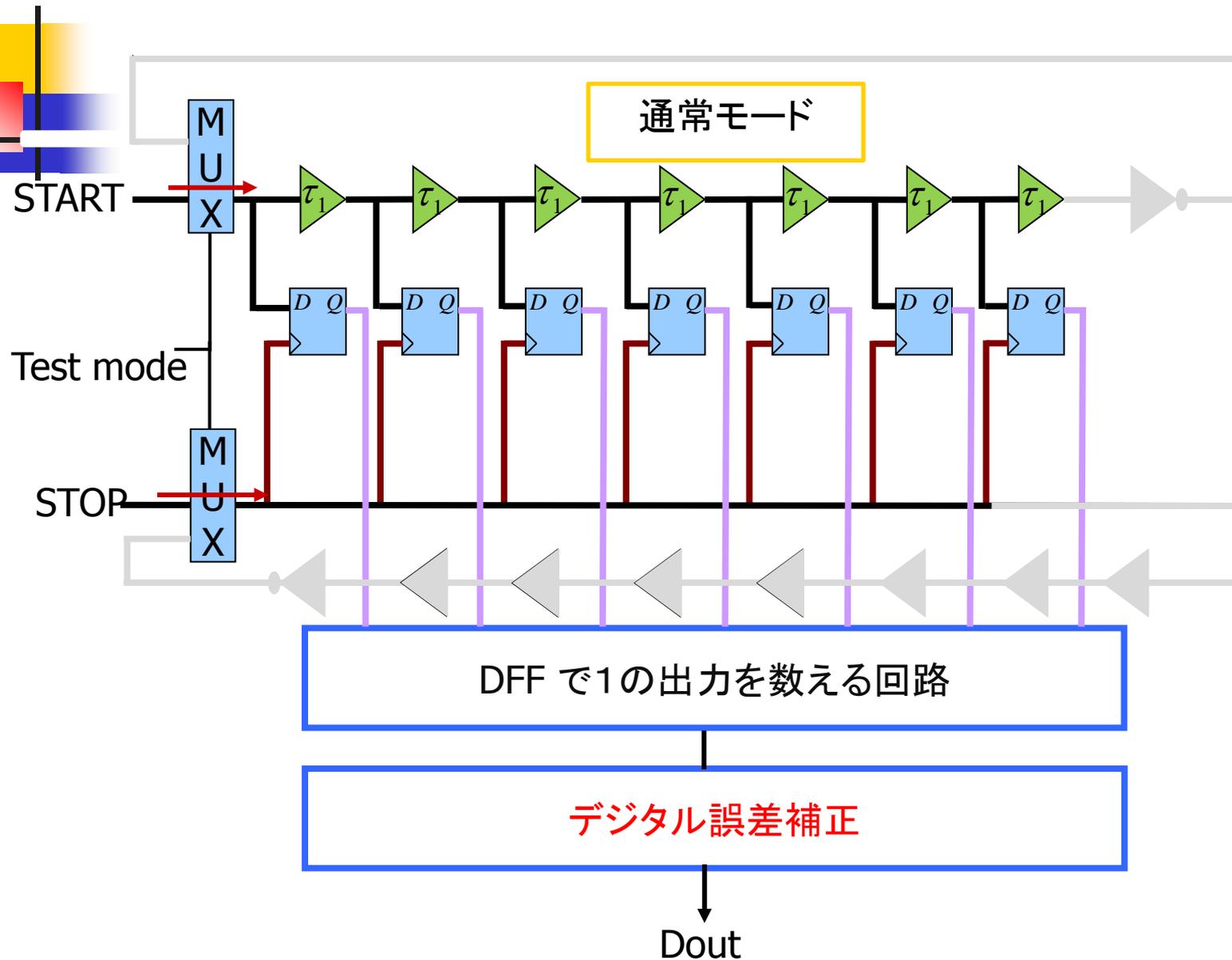
— 時間をデジタル計測 —



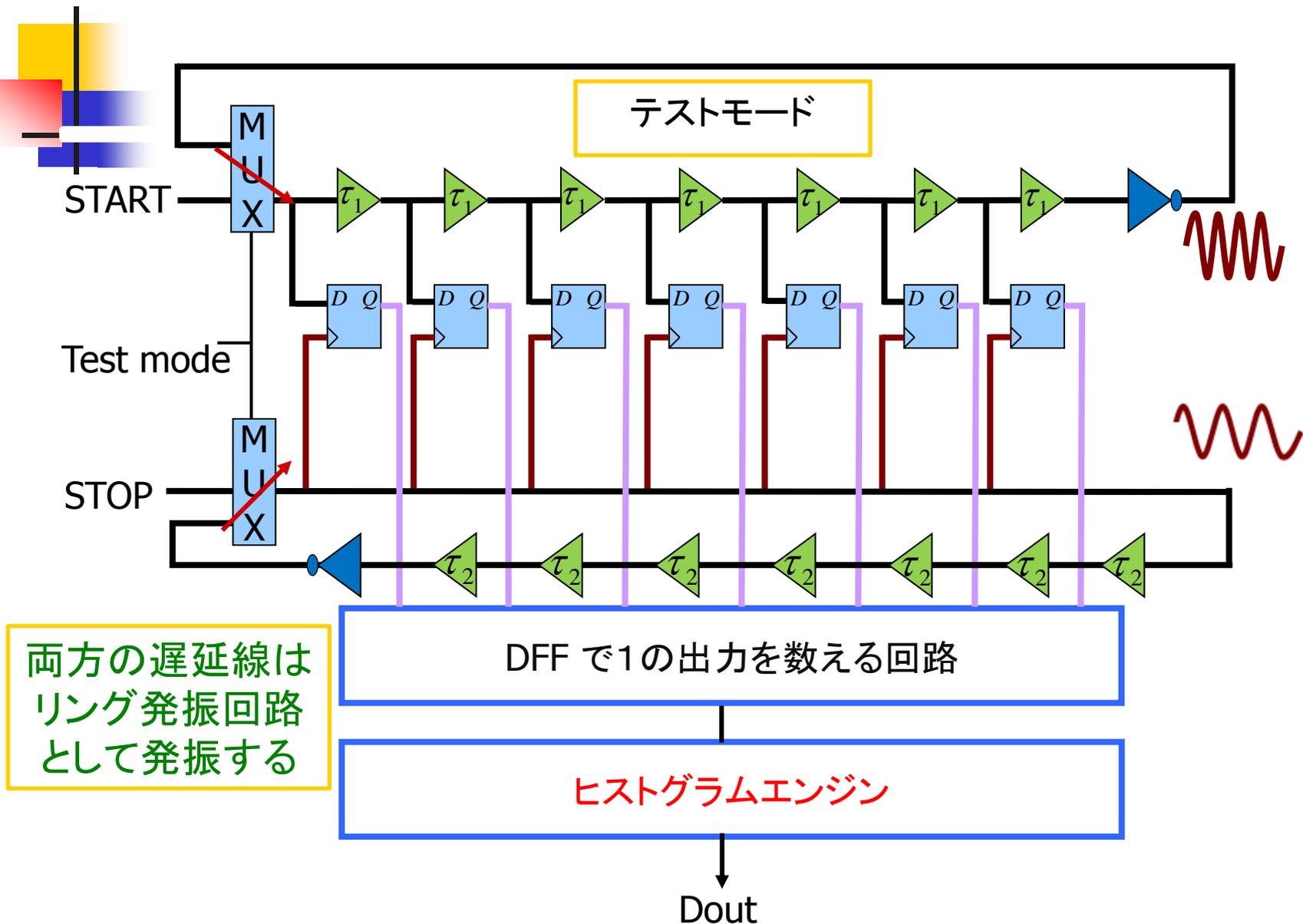
# 自己校正機能を備えたTDC回路の構成



# 自己校正機能を備えたTDC回路の構成



# 自己校正機能を備えたTDC回路の構成



# TDC自己校正の原理 (ヒストグラム法)

テストモード

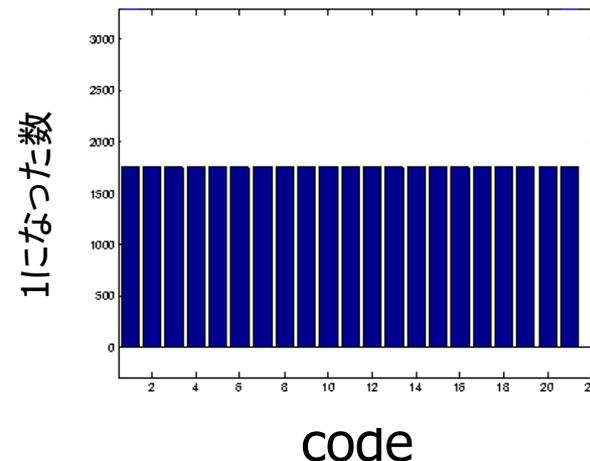
両方のリング発振器は同期していない(無相関)



TDCが完全に線形

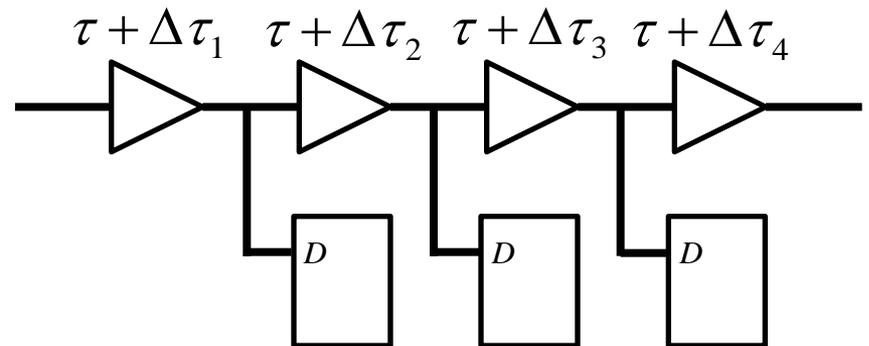
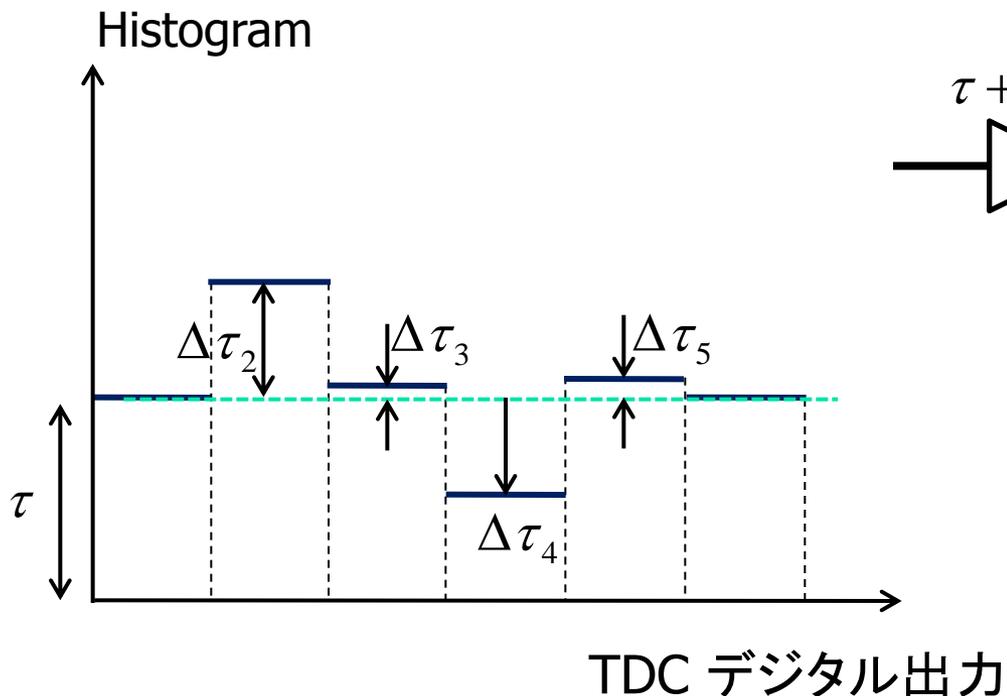
各出現コードの確率が等しい

- ・ 充分多くの点数をとれば各デジタルコードのヒストグラムは同一になる
- ・ 逆に、TDCのヒストグラムデータからDNL, INLを計算



# TDC自己校正の原理 (非線形性の同定)

TDCが非線形の場合：  
遅延ばらつきによって生じるINLをヒストグラムより求め  
逆関数を計算



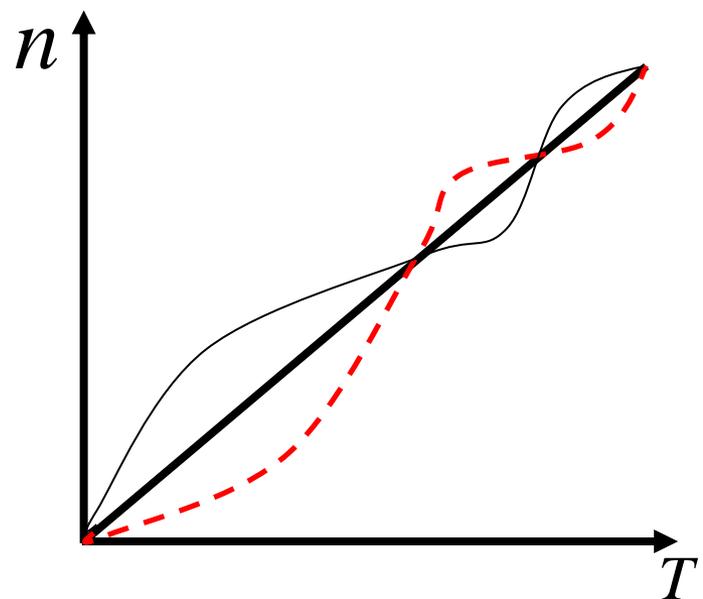
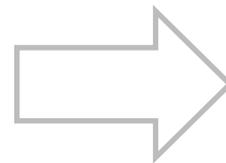
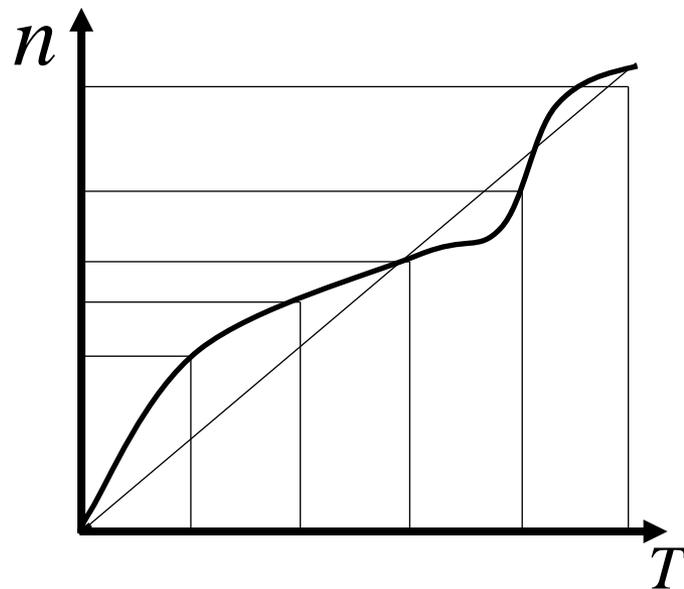
# TDC自己校正の原理 (非線形性の補正)

通常モード

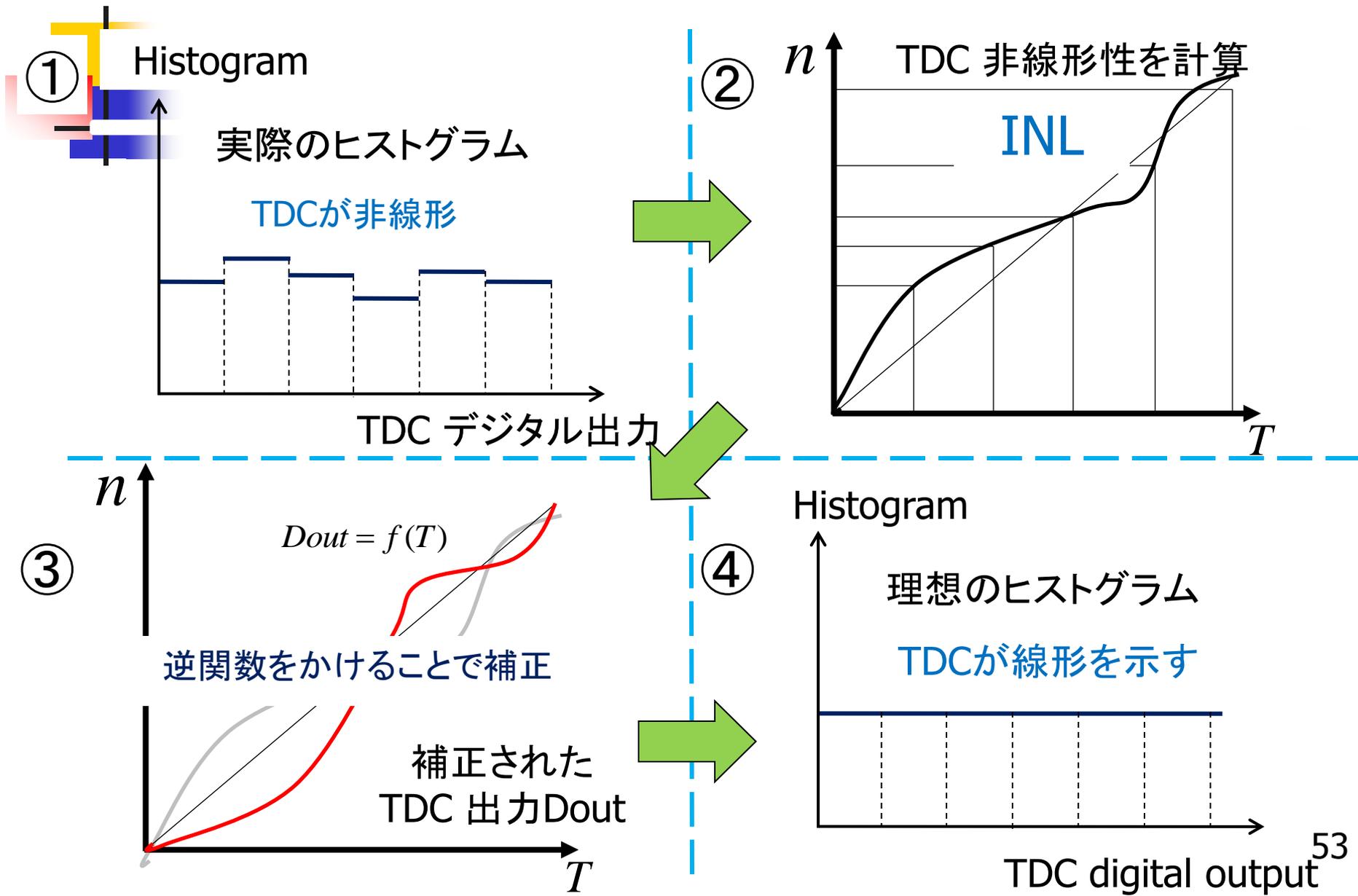
非線形性の逆関数をデジタル的にかける



線形性が得られる

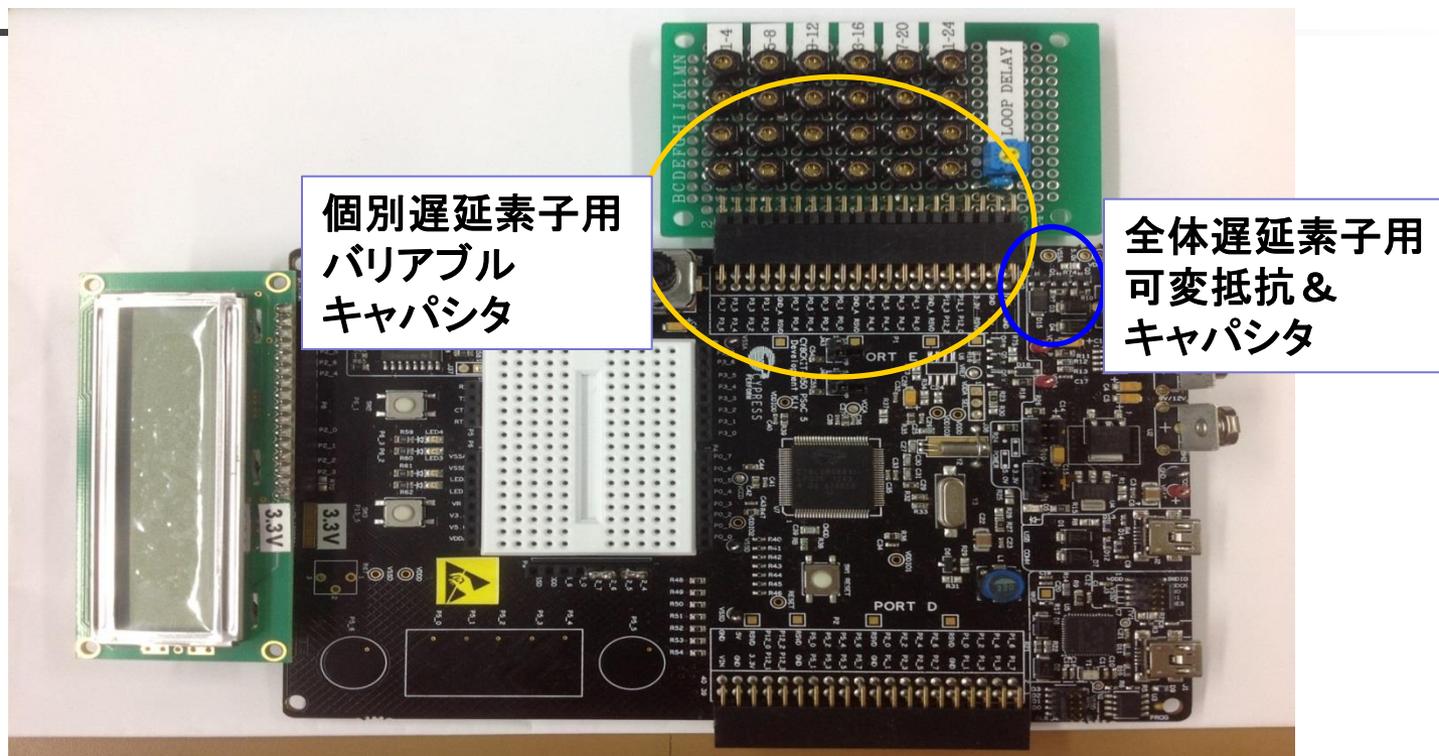


# 非線形性の自己校正



# 自己校正TDCを実装したPSoC

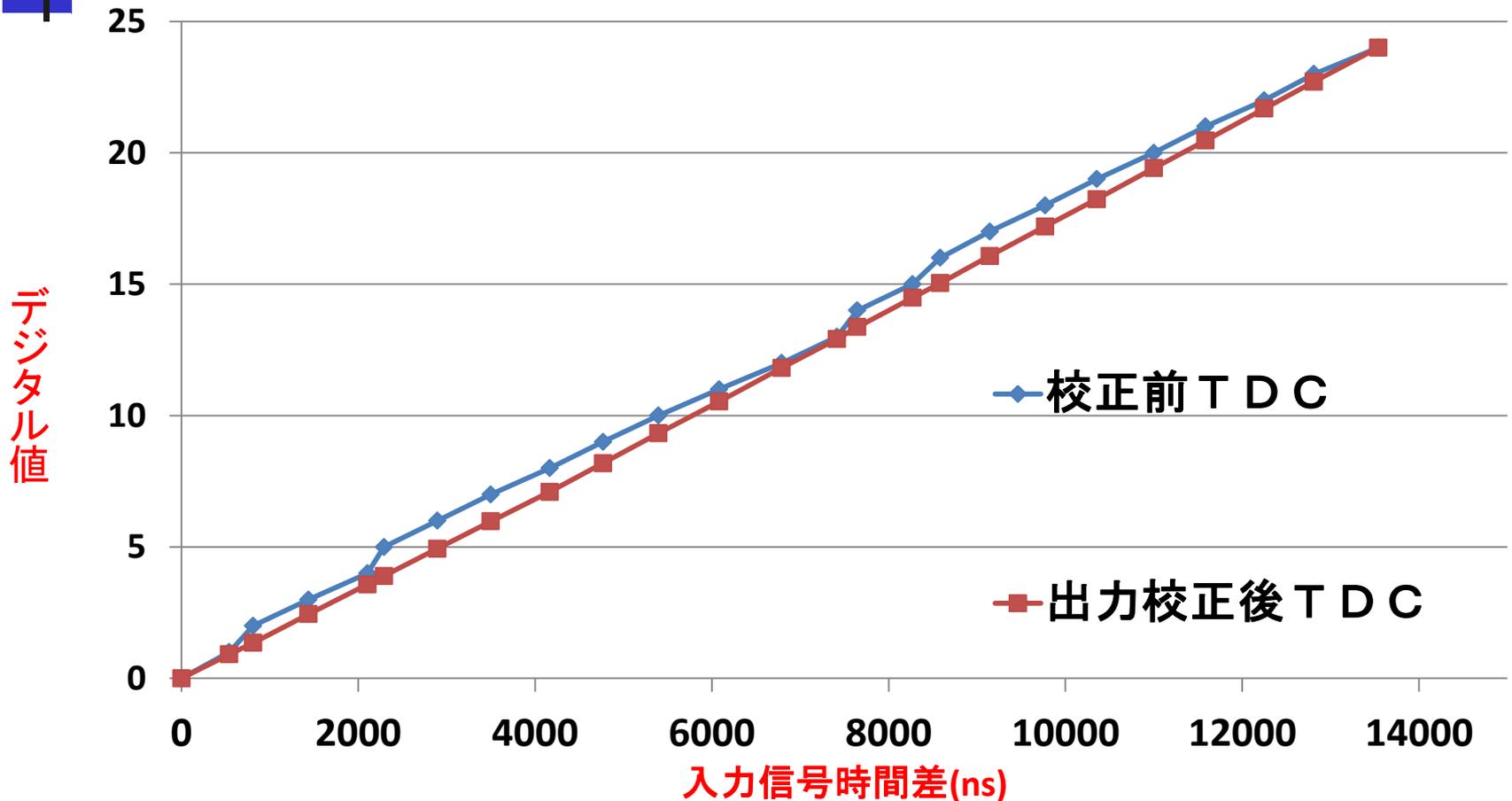
PSoC (Programmable System-on-Chip) 5LP & 外付け遅延素子



中條剛志 「フラッシュ型タイムデジタイザ回路のヒストグラム法による  
自己校正の実験検証」 電気学会 電子回路研究会 ECT-14-006 金沢  
(2014年1月)

# 自己校正前後のTDC入出力特性 (測定結果)

## PSoC TDC 入出力特性



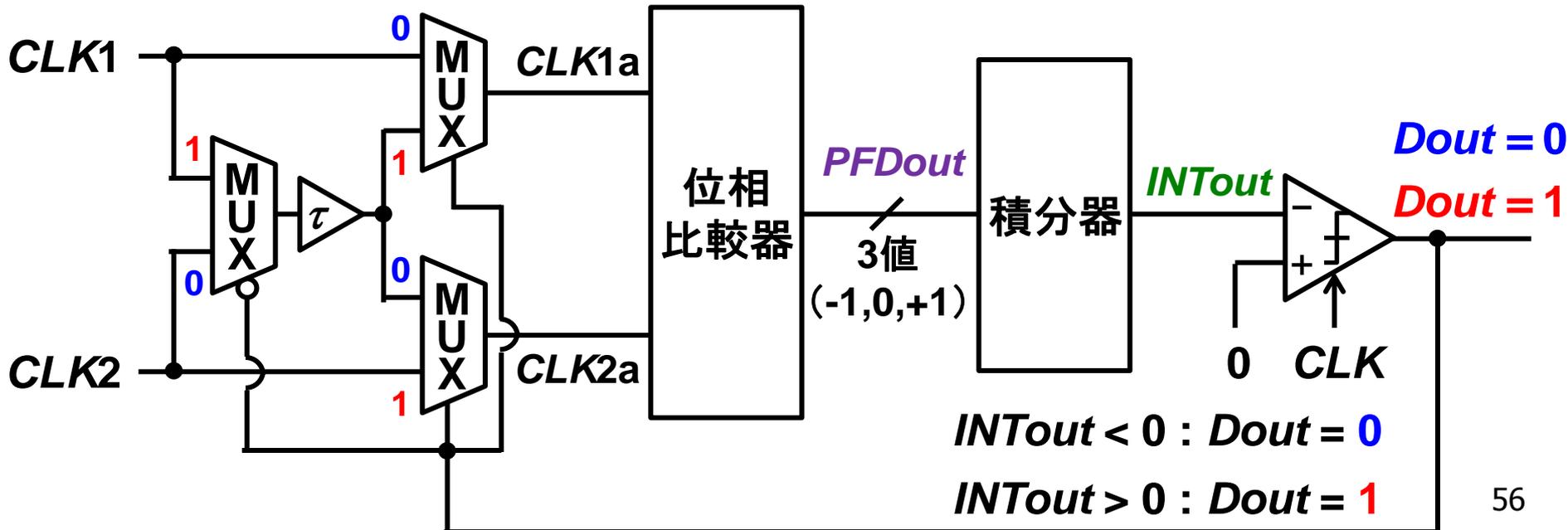
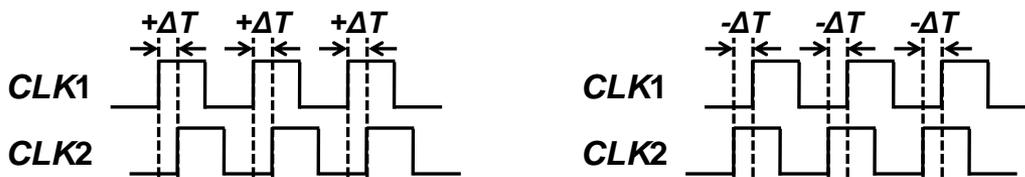
# TDC を $\Delta\Sigma$ 変調器で実現

測定可能範囲： $-\tau < \Delta T < +\tau$

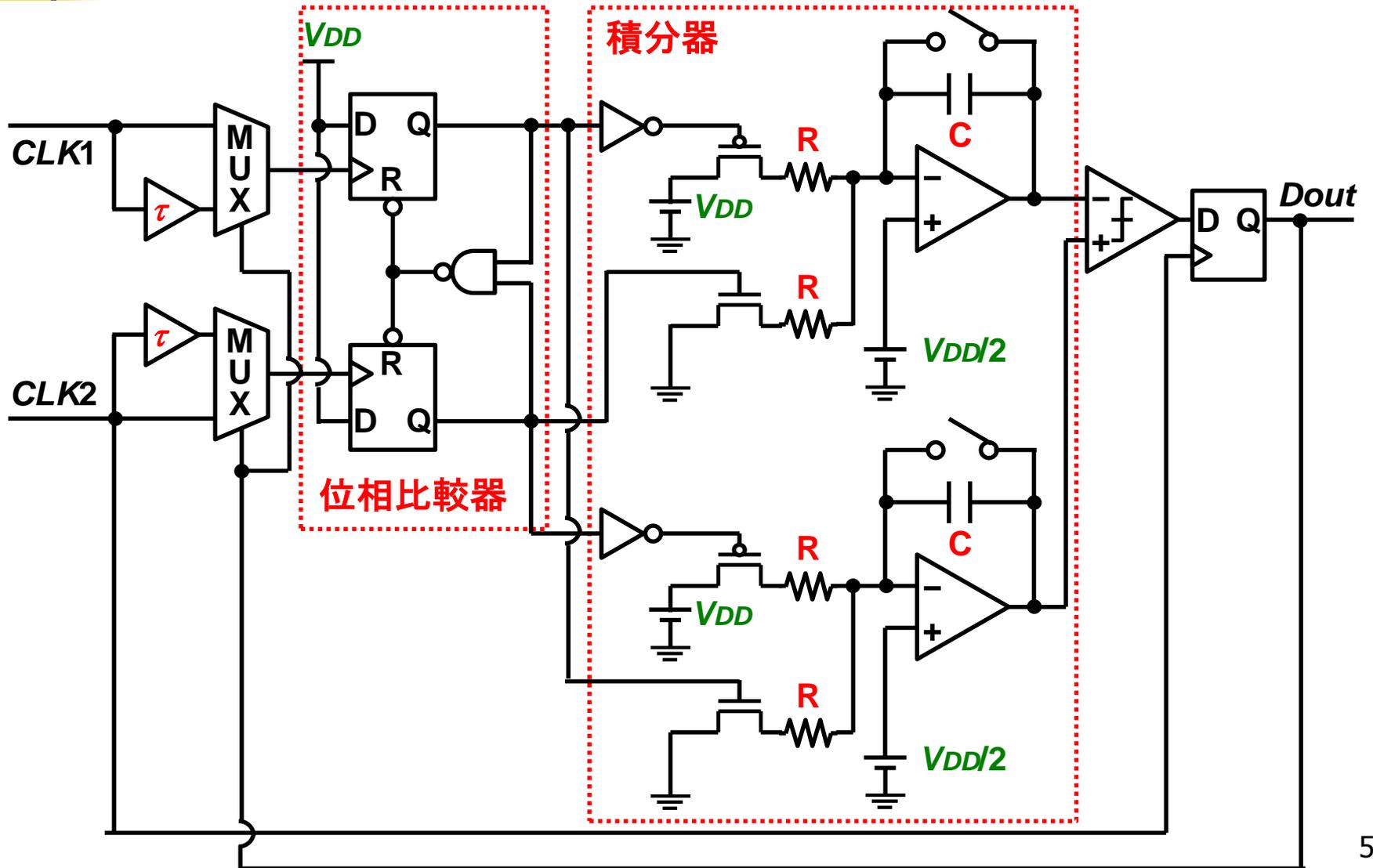
時間分解能：

$2\tau$

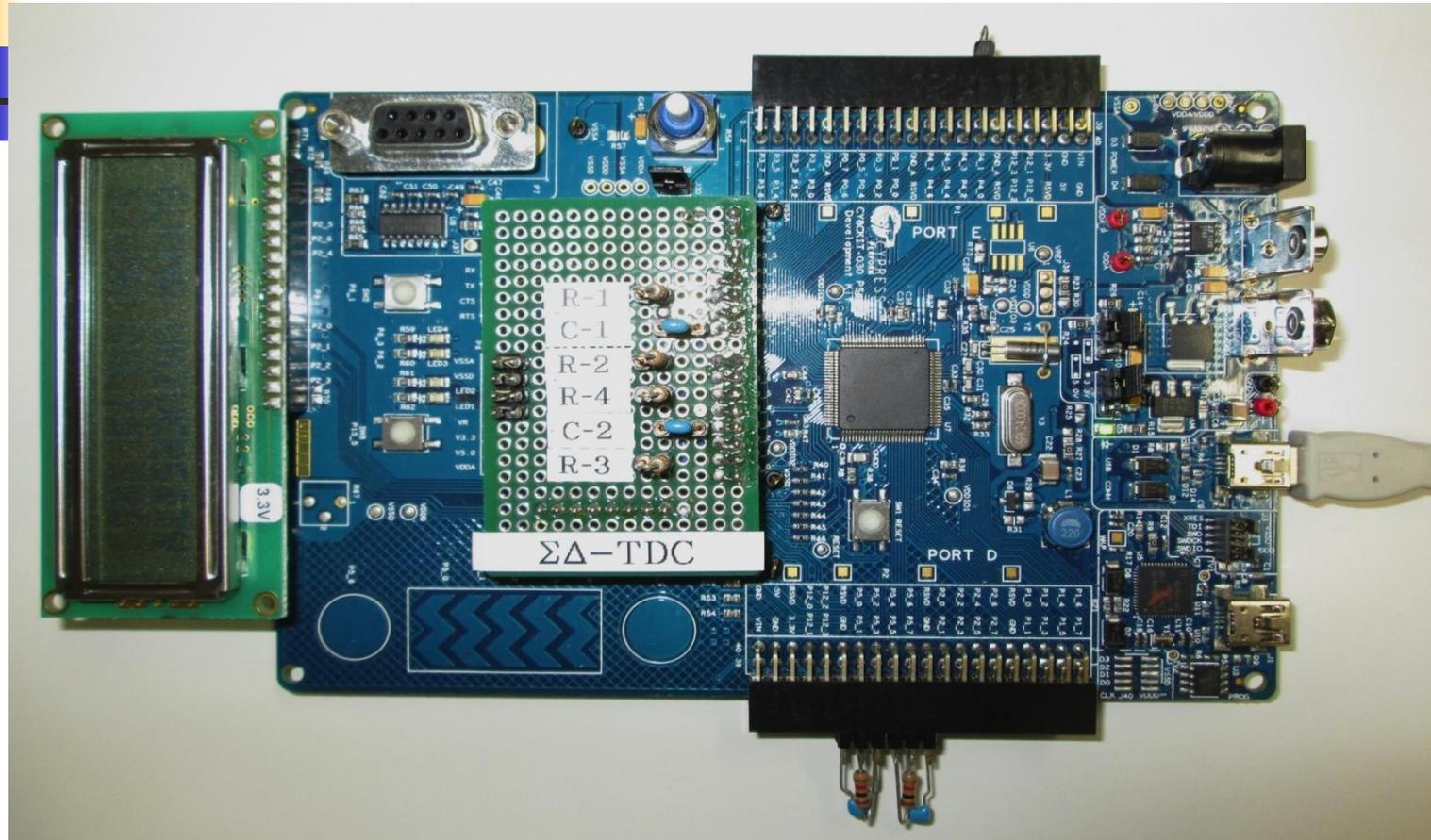
$Dout$ の全体の数 $N_{DATA}$  (0と1の合計)



# 設計した $\Delta\Sigma$ TDC回路



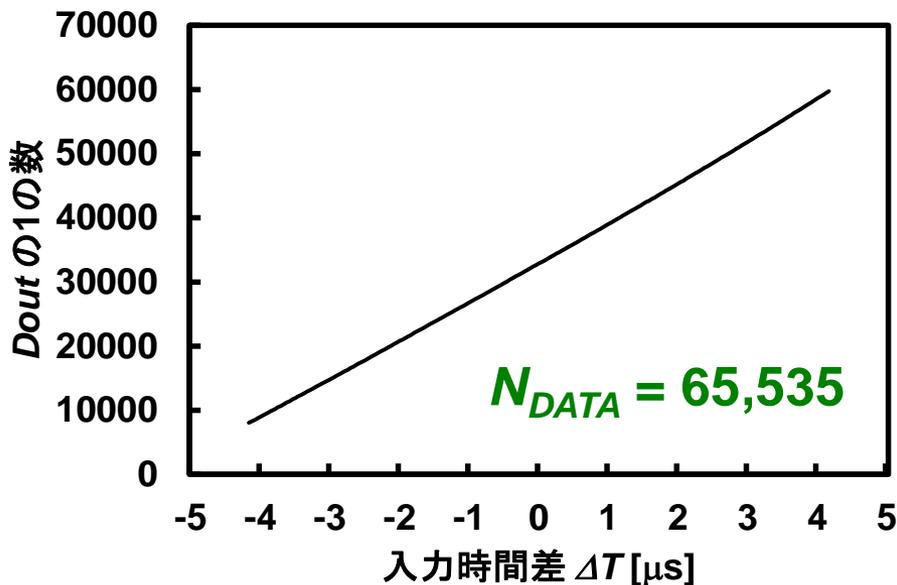
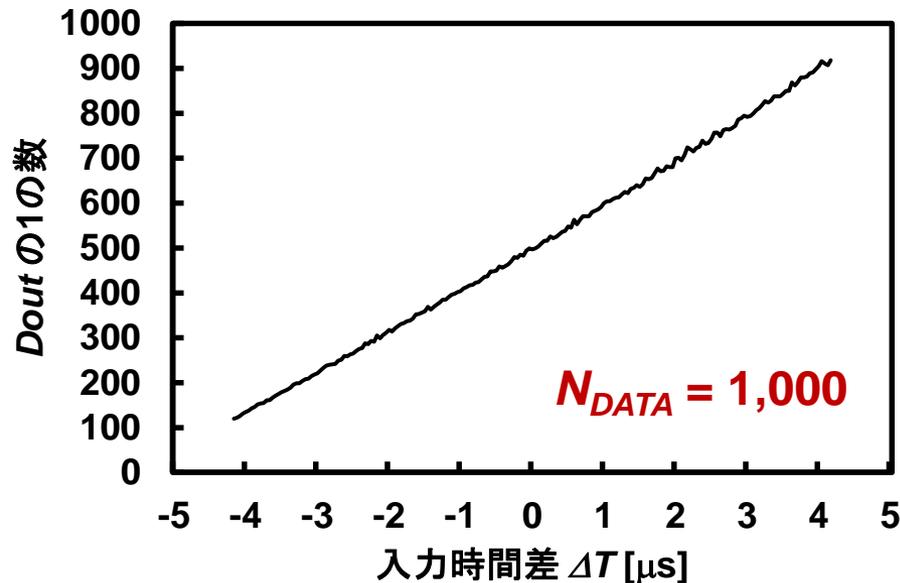
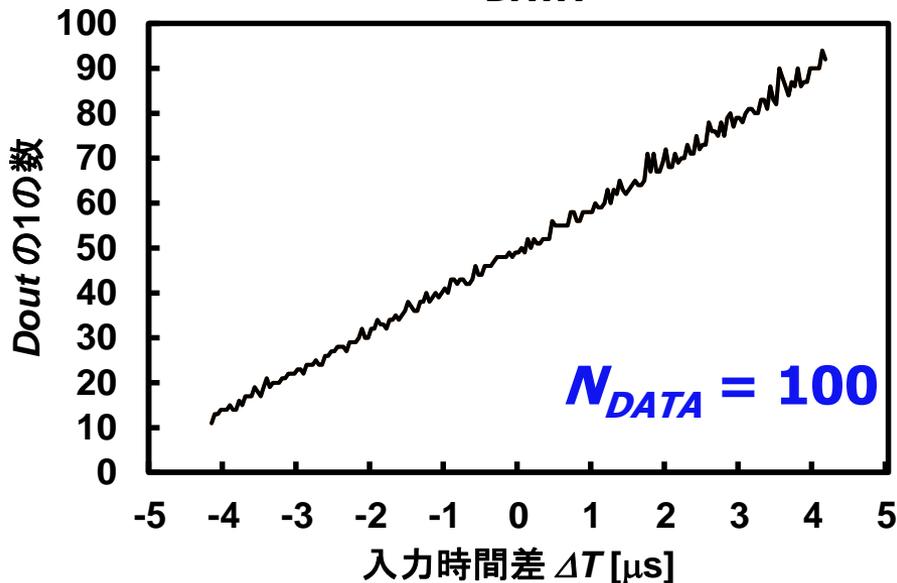
# $\Delta\Sigma$ TDCを実装したPSoC



平林大樹 他 「デジタル信号タイミング試験用BOSTの検討」  
電気学会 電子回路研究会, ECT-12-069, 熊本(2012年10月)

# 測定結果

全出力数  $N_{DATA}$  を **100**, **1,000**, **65,535** としたときの測定結果



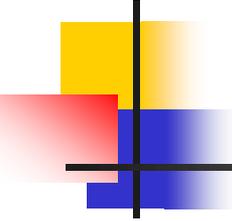
## 時間分解能の理論式

$$N_{DATA} = 100 : \frac{2 \times 5 \mu\text{s}}{100} = 100\text{ns}$$

$$N_{DATA} = 1,000 : \frac{2 \times 5 \mu\text{s}}{1000} = 10\text{ns}$$

$$N_{DATA} = 65,535 : \frac{2 \times 5 \mu\text{s}}{65535} = 153\text{ps}$$

出力数増加による時間分解能を評価



# 発表内容

---

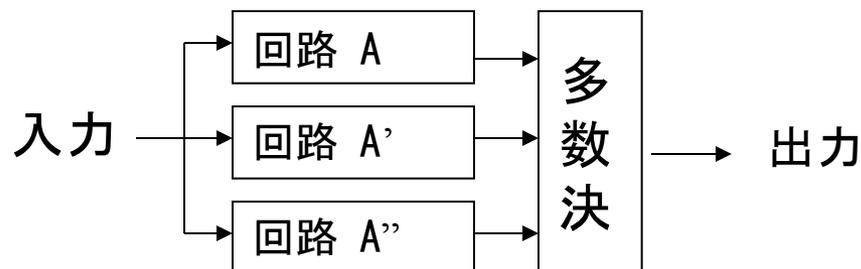
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ

# 冗長性によるデジタル誤差補正

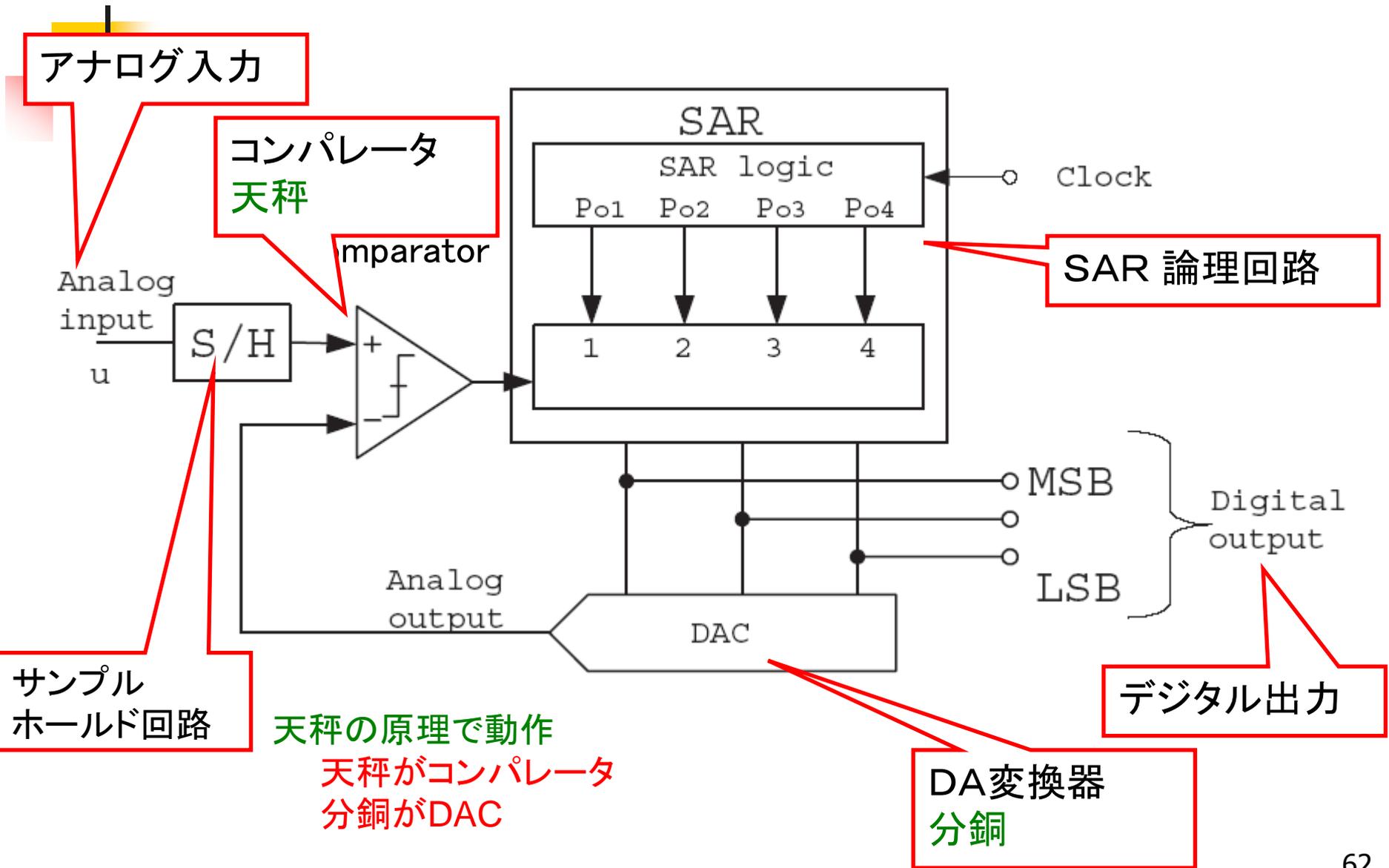
- **空間**の冗長性と**時間**の冗長性
- 回路の非理想要因を許容して正解を出力。
- 非理想要因は計測しない。
- デジタル誤差補正技術により
  - 高信頼性化
  - 高速化
- ここで紹介するのは

時間の冗長性を用いた  
逐次比較近似ADC

cf. 空間の冗長性の例



# 逐次比較近似ADCの構成と動作



# 測定の方法

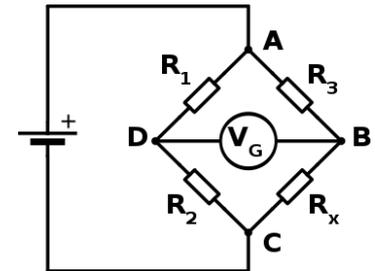
## 零位法と偏位法

### ● 零位法

測定量が基準値と等しいかを調べる

天秤、ブリッジ回路

逐次比較近似ADC



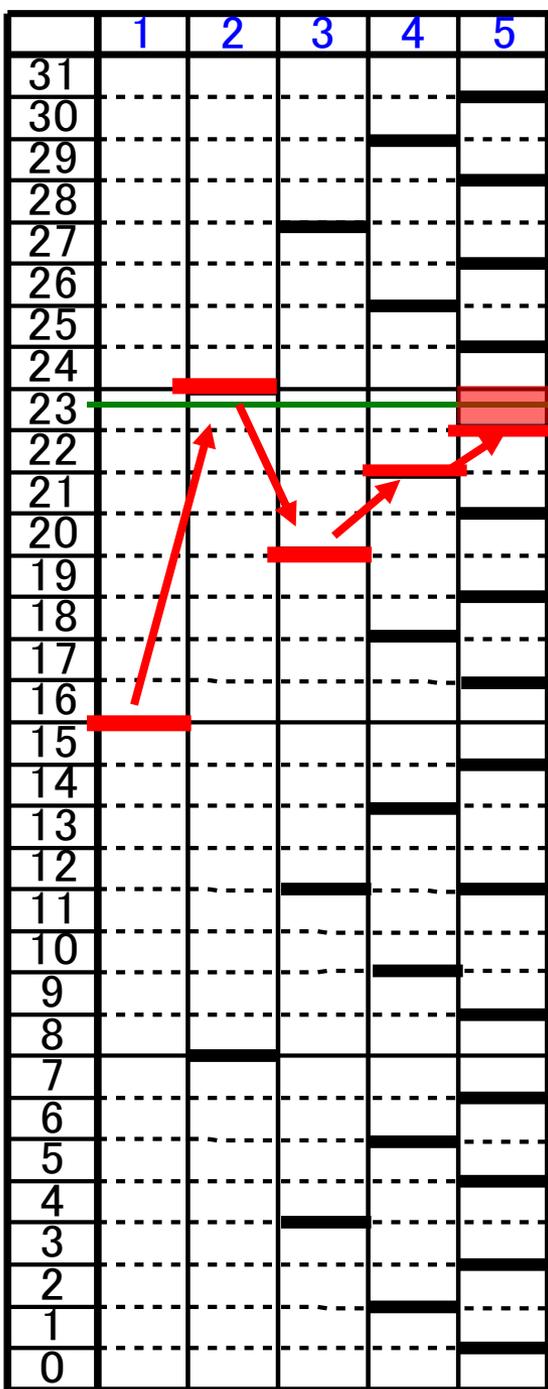
### ● 偏位法

測定量の結果として生じる

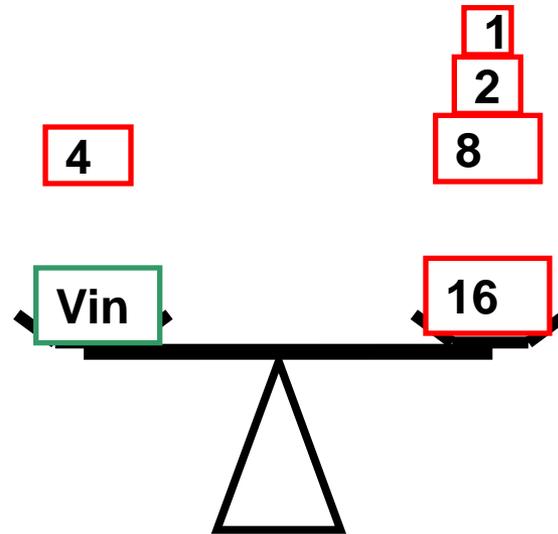
計器の指示値を読む

体重計、電圧計

# 5ビット 逐次比較近似ADC 2進探索アルゴリズム動作



23.5 動作例: アナログ入力 23.5 のとき



$$\boxed{\text{Vin}} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \\ \boxed{16} \end{matrix} - \boxed{4} = \boxed{23}$$

# 2進探索アルゴリズム コンパレータ誤判定時の動作



Vin=23.5 動作例: アナログ入力 23.5のとき

1ステップ目で誤判定したとき

誤差大

デジタル  
出力15

Vref(1)=16

Vref(2)=8

Vref(3)=12

Vref(4)=14

Vref(5)=15

デジタル出力 15

誤判定

# 非2進探索アルゴリズムの デジタル誤差補正原理

入力5のとき

2進探索

判定出力: 101

$$Dout = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

判定出力: 1101

$$Dout = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力: 0111

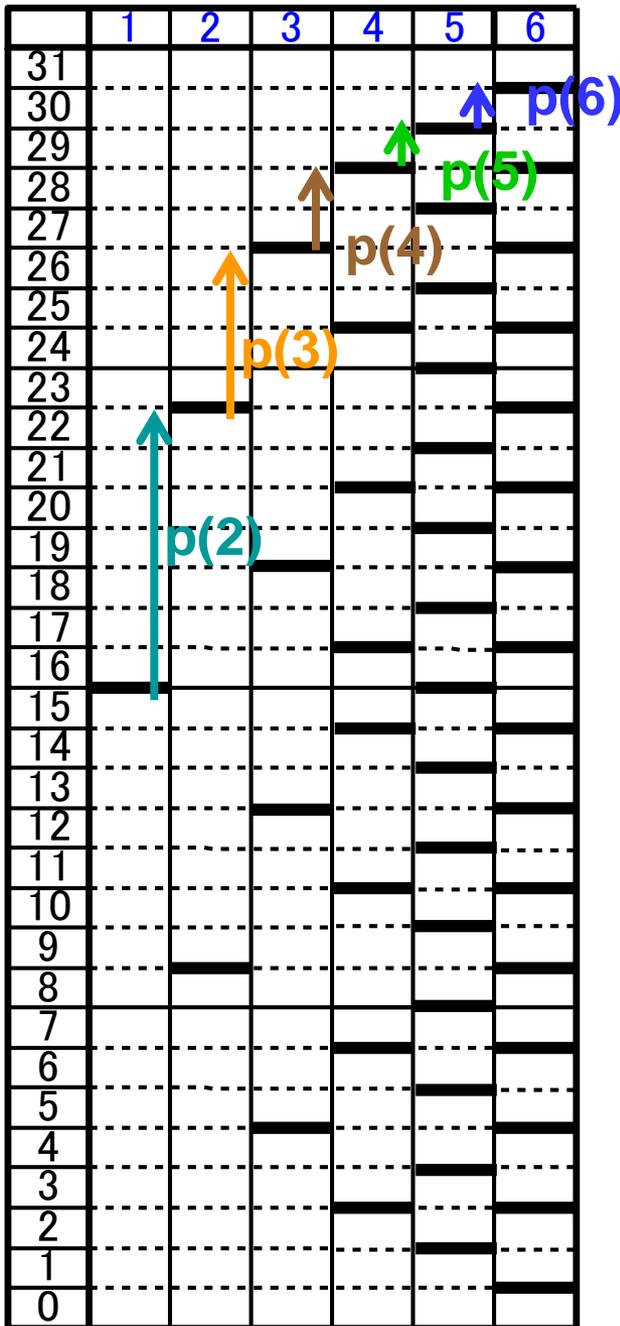
$$Dout = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

1ステップ目で判定誤りをしても補正できる

# 非2進探索アルゴリズム

5ビット分解能(32レベル)

6ステップ (k=1,...,6)の場合



$$p(2)=7$$

$$p(3)=4$$

$$p(4)=2$$

$$p(5)=1$$

$$p(6)=1$$

分銅の重さに対応

と設計する。

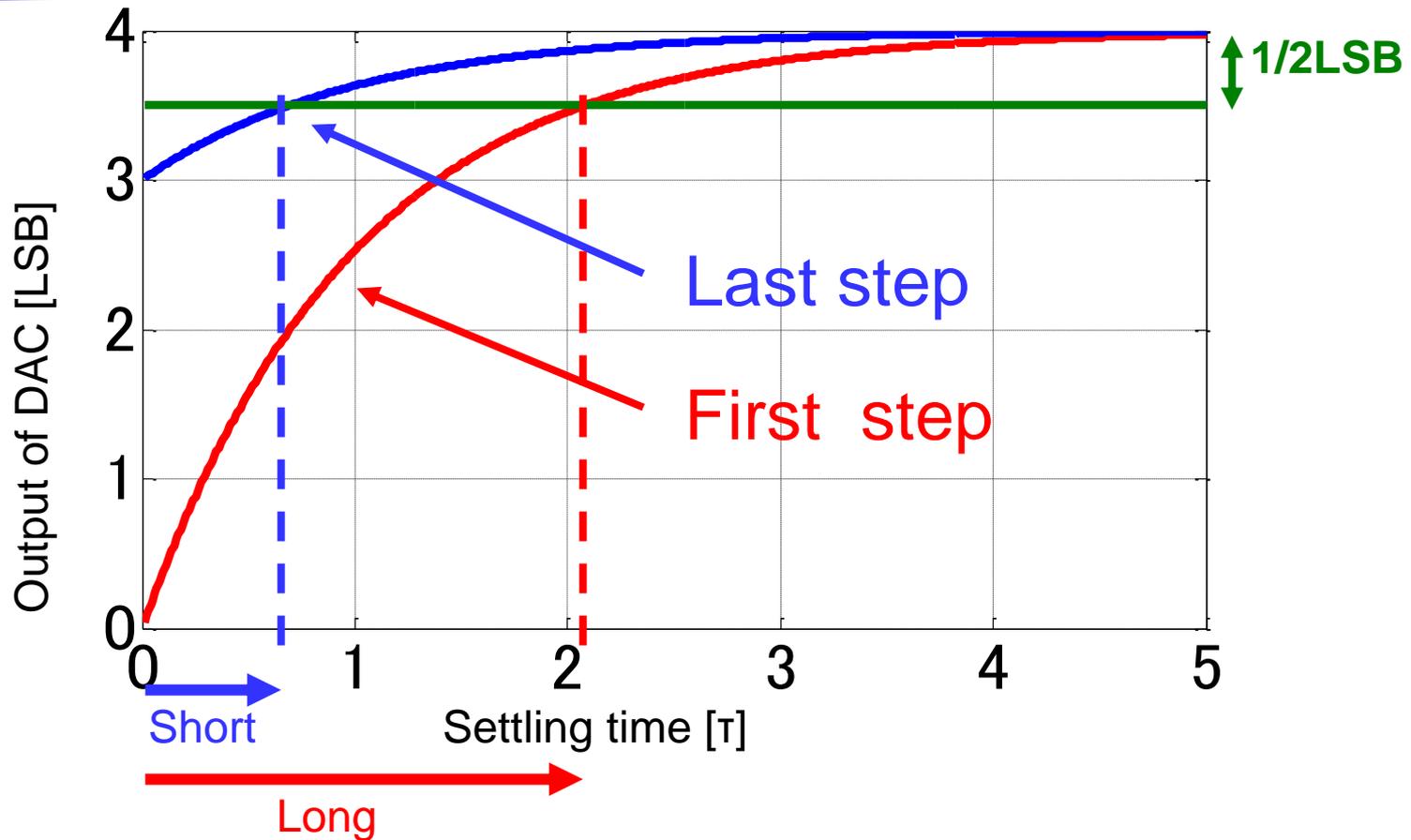
$$2^{5-1} = 1 + p(2) + p(3) + p(4) + p(5) + p(6)$$

$$2^4 = 1 + 7 + 4 + 2 + 1 + 1 = 16$$

$$2^{N-1} = 1 + \sum_{i=2}^M p(i)$$

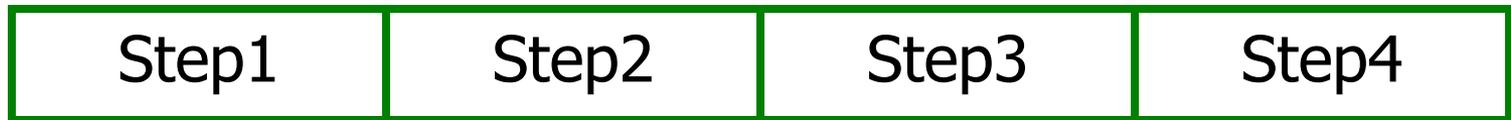
を満たしている

# 参照電圧発生用の 内部DA変換器の整定時間



# 非2進探索アルゴリズムによる AD変換 高速化 (原理説明)

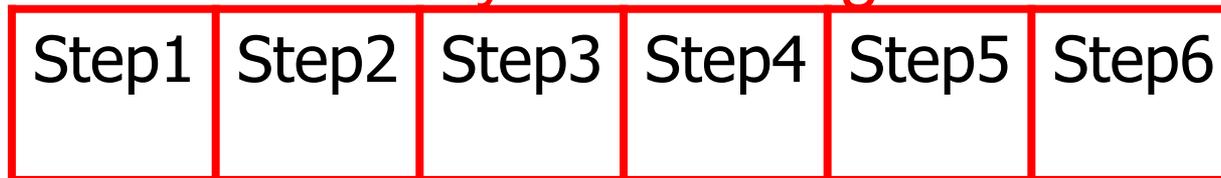
## Binary search algorithm



Exact DAC settling → Long time

A/D conversion time

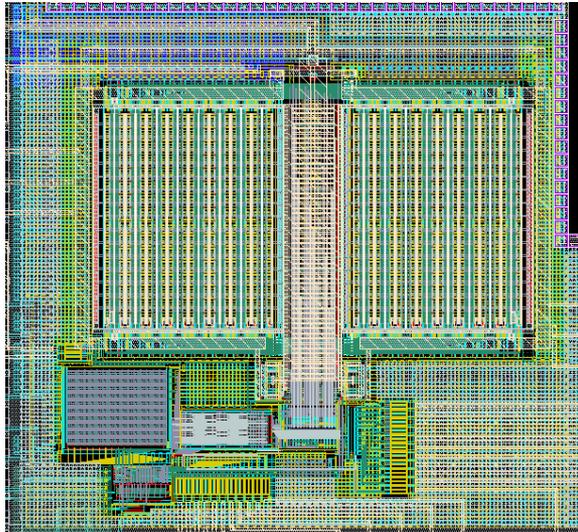
## Non-binary search algorithm



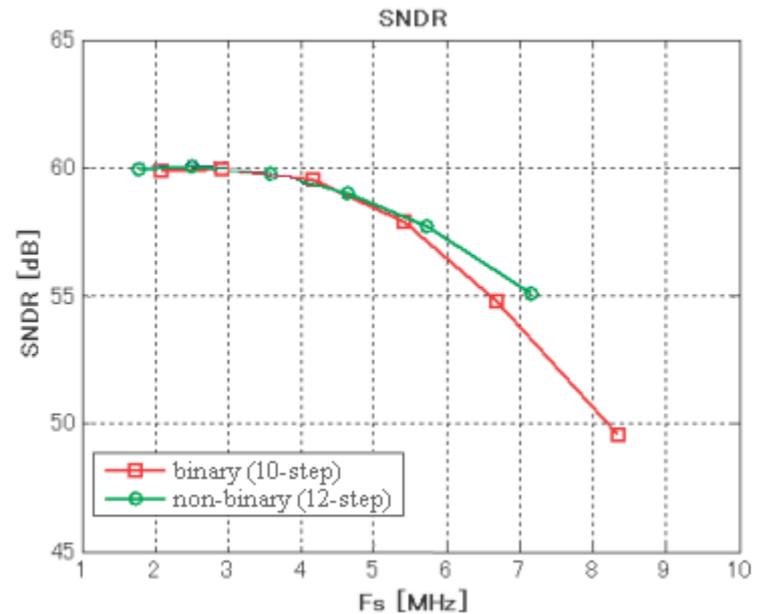
Correct incomplete settling error.

Incomplete DAC settling → Short time

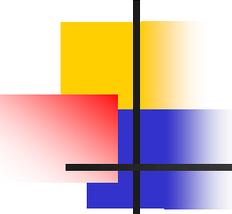
# 非2進逐次比較近似ADC IC実現と測定結果



10b SAR ADC  
TSMC 180nm CMOS  
サイズ 1.2×1.2mm<sup>2</sup>



測定結果



# 時間の冗長性

---

1人の人が、間違いなく 休みもとらずにやれば  
6時間で終わる仕事

➡ 7時間を割り当てる。

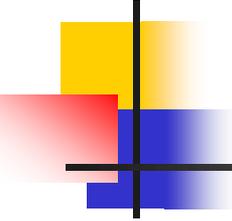
➡ 途中で間違えても修正・回復できる。

適度に休息をとり 余裕をもって確実に  
仕事を完了させることができる。

長い間には効率的。短い時間で大プロジェクトが完了できる。

ADCアーキテクチャ例： 冗長アルゴリズムSAR ADC

T. Ogawa et. al., "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals (Feb. 2010).



# 空間の冗長性

---

5人で7時間で終わる仕事に

6人を7時間で割り当てる。

→ 休息をとれる。一人が風邪で休んでもOK。

一人が間違えても周りが助ける。

→ 各自の負担が大幅に軽減でき、

長期的には効率がよい。

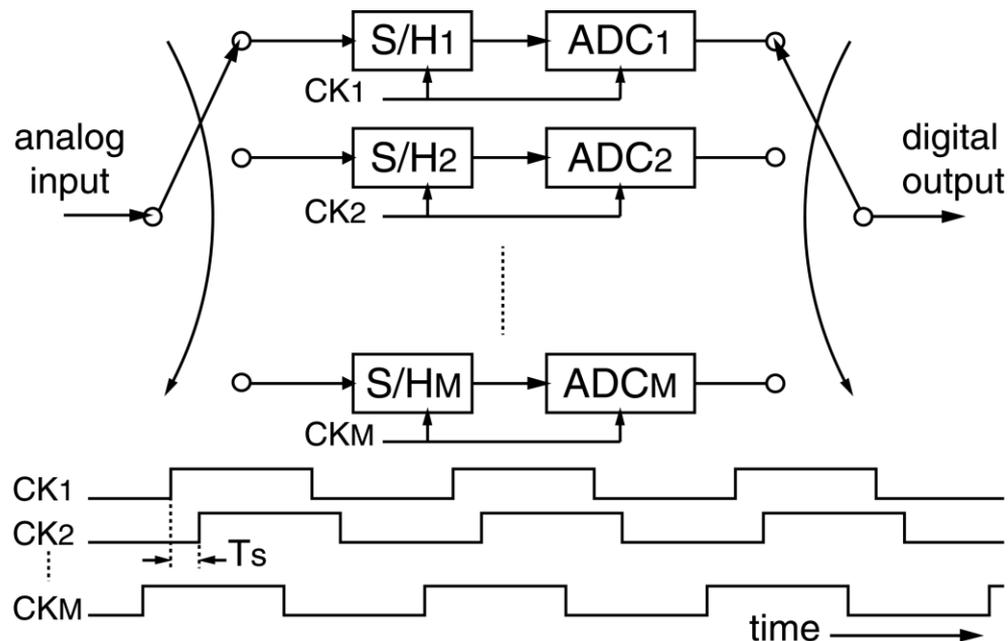
対応するADCアーキテクチャ例： 3つの比較器を使用するSAR ADC

M.Hotta, "SAR ADC Architecture with Digital Error Correction",  
IEEJ Transactions on Electrical and Electronic Engineering (Nov. 2010).

# インターリーブADCの構成と動作

M個のADCのインターリーブでM倍のサンプリングレートを実現

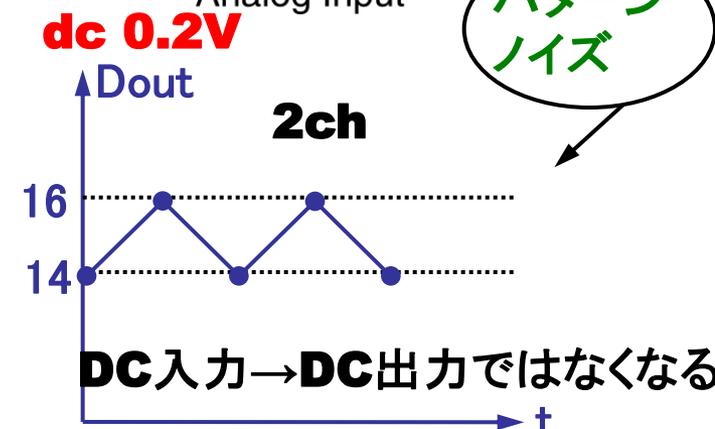
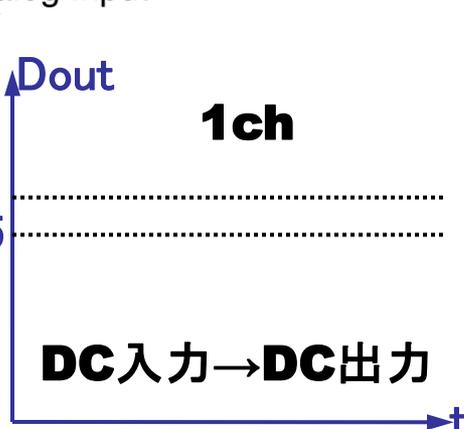
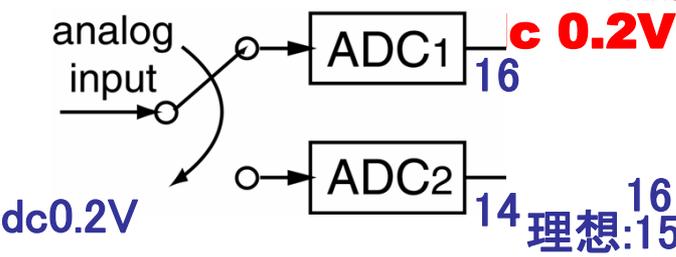
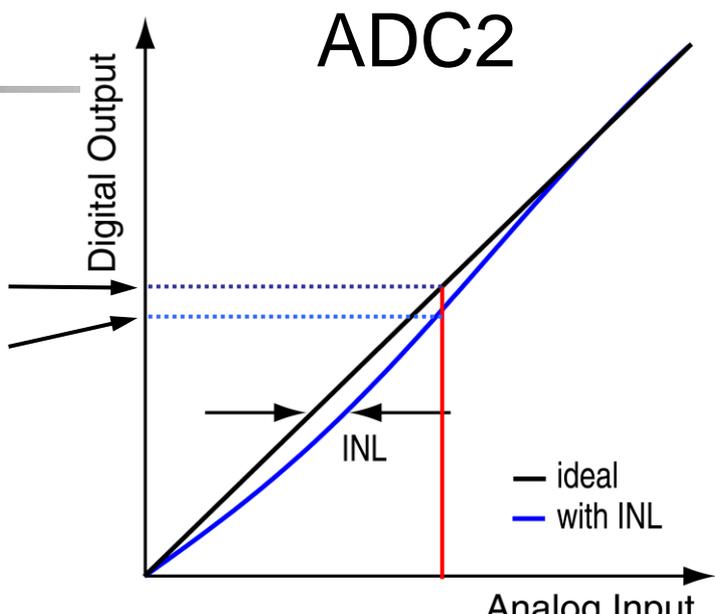
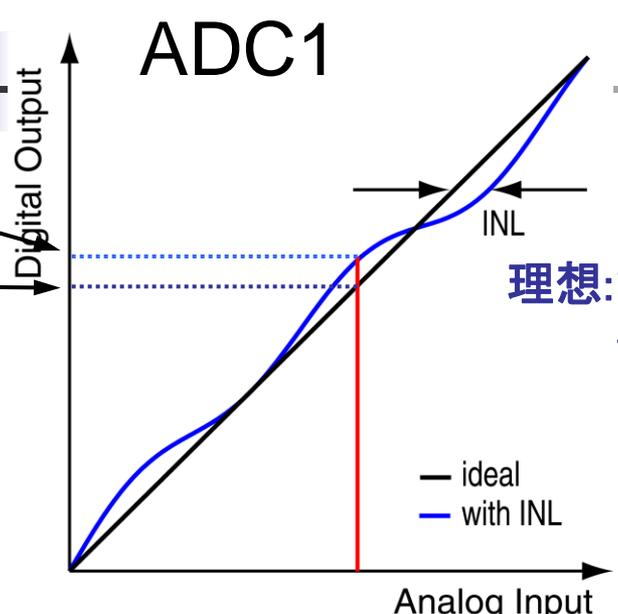
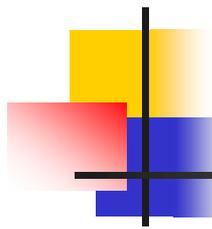
- サンプリングレートの高いADC実現（電子計測器等に使用）
- 最近では低消費電力化の観点からも注目



「一人のスーパーマン」  
より  
「多数の普通の人  
が連携して」

# インターリーブADCの問題点

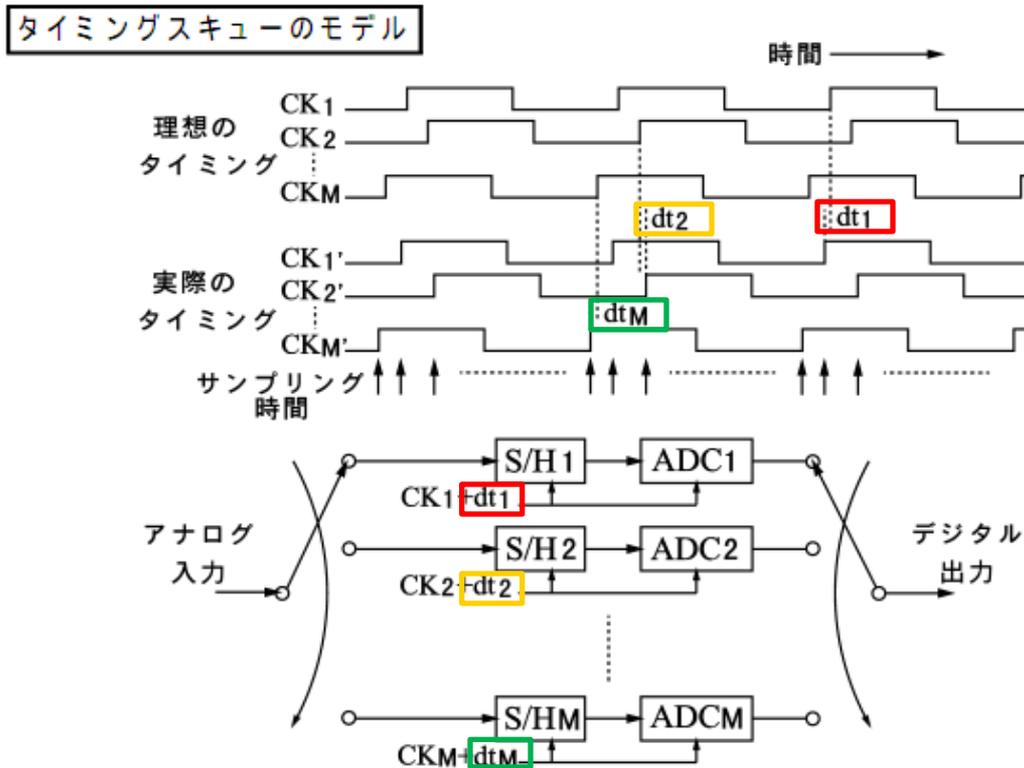
## - チャンネルADC間ミスマッチ -



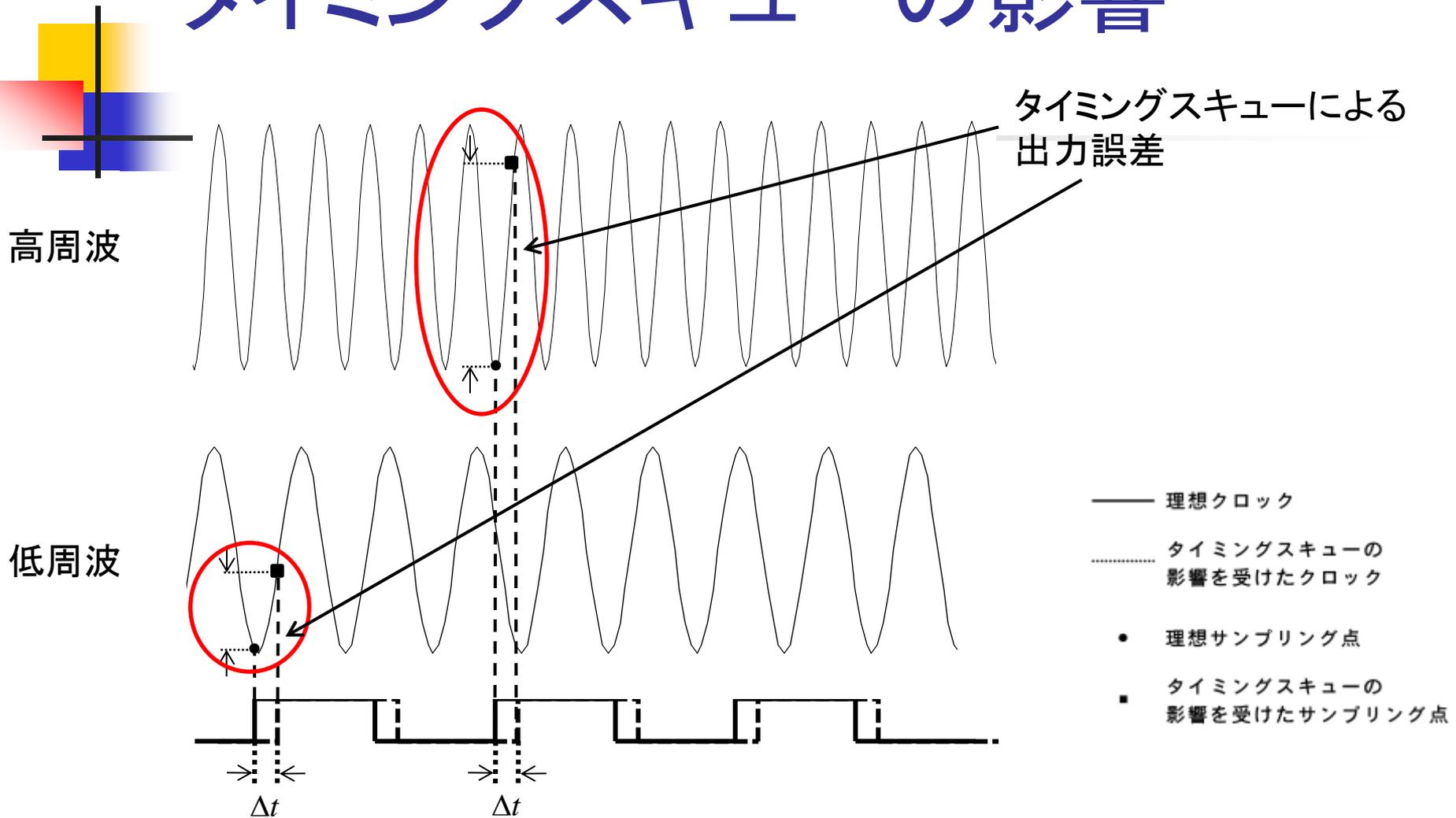
パターンノイズ

# チャンネルADCクロック間 タイミング・スキュー

正確なM相クロックを生成することは難しい



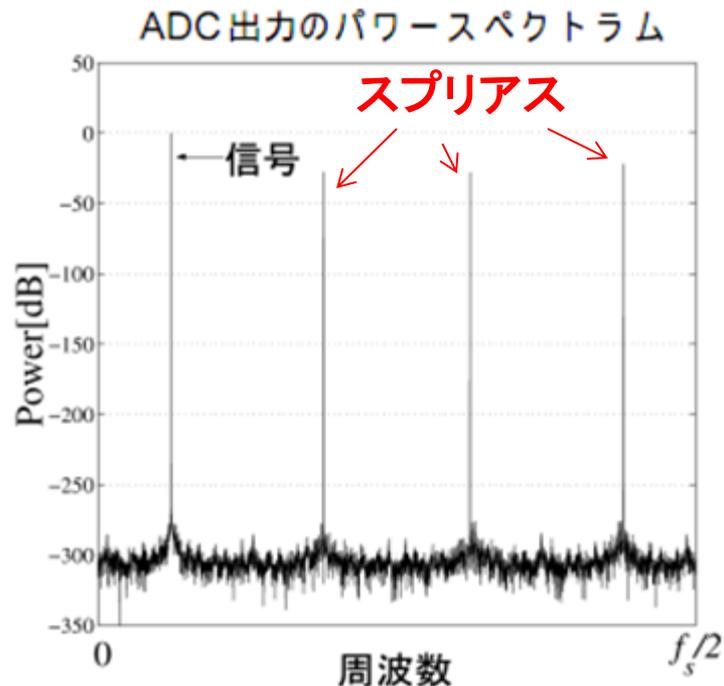
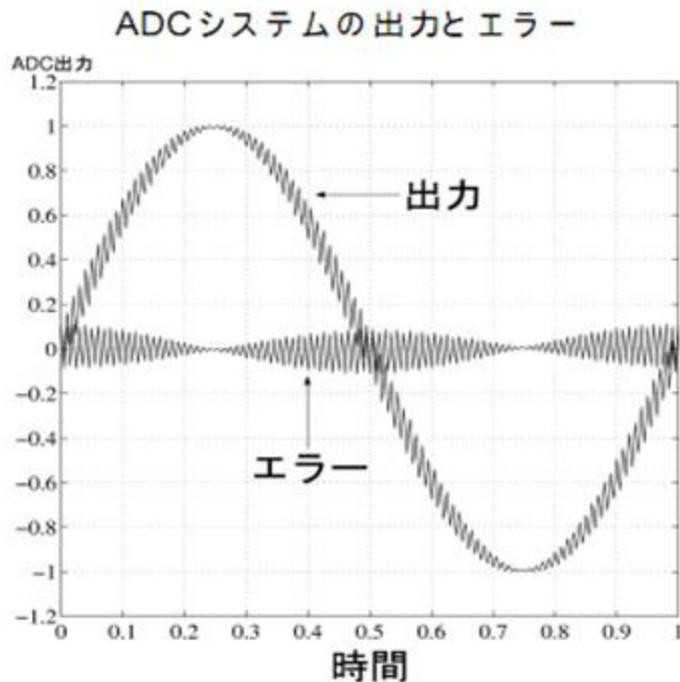
# タイミングスキューの影響



入力信号が高周波になるほど影響が大きくなる

# タイミングスキューの 時間・周波数領域での影響

## 4chインターリーブADC



### 時間領域の影響

- 入力信号の傾きが大きいほど影響が大。
- 位相変調(PM)的ノイズ

### 周波数領域の影響

# タイミングスキューの影響の デジタル方式での補正

高速サンプリングシステムインターリーブADC  
タイミングスキューの影響が顕在化

従来のタイミングスキュー補正  
アナログ方式+デジタル方式

提案方式

全デジタル方式

高速、高精度、安定性かつ信頼性が高い

Ru YI, et. al.,  
"Digital Compensation for Timing Mismatches in Interleaved ADCs",  
IEEE 22nd Asian Test Symposium, Yilan, Taiwan, (Nov. 18-21,  
2013).

# チャンネルADC出力間相互相関による タイミングスキュー検出

入力信号CH1:  $f[n]$

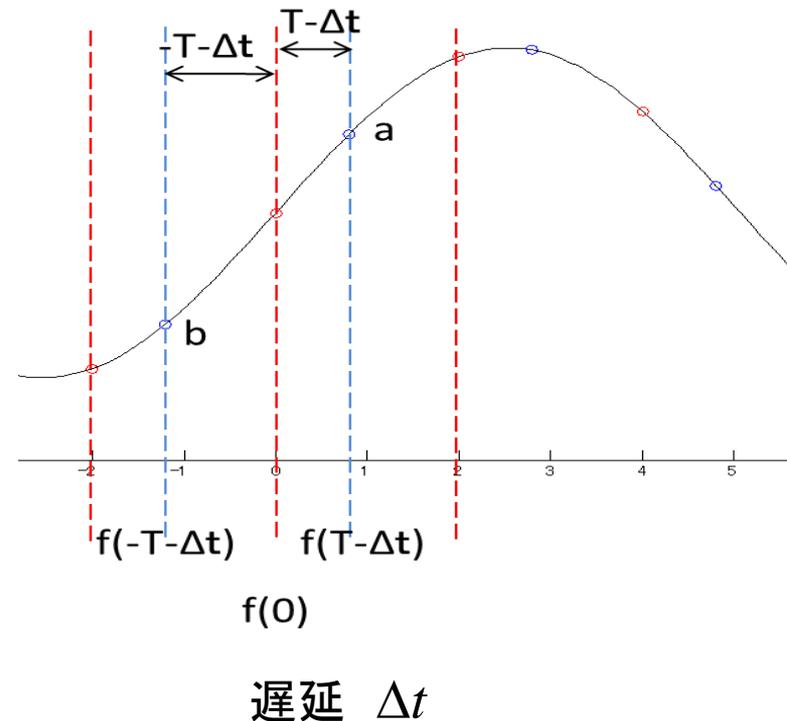
入力信号CH2:  $g[n] = f[n + T - \Delta t]$

ラグ0 ,

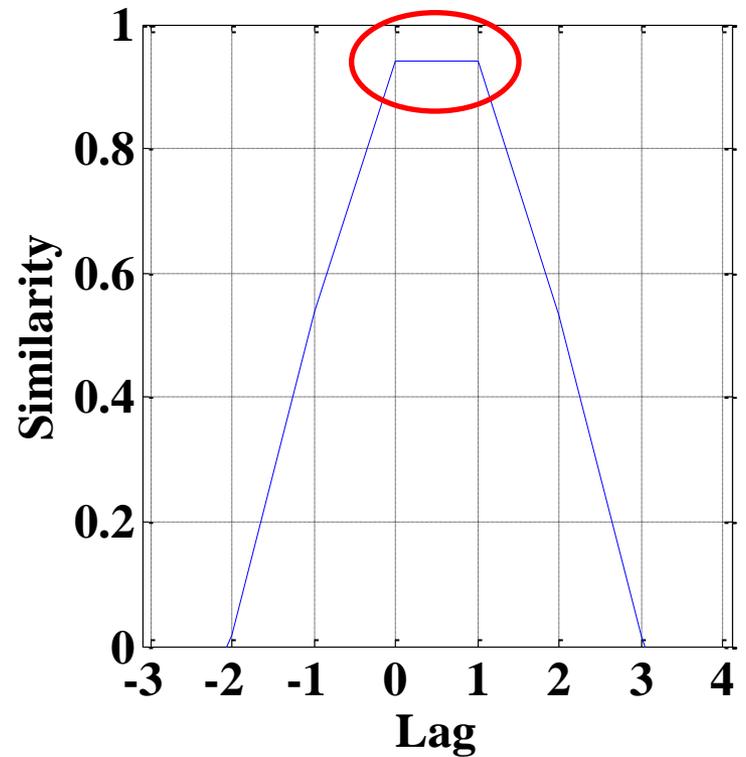
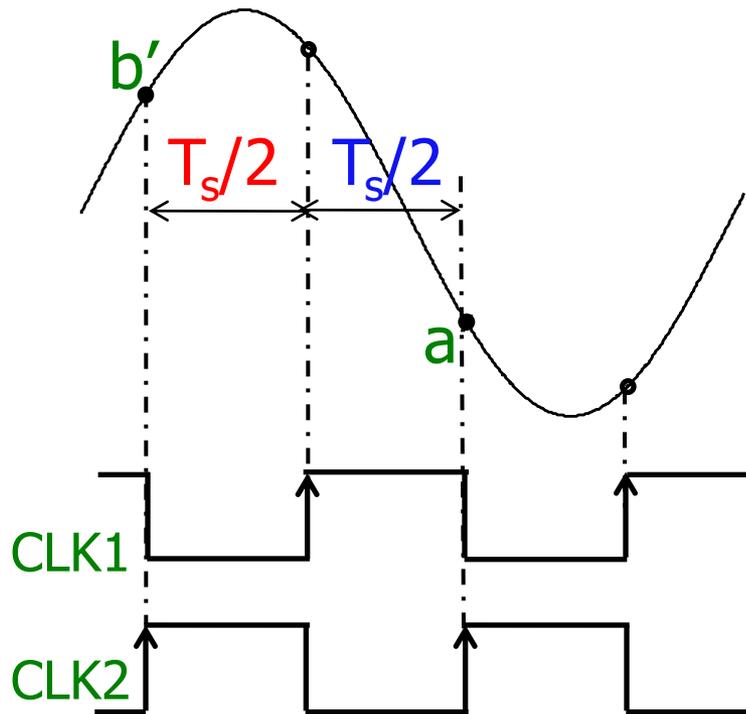
$$R(0) = R_{ff}[0] = \lim_{n \rightarrow \infty} \frac{1}{n} \sum_{-n}^n f[n] f[n + T - \Delta t]$$

ラグ1 ,

$$R(1) = R_{ff}[-2T] = \lim_{n \rightarrow \infty} \frac{1}{n} \sum_{-n}^n f[n] f[n - T - \Delta t]$$



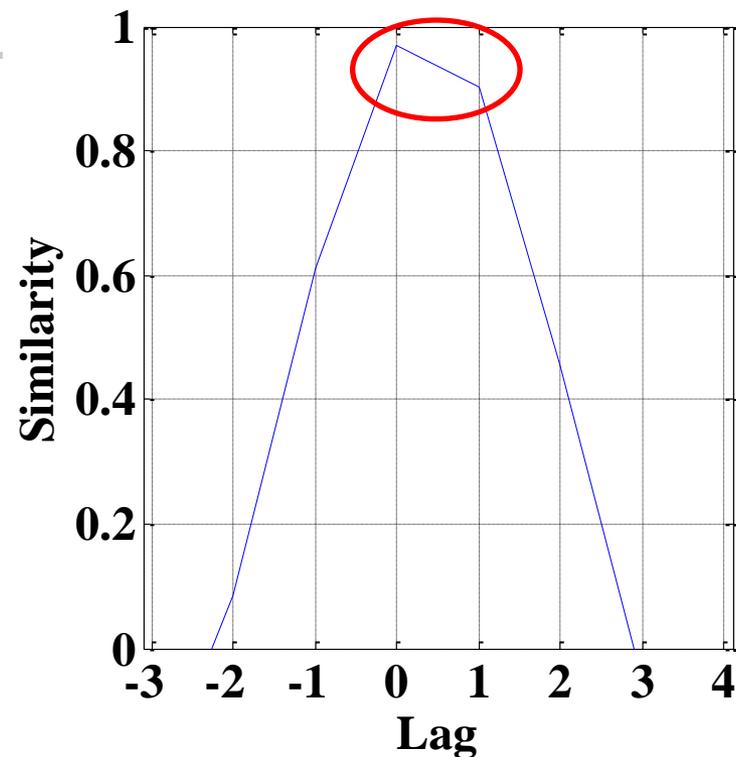
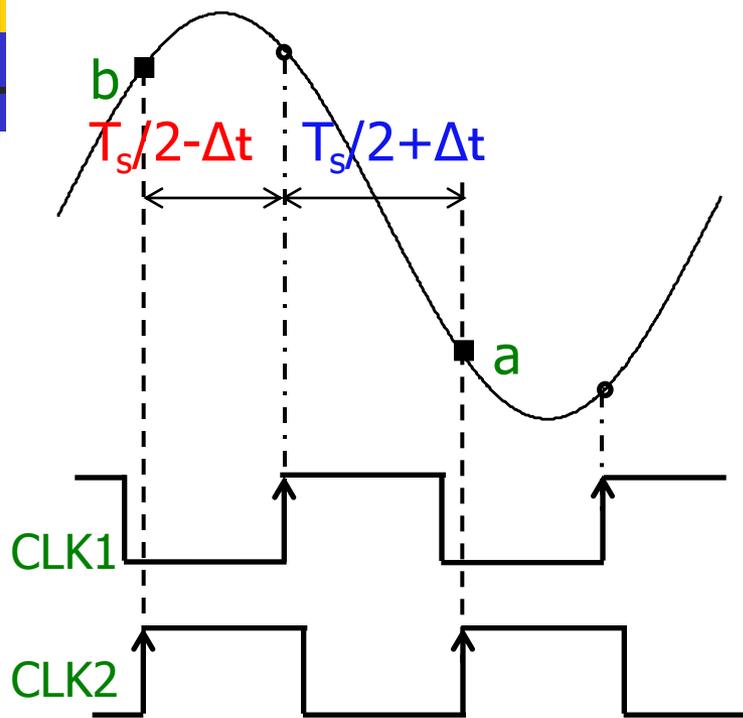
# スキューのない場合の相互相関



$$R(0)=R(1)$$

$$\Delta t=0$$

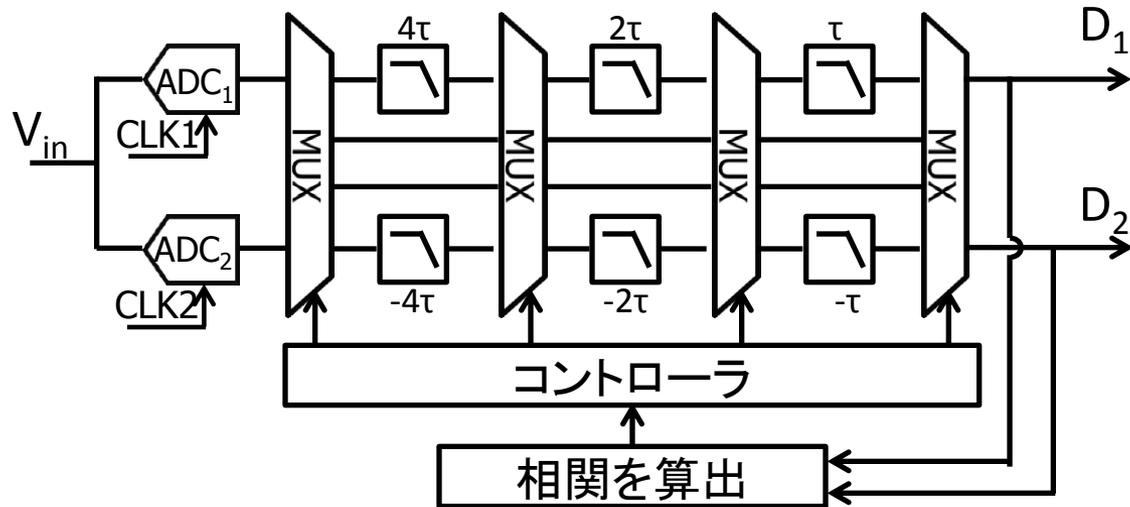
# スキューのある場合の相互相関



相互相関値  $\Delta t$ の正負   
 $\Delta t$ の大きさ

$R(0) > R(1)$        $\Delta t < 0$   
 $R(0) < R(1)$        $\Delta t > 0$

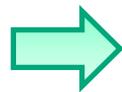
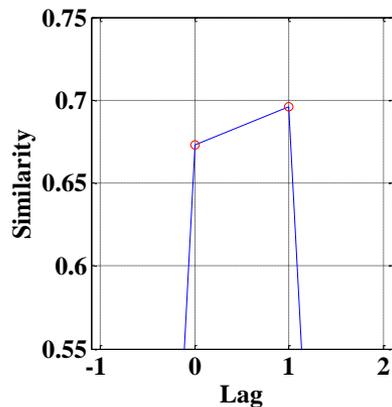
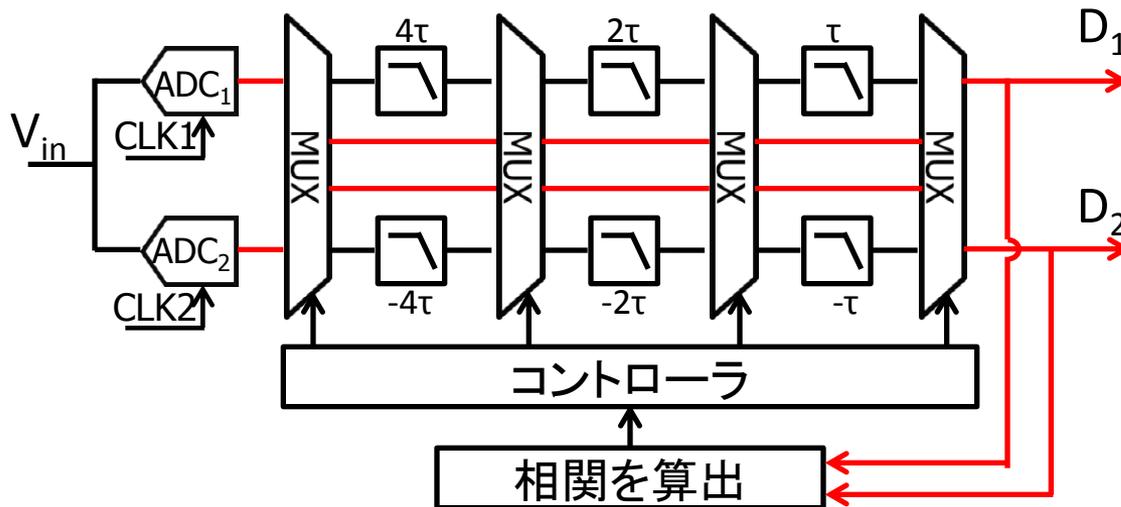
# 提案インターリーブADC タイミングスキュー検出・補正手法の原理



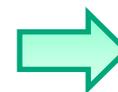
スキュー検出: チャンネル間の相互相関

スキュー補正: 線形位相遅延デジタルフィルタ

# 提案手法の原理-初期状態

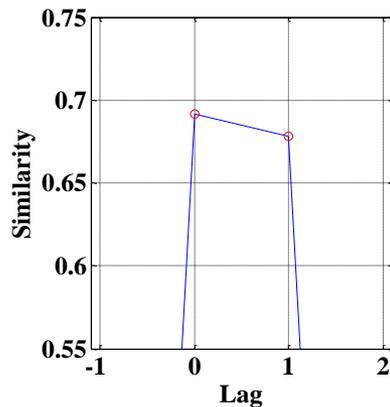
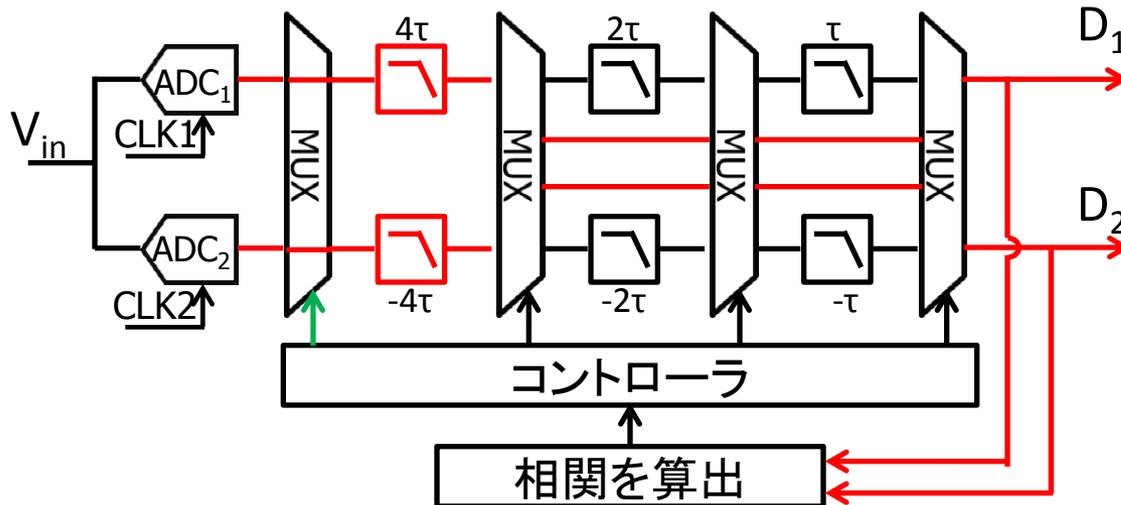


ラグ0とラグ1との  
相関値を比較  
 $R(0) < R(1)$   
 $\Delta t > 0$



CH1を $4\tau$ 遅延  
CH2を $-4\tau$ 遅延

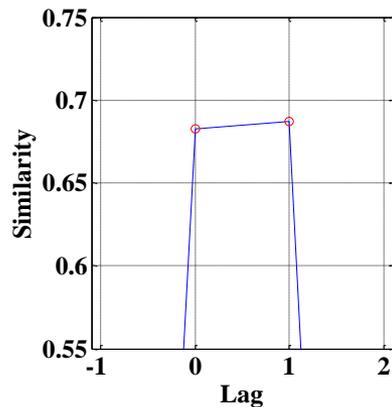
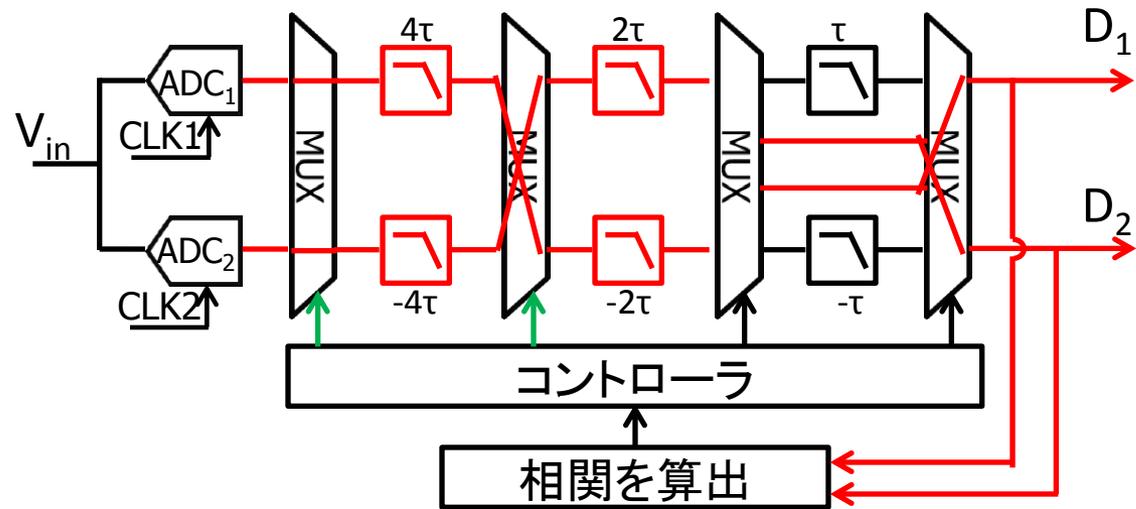
# 提案手法の原理-ステップ1



ラグ0とラグ1との  
相関値を比較  
 $R(0) > R(1)$   
 $\Delta t < 0$

CH1を $-2T$ 遅延  
CH2を $2T$ 遅延

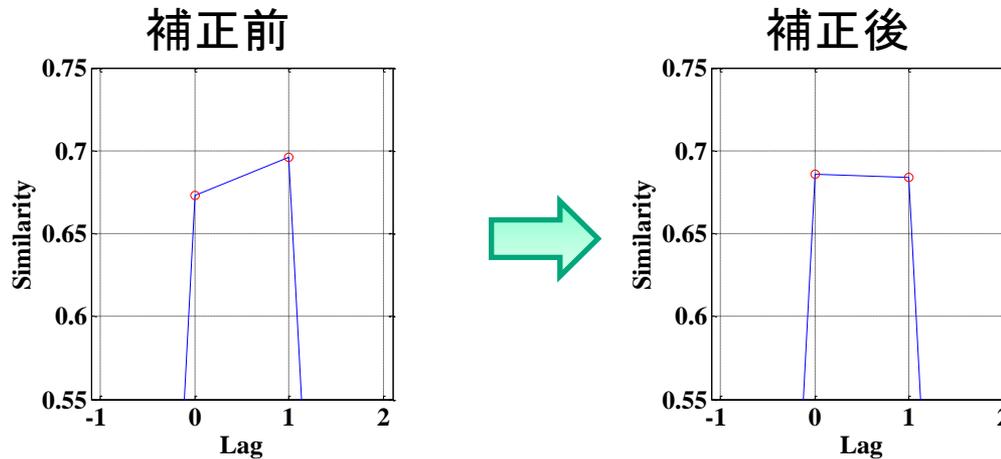
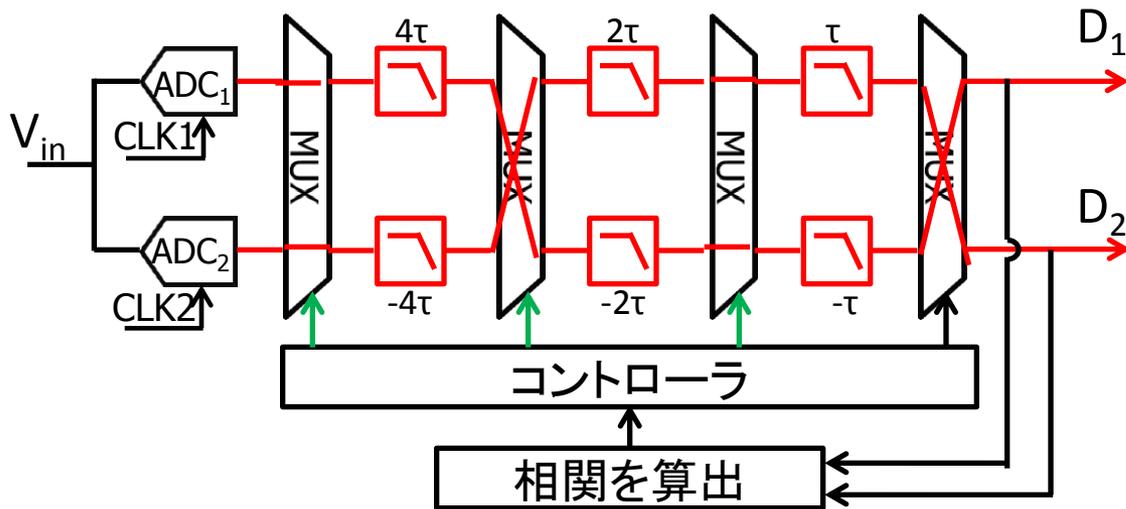
# 提案手法の原理-ステップ2



ラグ0とラグ1との  
相関値を比較  
 $R(0) > R(1)$   
 $\Delta t < 0$

CH1を $-\tau$ 遅延  
CH2を $\tau$ 遅延

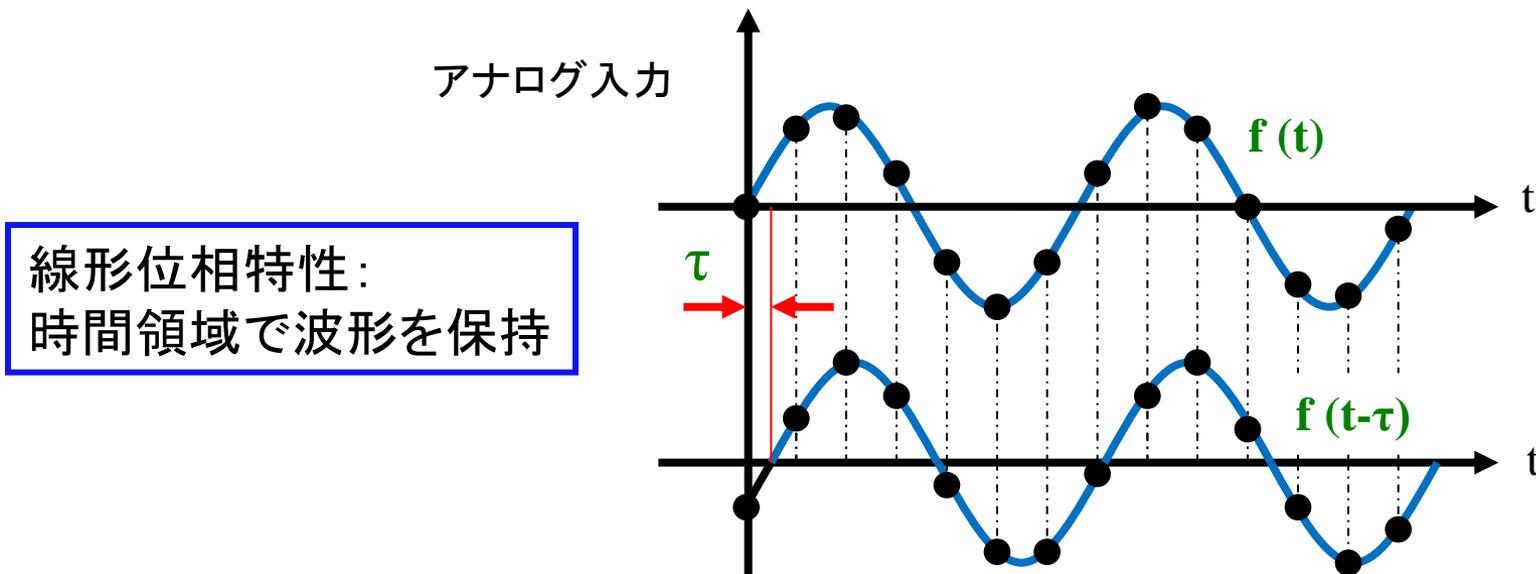
# 提案手法の原理-ステップ3



# 線形位相遅延デジタルフィルタ

従来のデジタルフィルタ: 偶数または奇数対称の係数  $T_s/2$

線形位相遅延デジタルフィルタ: 群遅延を任意微小時間分解能 $T$

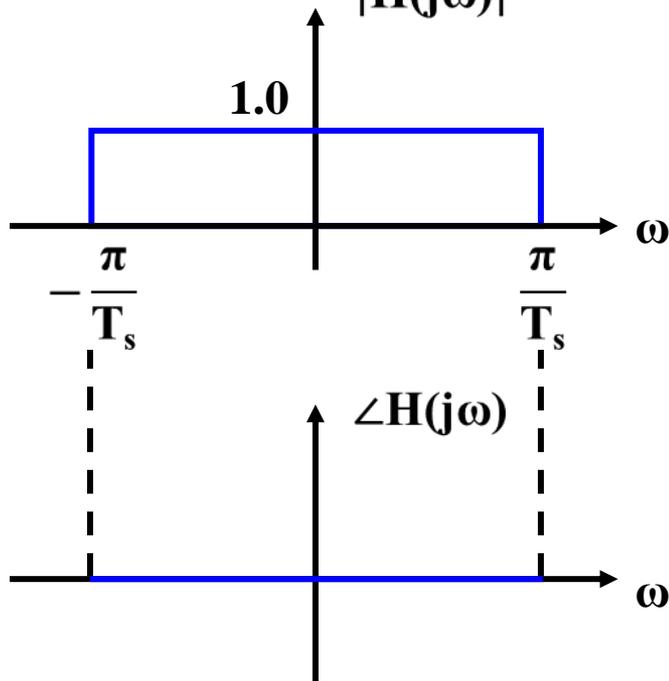


Koji Asami, et. al., "Timing Skew Compensation Technique Using Digital Filter with Novel Linear Phase Condition," IEEE International Test Conference, Austin, TX (Nov. 2010).

# 理想フィルタ

周波数応答

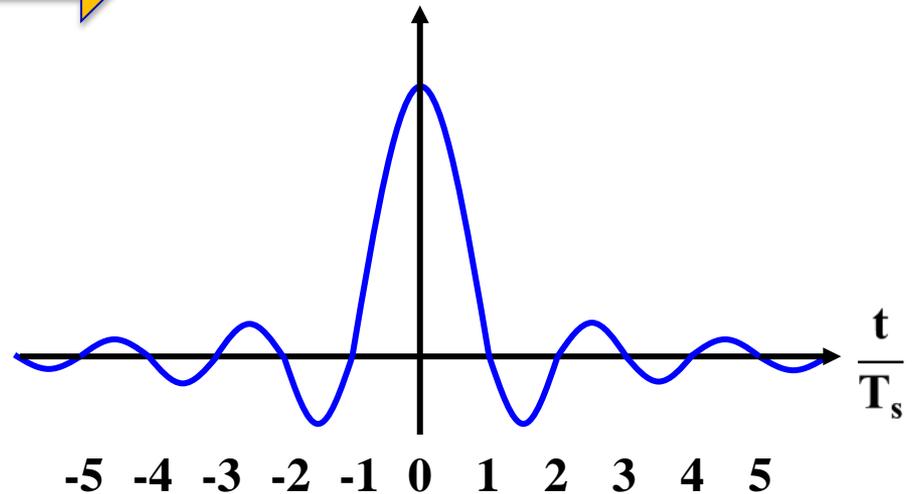
$|H(j\omega)|$



逆フーリエ変換



インパルス応答

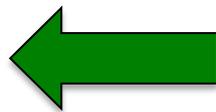


$$h(t) = \frac{1}{T_s} \text{sinc}\left(\pi \frac{t}{T_s}\right)$$

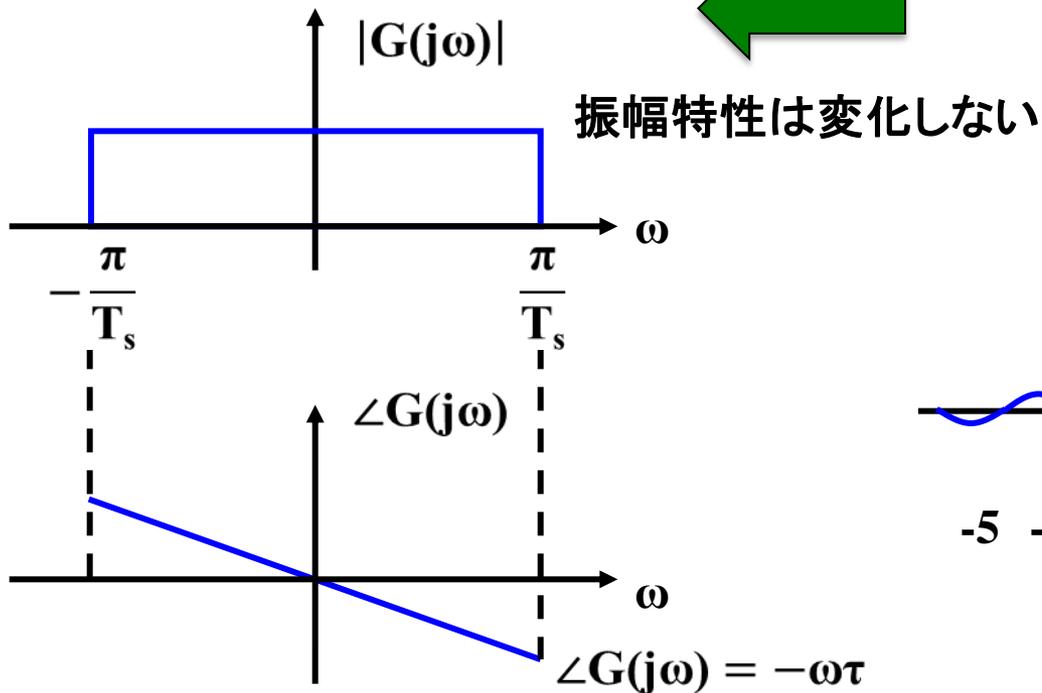
$\omega_s = \frac{2\pi}{T_s}$  : サンプルング角周波数

# 理想フィルタの時間シフト

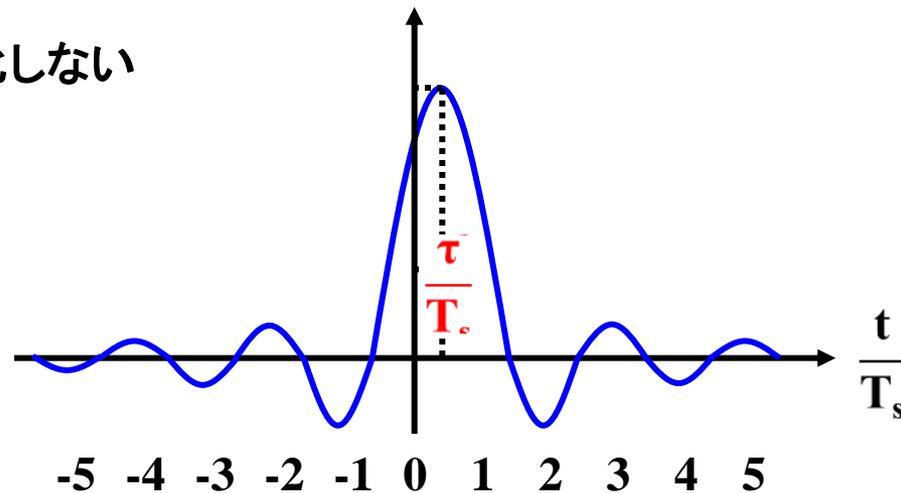
フーリエ変換



周波数応答



インパルス応答



$$g(t) = h(t - \tau) = \frac{1}{T_s} \text{sinc}\left(\pi \frac{t - \tau}{T_s}\right)$$

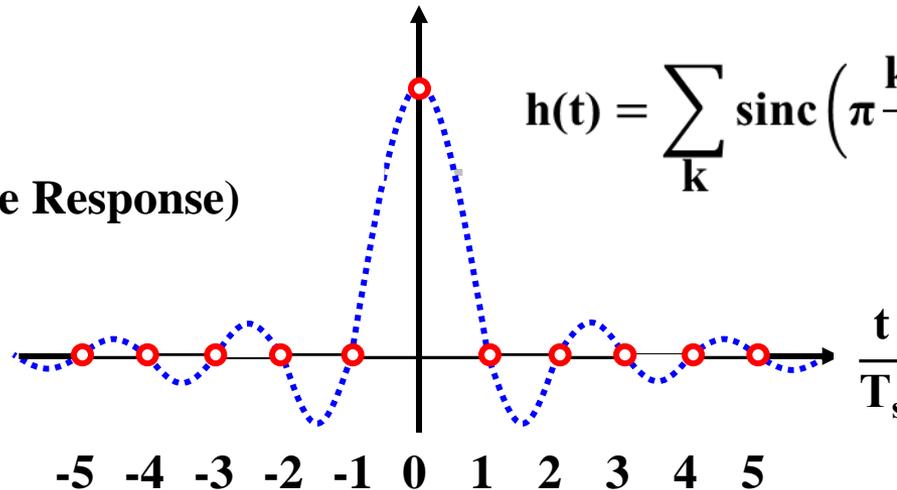
対称性が崩れても線形位相が保たれる

インパルス応答を  $\tau$  分時間シフトさせる 89

# 時間シフトによるフィルタ係数への影響

FIR(Finite Impulse Response)  
フィルタ

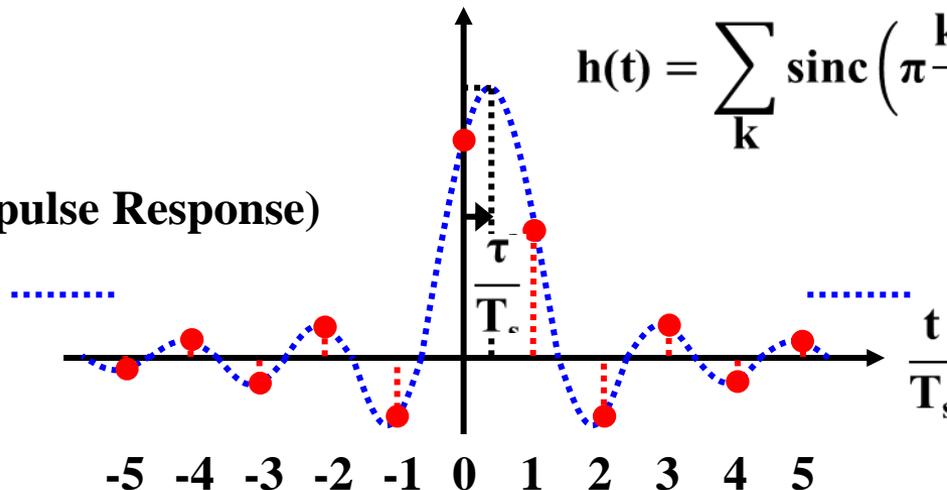
$$h(t) = \sum_k \text{sinc}\left(\pi \frac{k \cdot T_s}{T_s}\right) \delta(t - k \cdot T_s)$$



時間シフト

IIR(Infinite Impulse Response)  
フィルタ

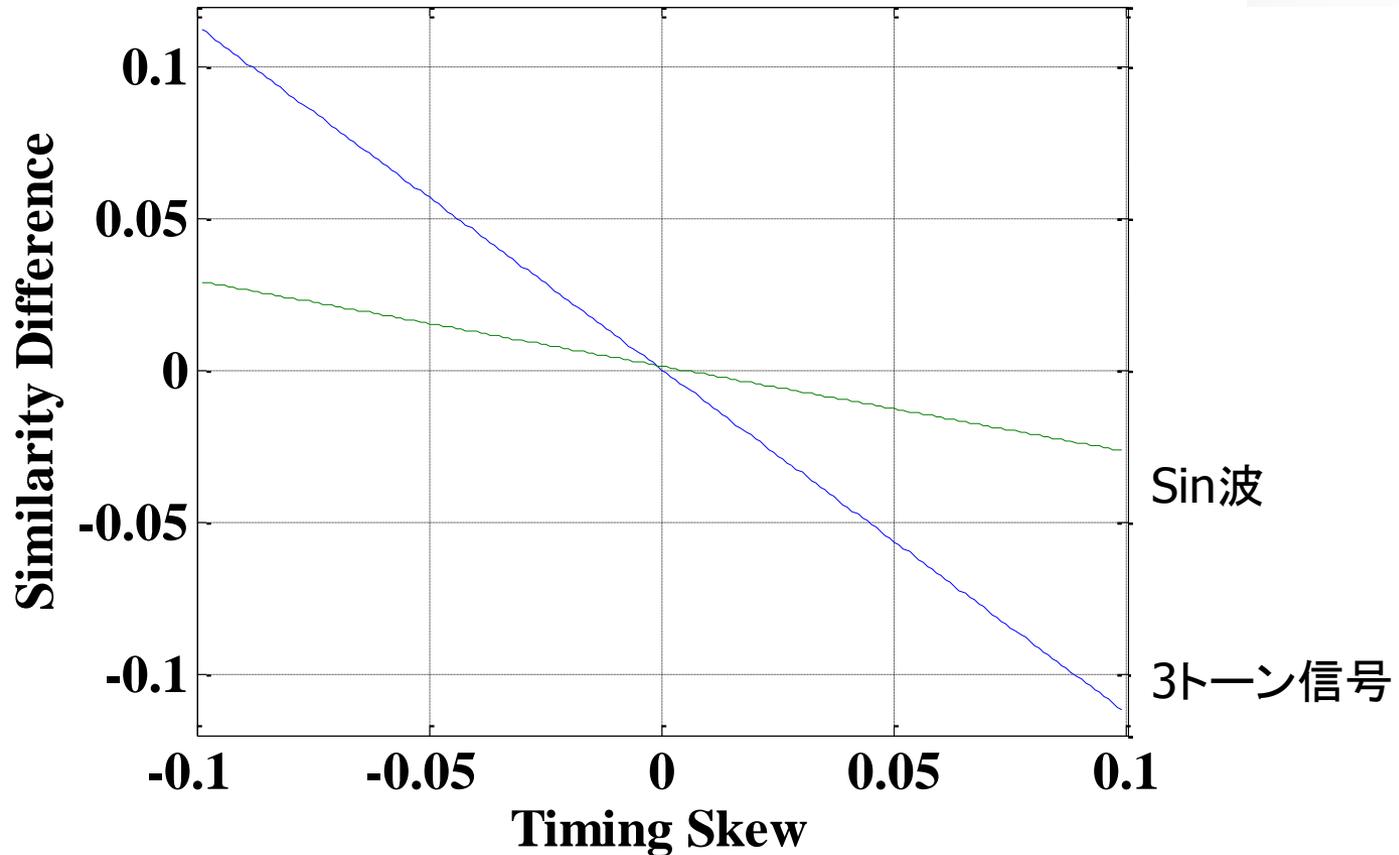
$$h(t) = \sum_k \text{sinc}\left(\pi \frac{k \cdot T_s - \tau}{T_s}\right) \delta(t - k \cdot T_s)$$



遅延理想フィルタ

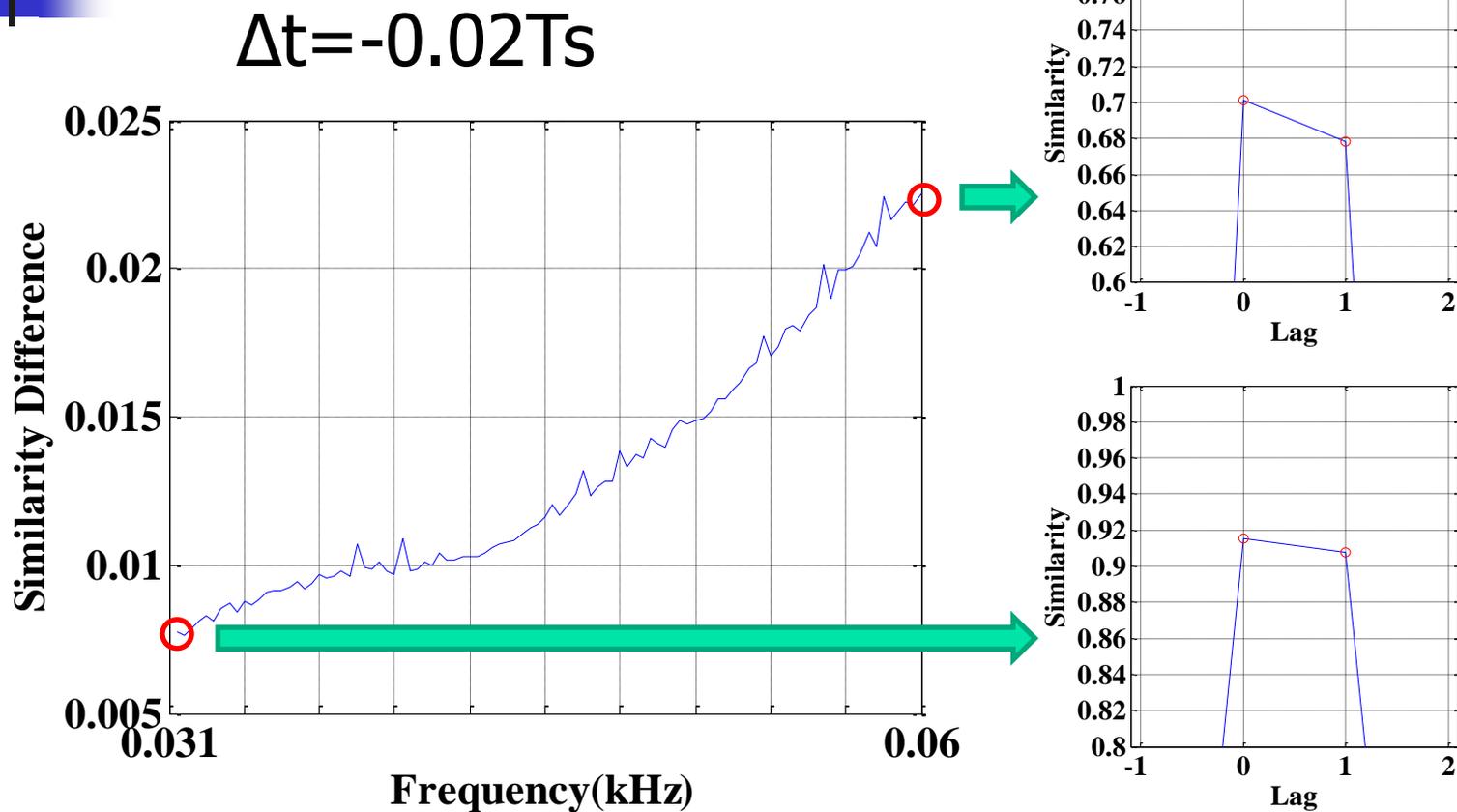
窓関数をつけることによりフィルタ係数を打ち切りIIR特性からFIR特性に戻す  
スキュー補正用フィルタとして利用できる

# 相関値の差と入力信号の種類との関係



位相のランダム性、クレストファクタの最小化

# 相関値の差と周波数との関係

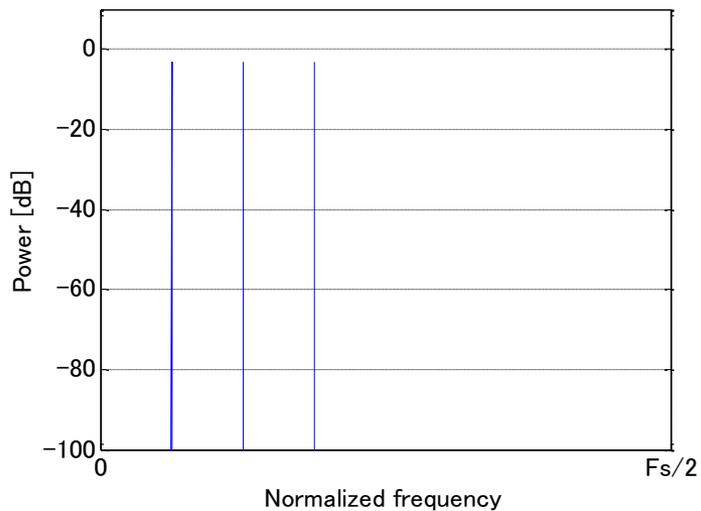


周波数 ↑  $\Rightarrow$   $R(0)$ と $R(1)$ の差 ↑

# 出力信号のパワースペクトル

3トーン信号 スキューなしの  
インターリーブADCの出力

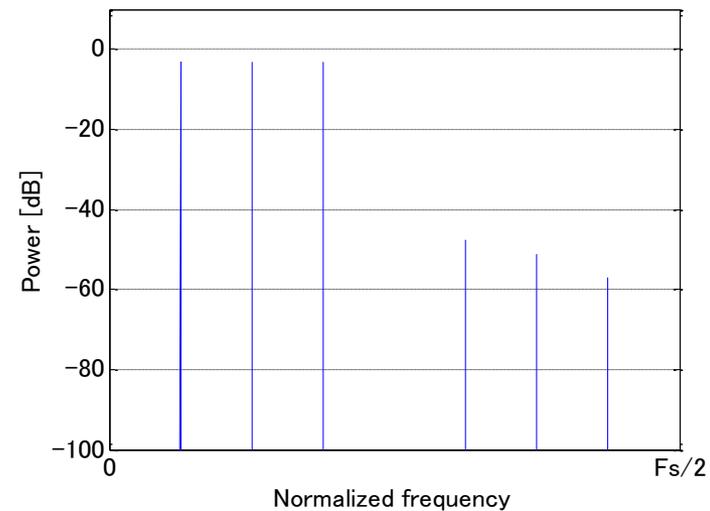
信号成分



3トーン信号 スキュー影響を受けた  
インターリーブADCの出力

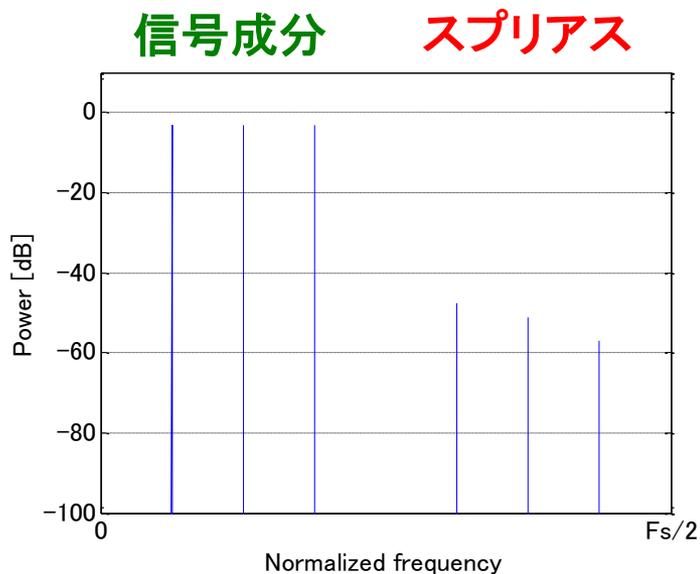
信号成分

スプリアス

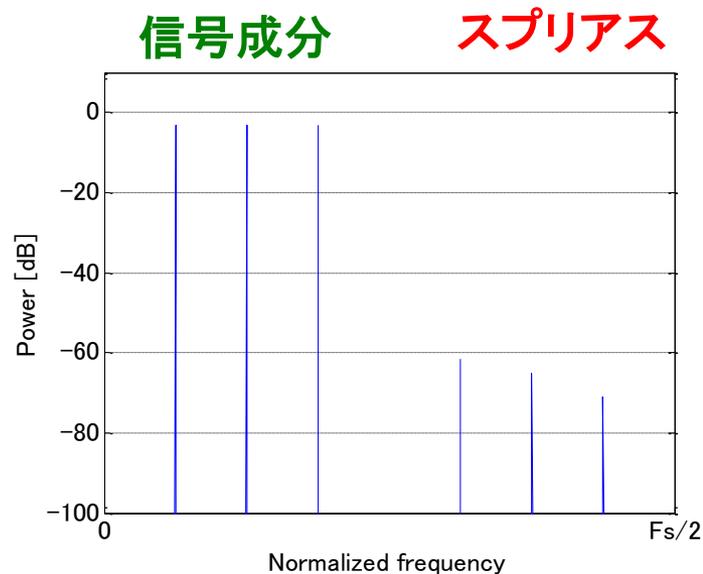


# 3トーン入力信号のパワースペクトル

スキュー補正前



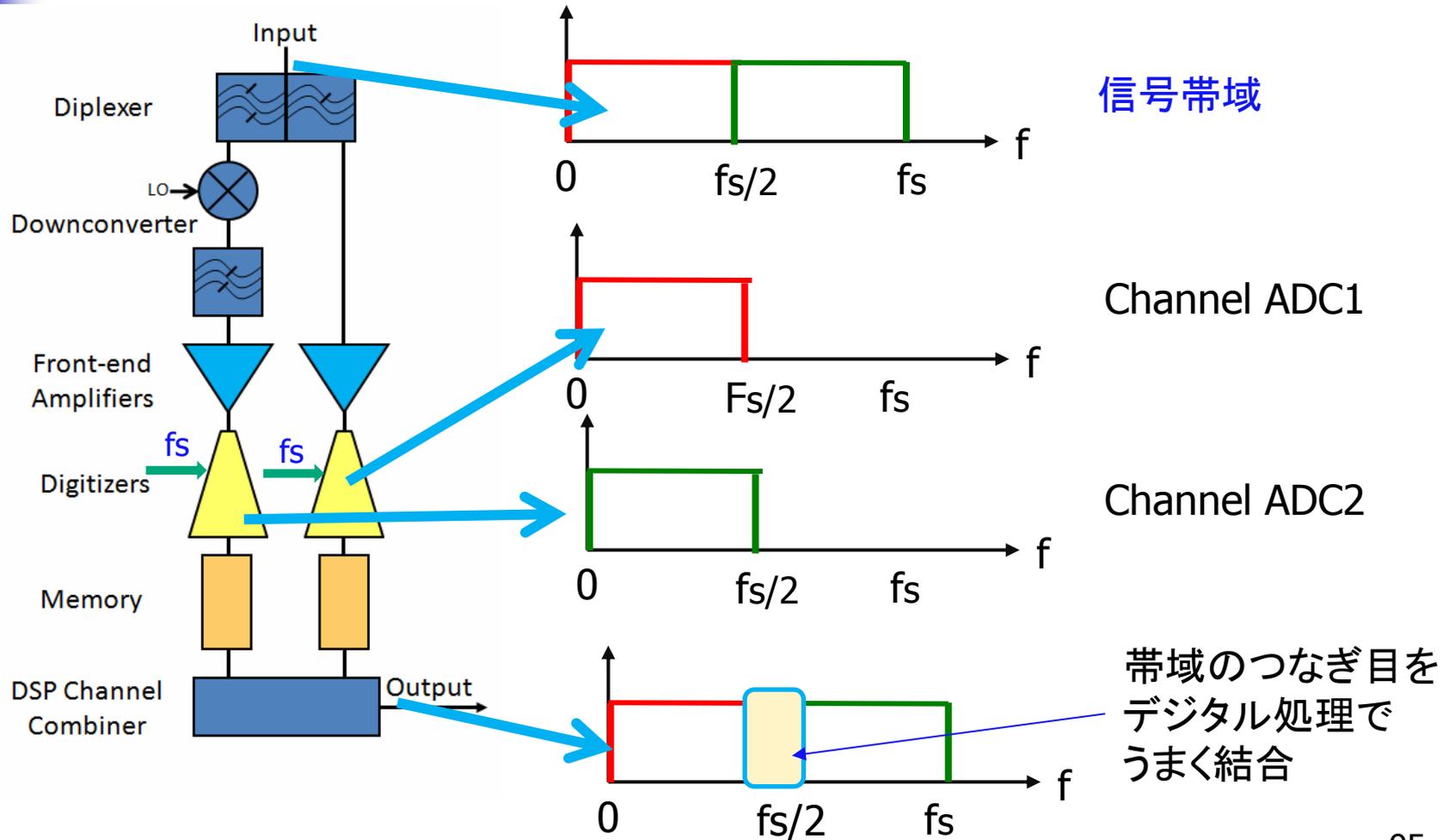
スキュー補正後

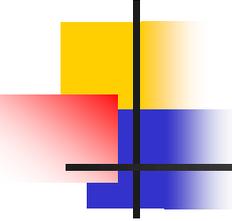


タイミングスキューを補正することにより  
スプリアス成分を低減

# 帯域インターリーブAD変換器

TeledyneLeCroy 社より

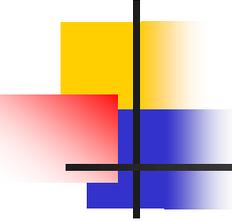




# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ



# デジタルRFによるテストコスト低減

---

TI社の(デジタルアシストを多用した)  
Digital Radio Processor の動機



テストコストを下げるため。

デジタル化でBISTを入れやすくなり(RF BIST)  
デジタルATEでテスト可能となる。

非常に数が出るチップでこの考え方は重要。

# デジタルアシスト技術と

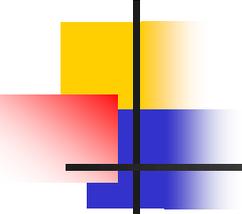
## LSIテストの問題 LSIテスタ・メーカーB社から指摘

「デジタル・アシスト・アナログ技術」

 設計パラメータ空間が広がる

内部に不良箇所があっても 補正され  
LSIテスト(出荷検査)の際に「良品」と判定。

その欠陥が補正できるぎりぎりのとき、  
市場で補正範囲を超え  
動作不良となることあり。



# デジタル補正使用の計測器・センサの 量産経験者に耳を傾ける

---

「高精度な湿度計測を実現するには、  
温度係数の**個体差のばらつきが小さく、**  
**複雑な温度補正を必要とせず、**  
**調整・校正誤差が小さい特性ばらつきしかない**  
湿度センサを選定することが重要。」

(田澤R&D技術士事務所 田澤勇夫氏)

# 工業製品の量産の思想

製品ばらつきを抑える。

「均一な部品・材料を用いて

均一な品質なものを作ること」が重要



異なる思想か？

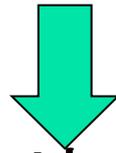
校正、調整（デジタルアシスト）では  
ばらつきを許容する。

最終製品は特性は均一になる。

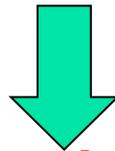
デジタルは均一な品質のものを作れるという側面も強いが

# 自己校正による低消費電力化技術 考え方を検証する

デジタルアシストでの、弱いフィードバック、  
閉ループアンプではなく開ループアンプの使用

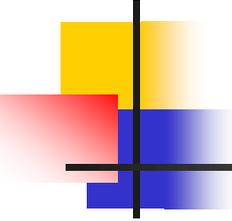


わざと特性を劣化させて低消費電力化を図る。  
特性劣化分(非線形性)をデジタル補正。



「従来の量産の思想」とは異なる。

(受け入れには「勇気」が必要)

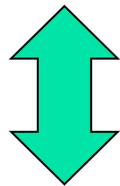


# 冗長ADCのテストは難しくなる

---

## 冗長性

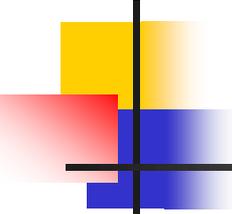
誤動作、故障が起こってもシステム全体は  
正常に動作する (Fault Tolerant)



異なる思想

## LSIテスト

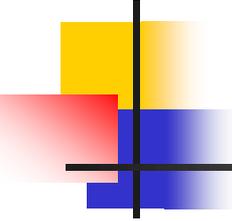
故障がはいらないようにする検査



# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ



# デジタル誤差補正とキャリブレーション

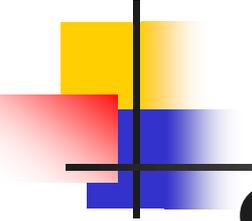
---

## デジタル誤差補正

冗長回路をもち、回路の非理想要因を許容して正解を出力  
非理想要因は計測しない。

## デジタルキャリブレーション

回路の非理想要因をデジタル値として測定  
メモリに記憶、  
その値をもとに通常動作のときに補正



# ADC自己校正と計測制御技術

- フォアグラウンド自己校正

通常動作をストップして

自己校正のための時間をもつ



計測技術

- バックグラウンド自己校正

通常動作はストップしない。

自己校正はユーザからは全く見えない。



適応制御技術

フォアグラウンド、バックグラウンド自己校正の  
両者のアルゴリズムは全く異なる

デジタルアシストで用いられている

$$z = e^{j\omega T}$$

# Z変換の問題点

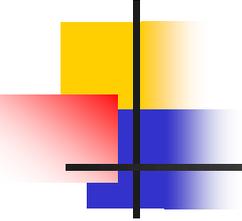
離散時間信号・システム表現にZ変換が多用

- 利点

伝達関数  $H(Z)$  から周波数特性が得られる

- 欠点

サンプリング周期  $T$  が陽に表れていないので  
使いづらい面がある。



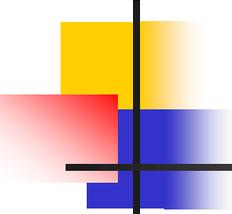
# デジタルアシストでは解決できない アナログ特性劣化要因とチャレンジ

---

- **ピュアなアナログ回路領域は必ず残る.**
  - 基準電圧発生回路
  - 発振回路（完全デジタルPLL 回路DCOの  
LC発振回路など）
  - 低雑音アンプ
  - パワーアンプ 等（の回路の一部）
- **これらは差別化部分になりえる**
- **「全てをデジタルで置き換える」ことはできない**

# デジタル技術の発展は 産業・社会を変えた

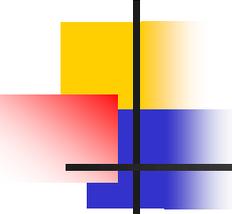
- アナログ: 連続信号 「坂道」  
デジタル: 0, 1 「階段」
- デジタルは 産業的に  
技術のコピーを容易化
  - ➡ キャッチアップ早い
  - インターフェースを容易化
    - ➡ エレクトロニクス産業の  
水平分業化 (産業構造が変わる)
- デジタルにより 社会的に  
人は数値で管理されるようになった



# 発表内容

---

- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシスト技術の考察
- まとめ



# まとめ

---

- ナノCMOSでのアナログ性能向上、設計容易性、プロセスポータビリティ、スケーラビリティのため
  - 4つの回路領域を全て使用
  - デジタル化を進める、アナログは最小
  - 誤差補正・自己校正技術
- アナログ技術、RF技術に加えて  
信号処理、計測・制御技術の知識・センスが必要
- デジタルアシストの個別技術の開発に加え、  
体系化・理論構築が必要