

高性能演算増幅器の設計

群馬大学工学部 電気電子工学科

学部3年 桑沢龍亮

指導教員 小林春夫 教授

アウトライン

- 研究背景・目的
- 演算増幅器の目標性能と評価方法
- 2 段構成演算増幅器の設計
- 結果・考察
- まとめ

アウトライン

- 研究背景・目的
- 演算増幅器の目標性能と評価方法
- 2 段構成演算増幅器の設計
- 結果・考察
- まとめ

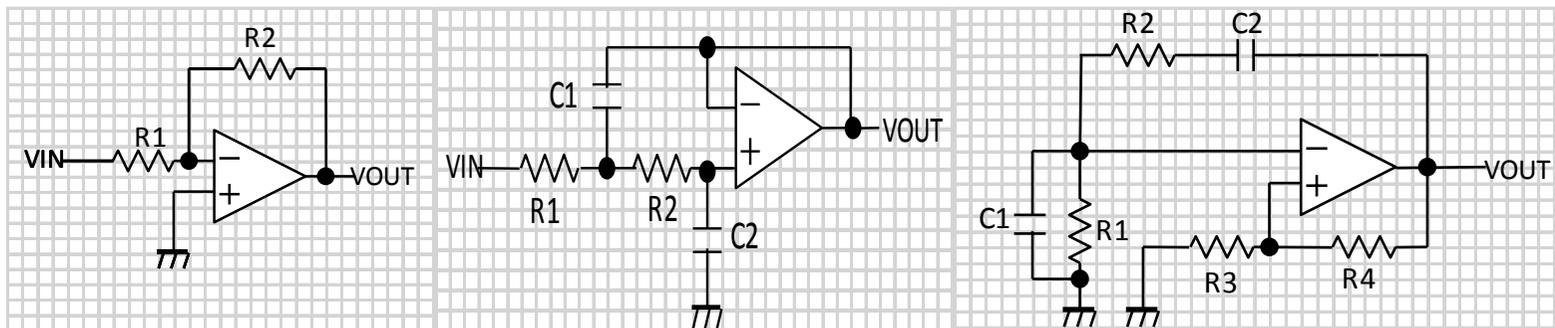
研究背景

○ 演算増幅器の製品分類例

- 高速アンプ
- 高精度アンプ
- 低ノイズ・アンプ
- 低消費電力アンプ
- etc

アプリケーションによって
必要なアンプ性能が異なる！

○ 演算増幅器のアプリケーション例



増幅回路

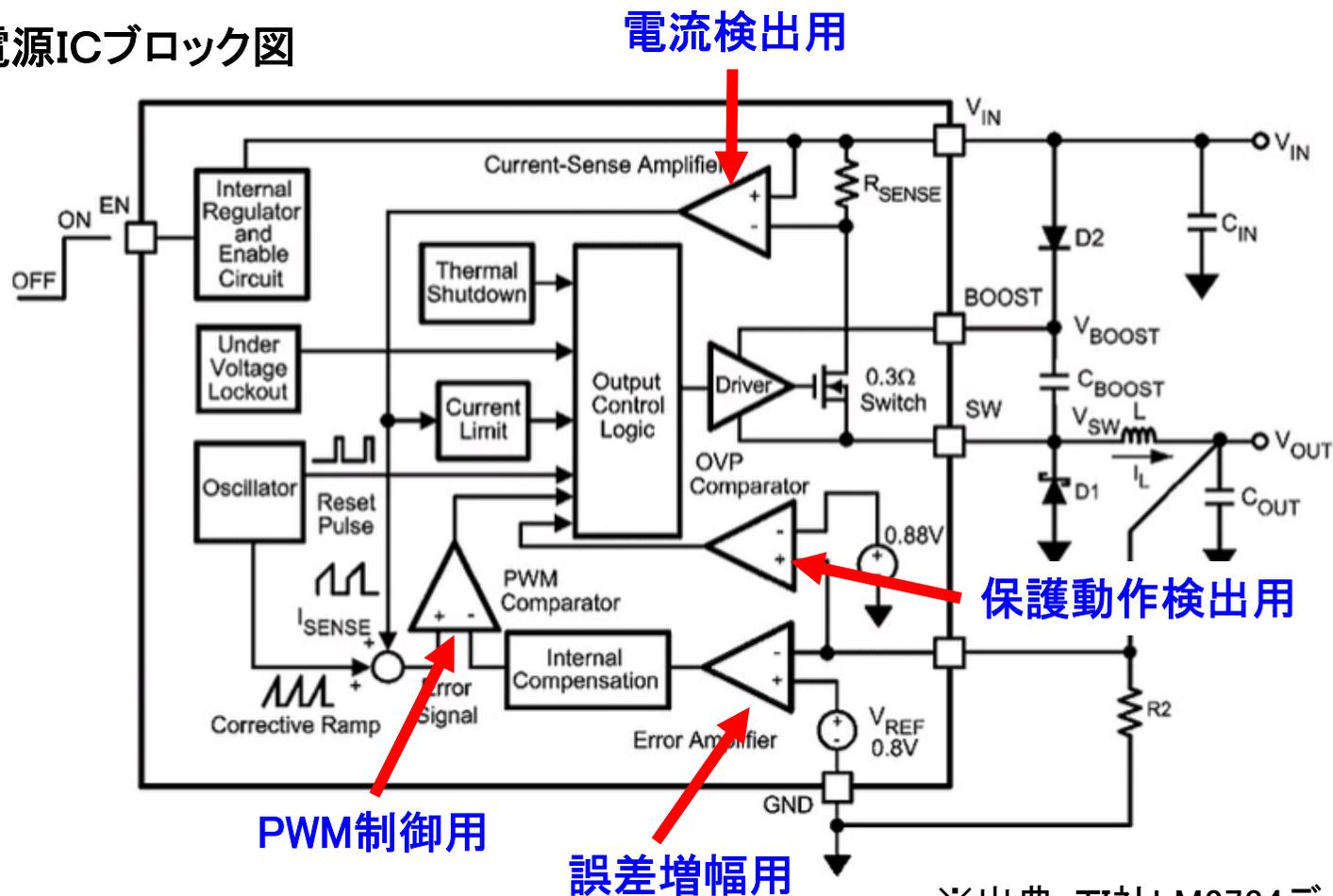
フィルタ回路

発振回路

研究背景

- アナログ集積回路中の演算増幅器(コンパレータ含む)
 - 各用途に最適な性能設計が要求される

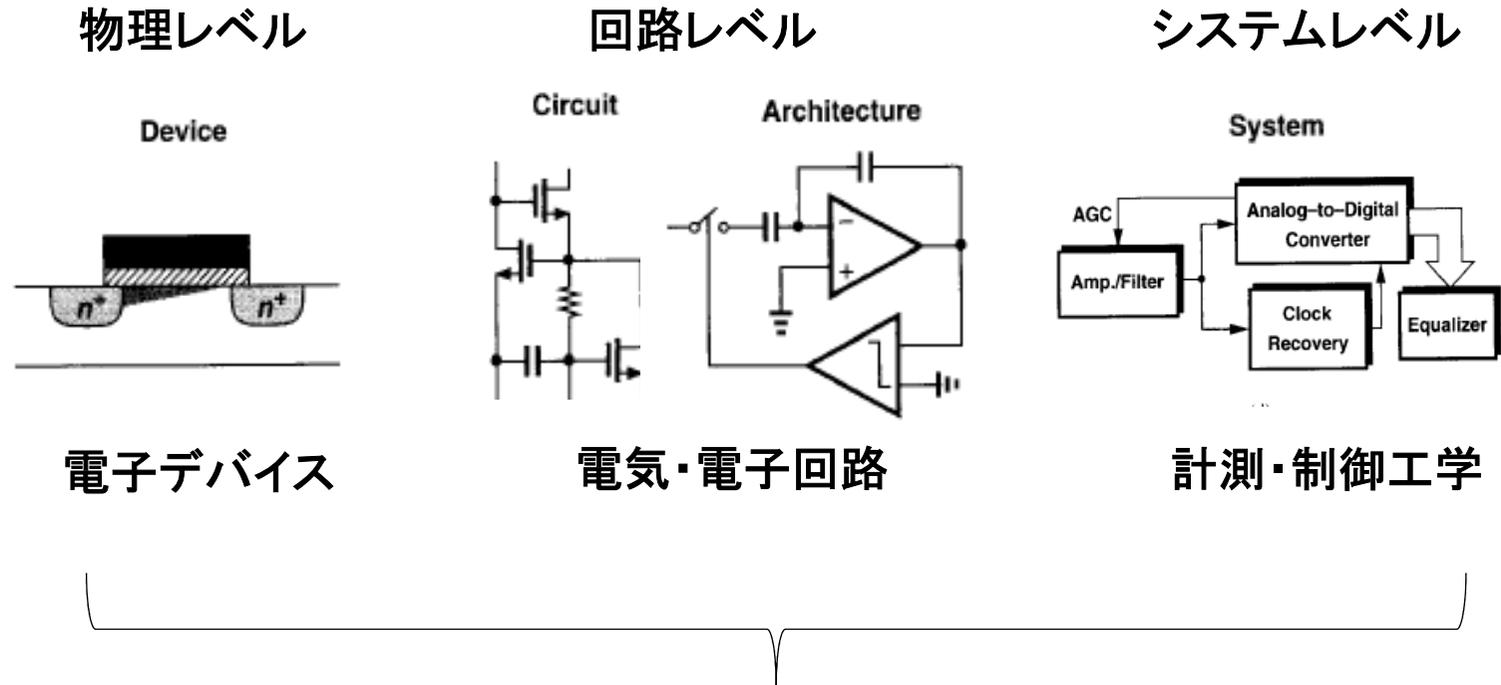
電源ICブロック図



※出典: TI社LM2734データシート

研究背景

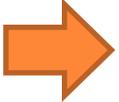
- 演算増幅器の設計に必要な知識



設計には幅広い知識が要求される

研究目的

①「高性能な演算増幅器の設計」

 目標性能は演算増幅器コンテストの要件に設定

②「設計を通じたアナログ集積回路周辺技術習得」

 幅広い知識を習得可能、優れた学習教材

アウトライン

- 研究背景・目的
- 演算増幅器の目標性能と評価方法
- 2 段構成演算増幅器の設計
- 結果・考察
- まとめ

演算増幅器設計コンテストとは？

平成26年演算増幅器設計コンテスト

電子回路の汎用能動素子である演算増幅器の設計を通じて、アナログ集積回路技術全般を習得した実社会に通じる技術者の高等教育機関からの輩出を目的とし、演算増幅器設計コンテストを開催致します。

▼新着情報

- ・2014年のコンテストの発表会を開催します。[2014/11/26]
- ・審査会が開催され、入賞者が決定いたしました。入賞者一覧は[こちら](#)をご覧ください。[2014/11/10]
- ・演算増幅器設計セミナーを開催します。詳しくは[こちら](#)をご覧ください。[2014/8/1]
- ・2014年のコンテストの作品受付を開始しました。[2014/8/1]
- ・シミュレーションの部の募集要項を公開しました。[2014/6/25]
- ・試作の部の募集要項を公開しました。[2014/3/31]
- ・【重要】平成26年のコンテストでは試作の部を開催します。2月28日まで無料試作枠での参加者を募集しています。詳しくは[こちら](#)をご覧ください。[2014/2/4]

■ 主催

応用科学学会

■ 協賛

- [アイコム株式会社](#)
 - [新日本無線株式会社](#)
 - [旭化成エレクトロニクス株式会社](#)
 - [株式会社 東芝](#)
 - [セイコーインスツル株式会社](#)
 - [ダイアログ・セミコンダクター株式会社](#)
 - [ルネサスエレクトロニクス株式会社](#)
 - [セイコーNPC株式会社](#)
 - [アナログ・デバイセズ株式会社](#)
 - [株式会社エヌエフ回路設計ブロック](#)
 - [ザインエレクトロニクス株式会社](#)
- (平成26年9月12日現在)

多数の協賛企業

トップページ

[募集要項](#)

[協賛要領](#)

[組織](#)

[参加登録](#)

[審査結果](#)

[アーカイブス](#)

主催：応用科学学会
開催場所：東京工業大学

演算増幅器の目標性能と評価方法

○ 演算増幅器設計コンテストの仕様要件・評価方法を使用

| 評価項目 | 目標性能 |
|--------------|----------------------|
| 1. 電源電圧(VDD) | $\leq 3V$ |
| 2. 消費電流 | $\leq \Delta 50\%$ |
| 3. 消費電力 | $\leq 100mW$ |
| 4. 出力抵抗 | なし |
| 5. 直流利得 | $\geq 40dB$ |
| 6. 位相余裕 | $\geq 45deg$ |
| 7. 利得帯域幅積 | $\geq 1MHz$ |
| 8. 入力換算雑音 | なし |
| 9. スルーレート | $\geq 0.1V/us$ |
| 10. 同相除去比 | $\geq 40dB$ |
| 11. 全高調波歪 | なし |
| 12. 電源電圧除去比 | $\geq 40dB$ |
| 13. 出力電圧範囲 | $\geq VDD \cdot 5\%$ |
| 14. 同相入力範囲 | $\geq VDD \cdot 5\%$ |
| 15. 占有面積 | $\leq 1mm^2$ |

○ 目標性能

- 左表を参照

○ 評価方法

- 設計コンテストHPに記載

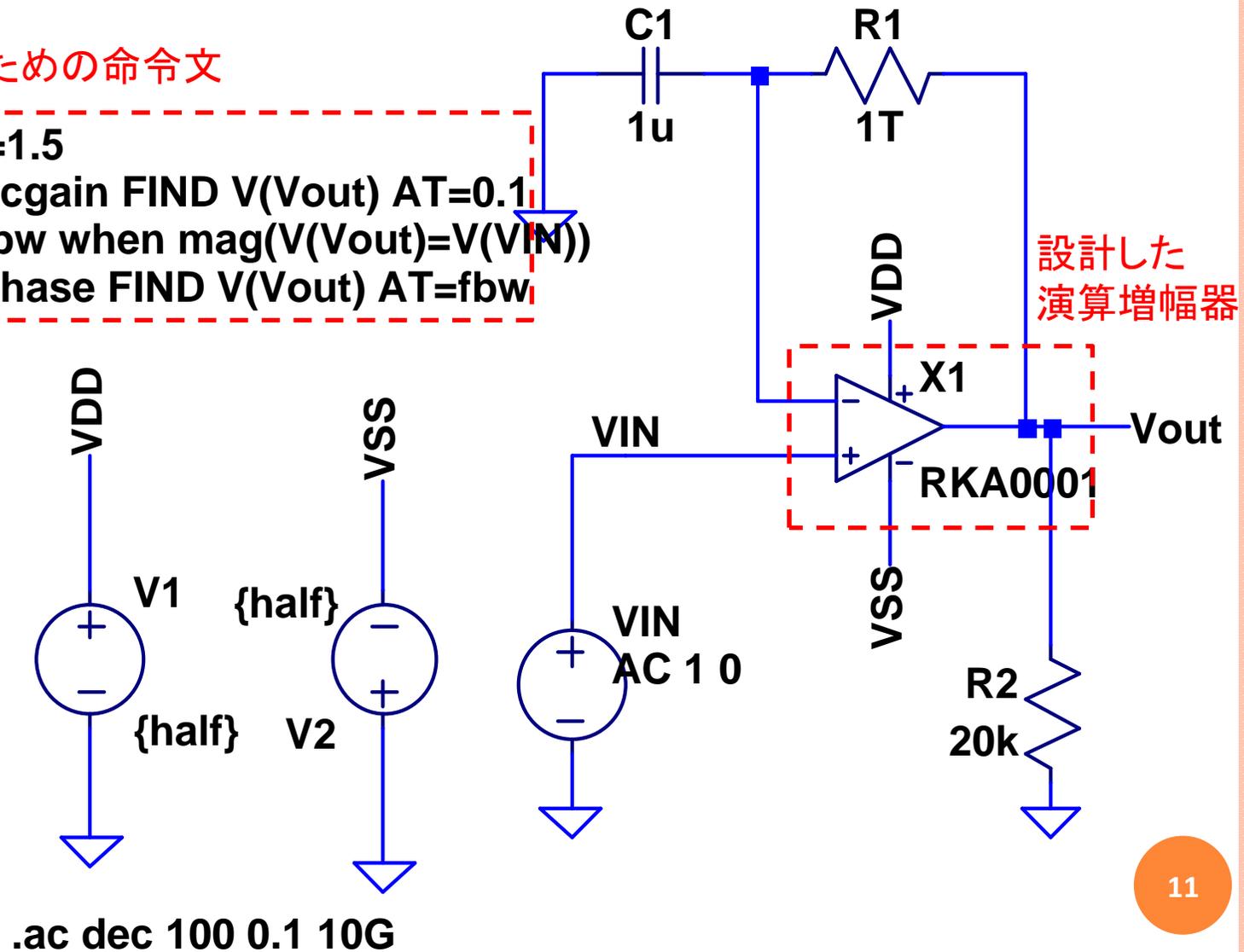
○ 設計・評価環境

- シミュレータ: LTSpice (無償)
- モデル: TSMC CMOS 0.18um

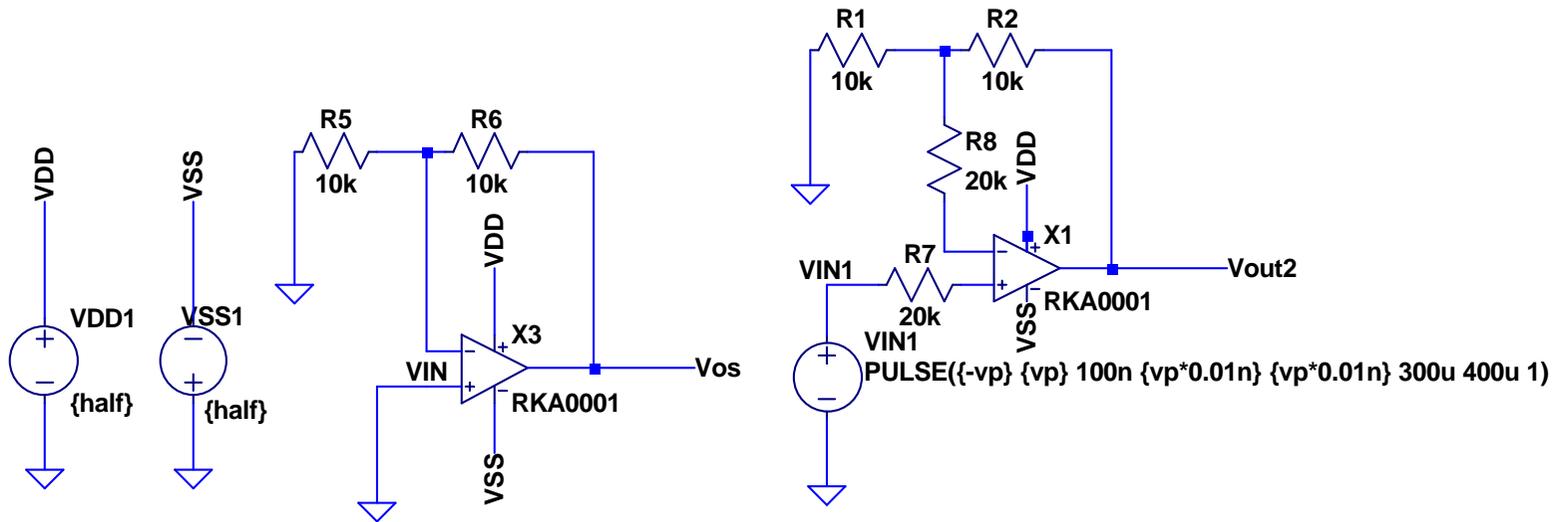
評価回路例：直流利得・位相余裕・利得帯域幅積

評価値抽出のための命令文

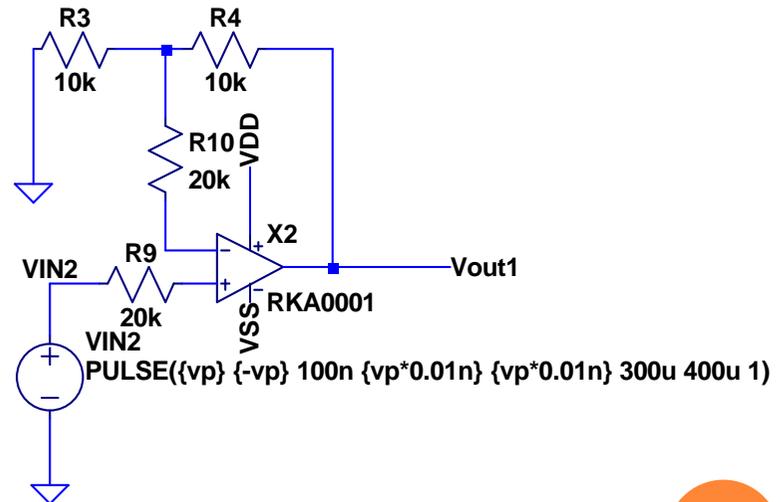
```
.param half=1.5  
.MEAS AC dcgain FIND V(Vout) AT=0.1  
.MEAS AC fbw when mag(V(Vout)=V(VIN))  
.MEAS AC phase FIND V(Vout) AT=fbw
```



評価回路例：スルーレート



```
.param half=1.5 vp=0.127
.tran 0 200u 0
.MEAS TRAN vps FIND V(Vout1)-V(Vos) AT=0
.MEAS TRAN vpt FIND V(Vout1)-V(Vos) AT=200u
.MEAS TRAN vns FIND V(Vout2)-V(Vos) AT=0
.MEAS TRAN vnt FIND V(Vout1)-V(Vos) AT=200u
.MEAS TRAN srr1 DERIV V(Vout1)-V(Vos) WHEN (V(Vout1)-V(Vos))=0.9*vps
.MEAS TRAN srr2 DERIV V(Vout1)-V(Vos) WHEN (V(Vout1)-V(Vos))=0
.MEAS TRAN srr3 DERIV V(Vout1)-V(Vos) WHEN (V(Vout1)-V(Vos))=0.9*vpt
.MEAS TRAN srr PARAM=(srr1+srr2+srr3)/3
.MEAS TRAN srf1 DERIV V(Vout2)-V(Vos) WHEN (V(Vout2)-V(Vos))=0.9*vns
.MEAS TRAN srf2 DERIV V(Vout2)-V(Vos) WHEN (V(Vout2)-V(Vos))=0
.MEAS TRAN srf3 DERIV V(Vout2)-V(Vos) WHEN (V(Vout2)-V(Vos))=0.9*vnt
.MEAS TRAN srf PARAM=(srf1+srf2+srf3)/3
.MEAS TRAN sr PARAM=min(abs(srr),abs(srf))
```



アウトライン

- 研究背景・目的
- 演算増幅器の目標性能と評価方法
- **2 段構成演算増幅器の設計**
- 結果・考察
- まとめ

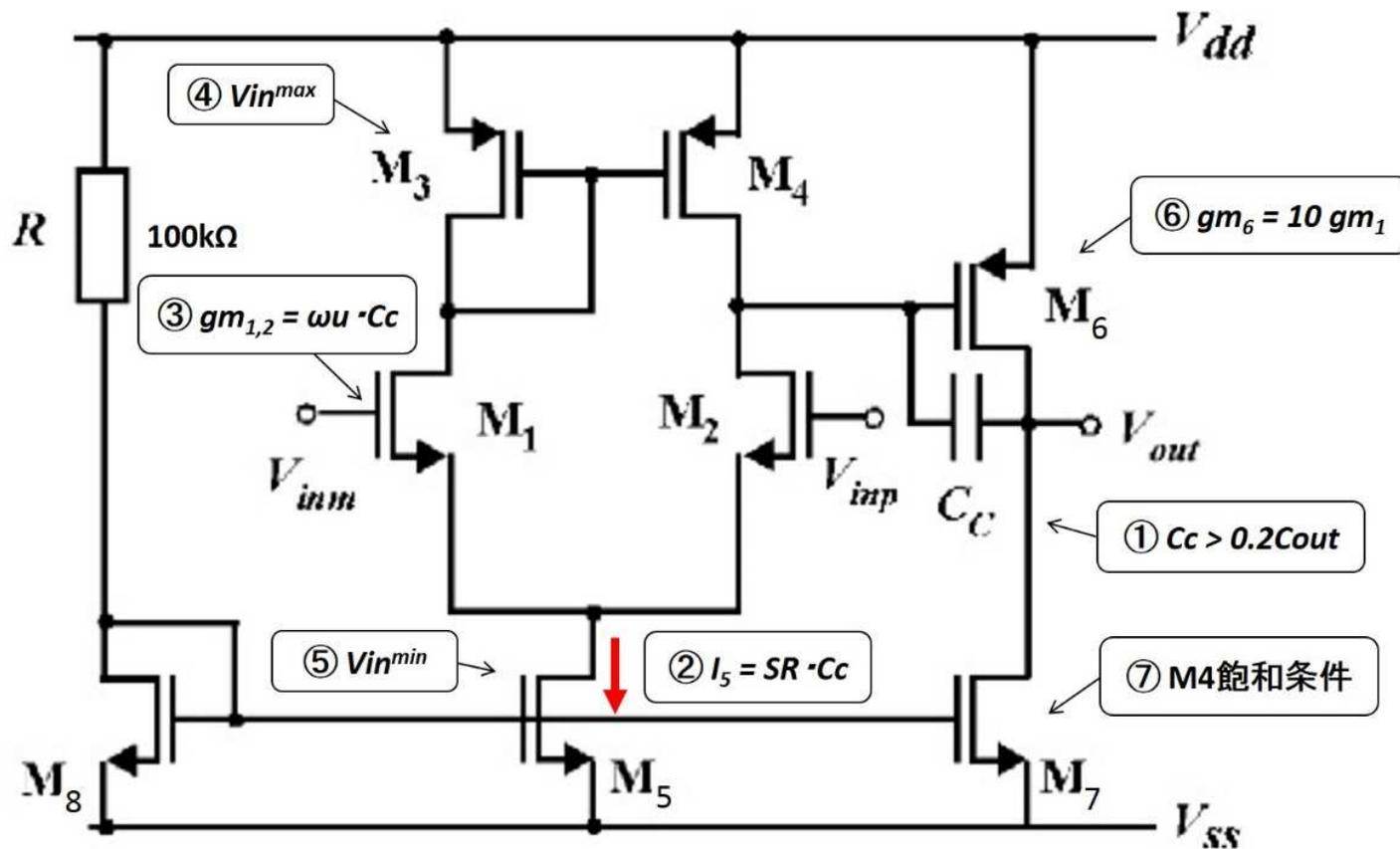
2 段構成演算増幅器の設計

○ 構成

- 差動増幅回路＋ソース接地増幅回路の2段構成を採用

○ 設計手順

- 下図の番号の順番に設計し、各MOSのサイズを決定



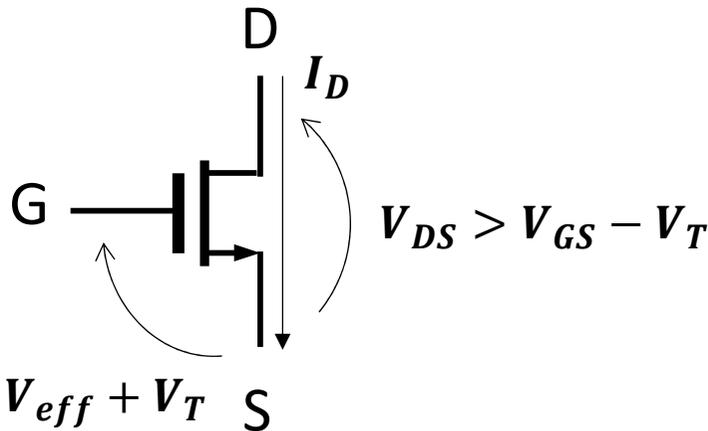
MOSサイズ (W/L比) の計算方法と設計手順

- MOSの基本式 (飽和領域)

$$I_D = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right) V_{eff}^2 \left(1 + \frac{V_{DS}}{V_A}\right)$$

$$g_m = \mu C_{ox} \left(\frac{W}{L}\right) V_{eff} \left(1 + \frac{V_{DS}}{V_A}\right)$$

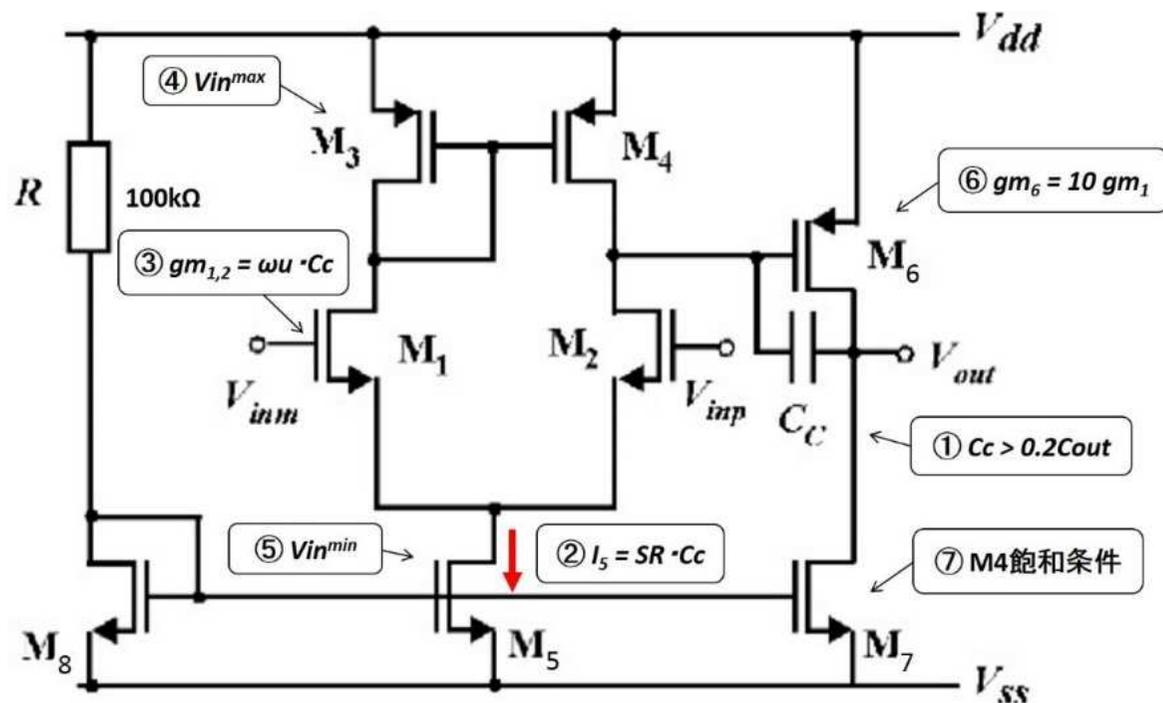
$$g_m = \frac{2I_D}{V_{eff}}$$



gm, Id, Veffのうち2つ決まれば、
W/L比を計算可能



gm, Id, Veffの制約条件は
性能要件によって決定

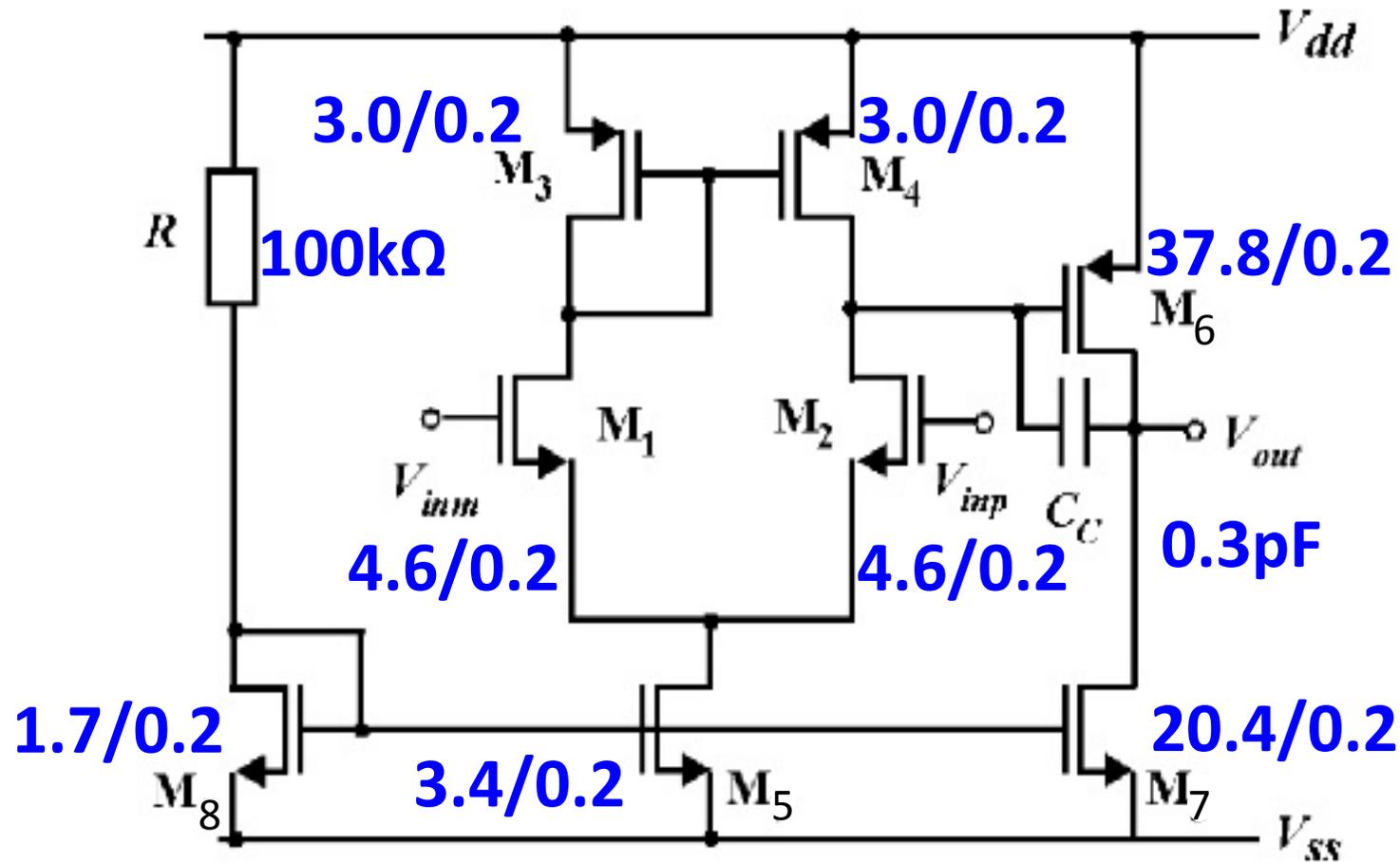


目標性能

- SR=150V/μs
- Wu=200MHz
- Cout=0.1pF
- 入出力範囲: Veff=0.2V

| 番号 | 制約条件 | 制約式 | サイズ決定MOS |
|----|---------------|--------------------------------------|----------|
| ① | 位相余裕 | $C_c > 0.2C_{out}$ | — |
| ② | スルーレート | $I_5 = SR \cdot C_c$ | — |
| ③ | 利得帯域幅 | $I_5, g_{m1,2} = \omega_u \cdot C_c$ | M1, M2 |
| ④ | 入力範囲(Vin max) | $I_5, V_{eff}(M3,4)$ | M3, M4 |
| ⑤ | 入力範囲(Vin min) | $I_5, V_{eff}(M5)$ | M5 |
| ⑥ | 位相余裕 | $g_{m6} = 10g_{m1}, V_{eff}(M6)$ | M6 |
| ⑦ | 飽和領域動作 | $I_7 = 2 \cdot I_5, V_{eff}(M7)$ | M7 |

設計した演算増幅器



各MOSのサイズはW/L比で示す。
基本単位は μm とする。

アウトライン

- 研究背景・目的
- 演算増幅器の目標性能と評価方法
- 2 段構成演算増幅器の設計
- **結果・考察**
- まとめ

設計した演算増幅器の評価結果

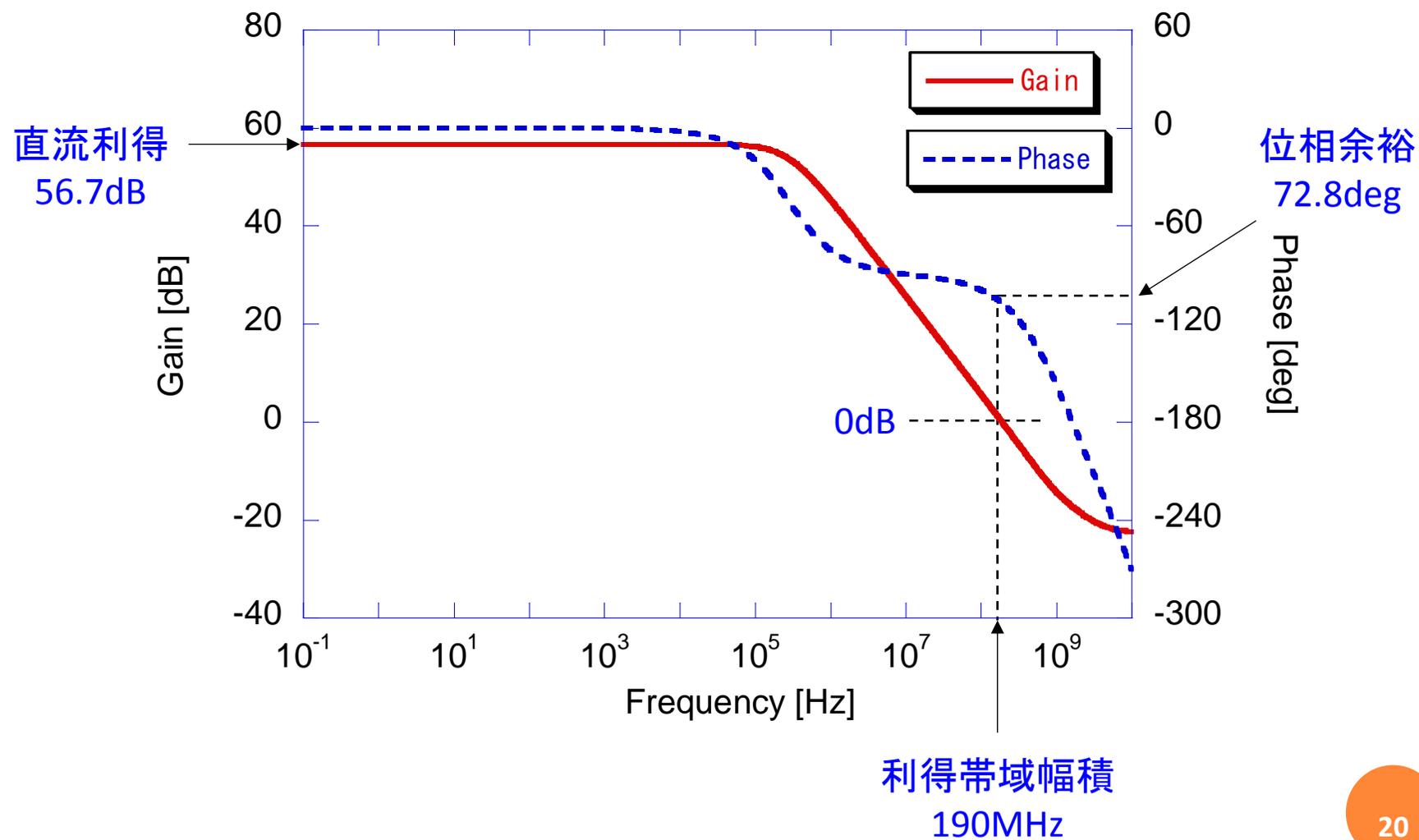
- 評価結果は全項目の目標性能を満足

| 評価項目 | 目標性能 | 結果 | 判定 |
|-----------|----------------------|-------------------------------|----|
| 電源電圧(VDD) | $\leq 3V$ | 3V | OK |
| 消費電流 | $\leq \Delta 50\%$ | $\Delta 17\%$ | OK |
| 消費電力 | $\leq 100mW$ | 1.30mW | OK |
| 出力抵抗 | なし | 944Ω | OK |
| 直流利得 | $\geq 40dB$ | 56.7dB | OK |
| 位相余裕 | $\geq 45deg$ | 72.8deg | OK |
| 利得帯域幅積 | $\geq 1MHz$ | 190MHz | OK |
| 入力換算雑音 | なし | 0.01mV/Hz ^{0.5} | OK |
| スルーレート | $\geq 0.1V/us$ | 78.1V/us | OK |
| 同相除去比 | $\geq 40dB$ | 62.0dB | OK |
| 全高調波歪 | なし | 0.001%以下 | OK |
| 電源電圧除去比 | $\geq 40dB$ | 72.2dB | OK |
| 出力電圧範囲 | $\geq VDD \cdot 5\%$ | $VDD \cdot 93\%$ | OK |
| 同相入力範囲 | $\geq VDD \cdot 5\%$ | $VDD \cdot 98\%$ | OK |
| 占有面積 | $\leq 1mm^2$ | 0.027 mm ² | OK |

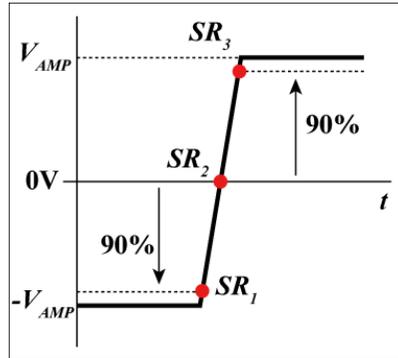
改善点

一般的な性能と比較すると、
直流利得が低く、出力抵抗が高い

評估結果例：直流利得・位相余裕・利得帶域幅積



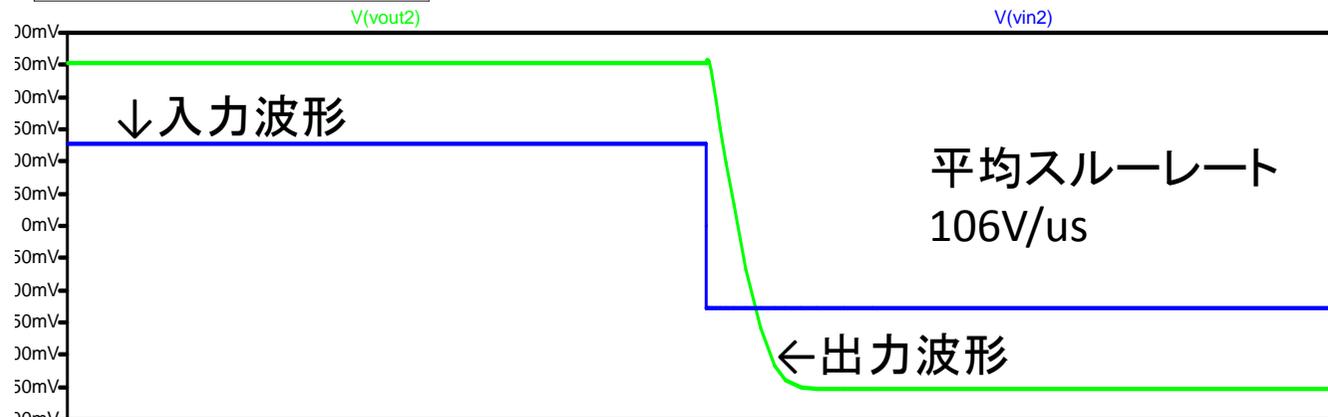
評価結果例：スルーレート



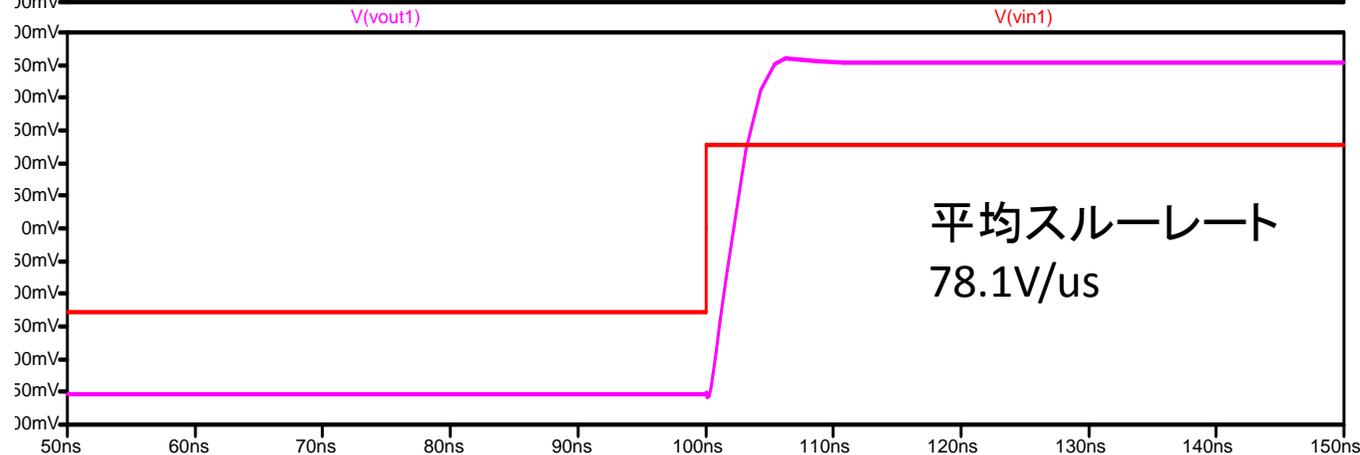
※出典：コンテストHPより

3点のスルーレートの平均値を評価

立ち下がり
評価



立ち上がり
評価



今後の課題

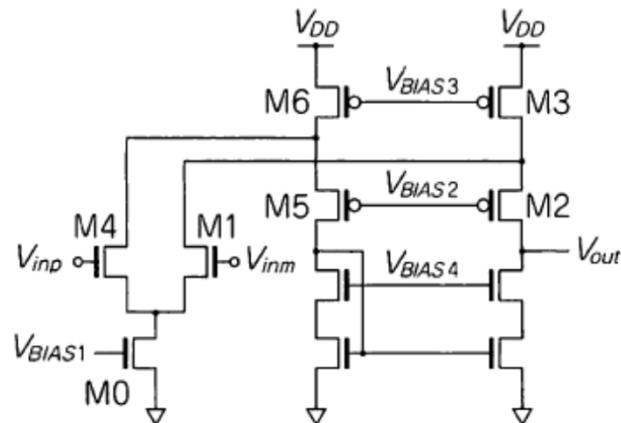
○ 直流利得の改善方法

- カスコード差動増幅回路
- 折り返しカスコード差動増幅回路

○ 出力抵抗の改善方法

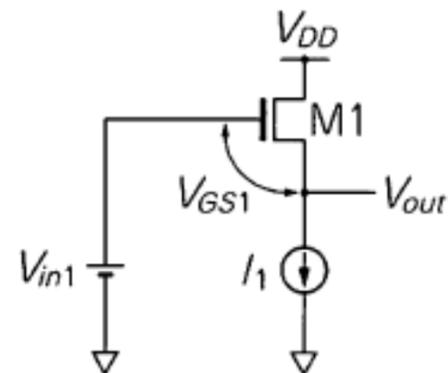
- 出力にドレイン接地増幅回路(ソースフォロワ)

折り返しカスコード回路



$$A_o = gm_1 [gm_2 r_{o2} (r_{o1} // r_{o3}) // gm_9 r_{o9} r_{o10}]$$

ソースフォロワ回路



$$R_{out}^{eff} = 1/gm_1$$

アウトライン

- 研究背景・目的
- 演算増幅器の目標性能と評価方法
- 2 段構成演算増幅器の設計
- 結果・考察
- **まとめ**

まとめ

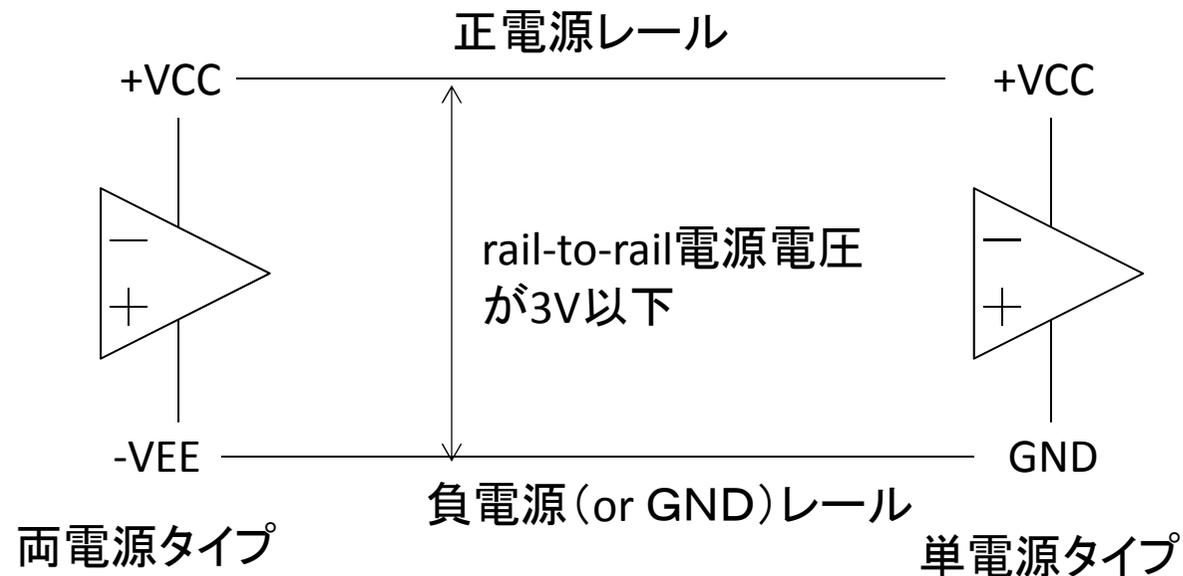
- 2段構成の高性能演算増幅器を設計・評価を実施
- 目標性能・評価方法は演算増幅器設計コンテストに準拠
- 結果はすべて目標性能を満足
 - 今後の課題は直流利得・出力抵抗の改善
- 設計を通じてアナログ集積回路周辺技術を習得
 - 改良を加えて、来年度はコンテストに挑戦しようと思います！！

補足資料

1. 電源電圧

- 評価値
 - 設計者の申告した電源電圧
- 要件
 - rail-to-rail電源電圧が3V以下
- 説明

rail-to-rail電源電圧とはオペアンプの正電源電圧から負電源電圧(もしくはGnd)までの電圧範囲のこと



2. 消費電流

○ 評価値

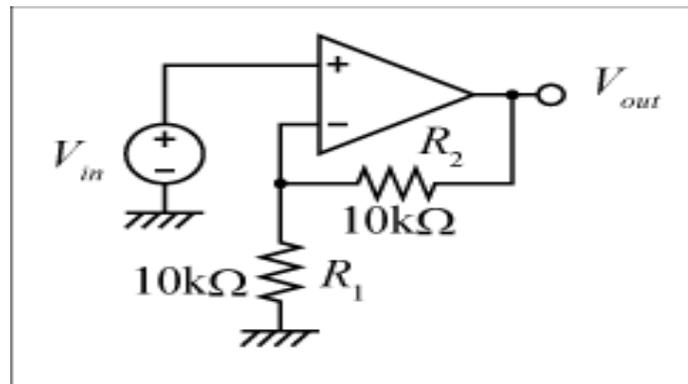
- 無信号時の消費電流

○ 要件

- 電源電圧を申告した値およびその $\pm 10\%$ 、温度を -40°C および 25°C 、 80°C と設定した際のバイアス電流の変動が申告した電源電圧と温度 25°C でシミュレーションした際のバイアス電流値の 50% 以内である。

○ 評価方法

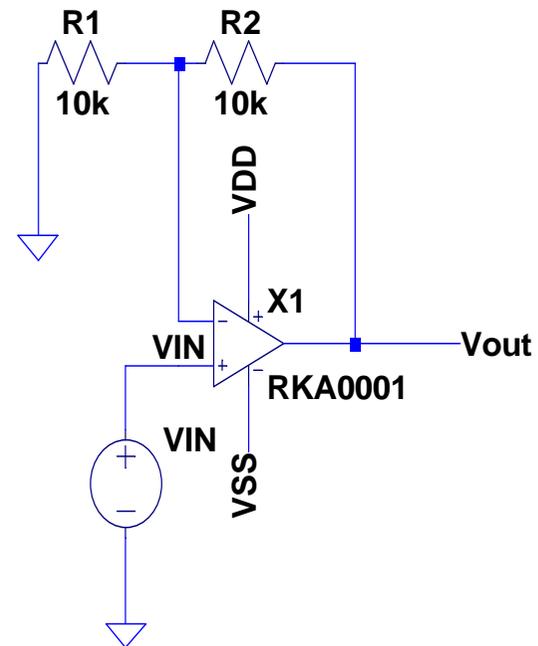
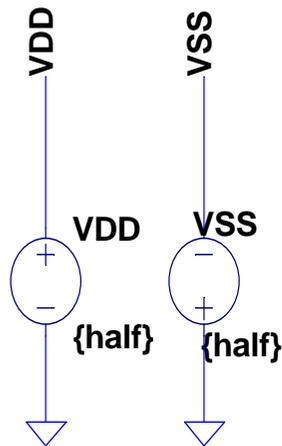
- 無信号時とは図の回路において非反転入力端子が接地される ($V_{in}=0\text{V}$) 時のことである。バイアス電流は両方の電源の電流をみて、大きい方を回路の消費電流とする。



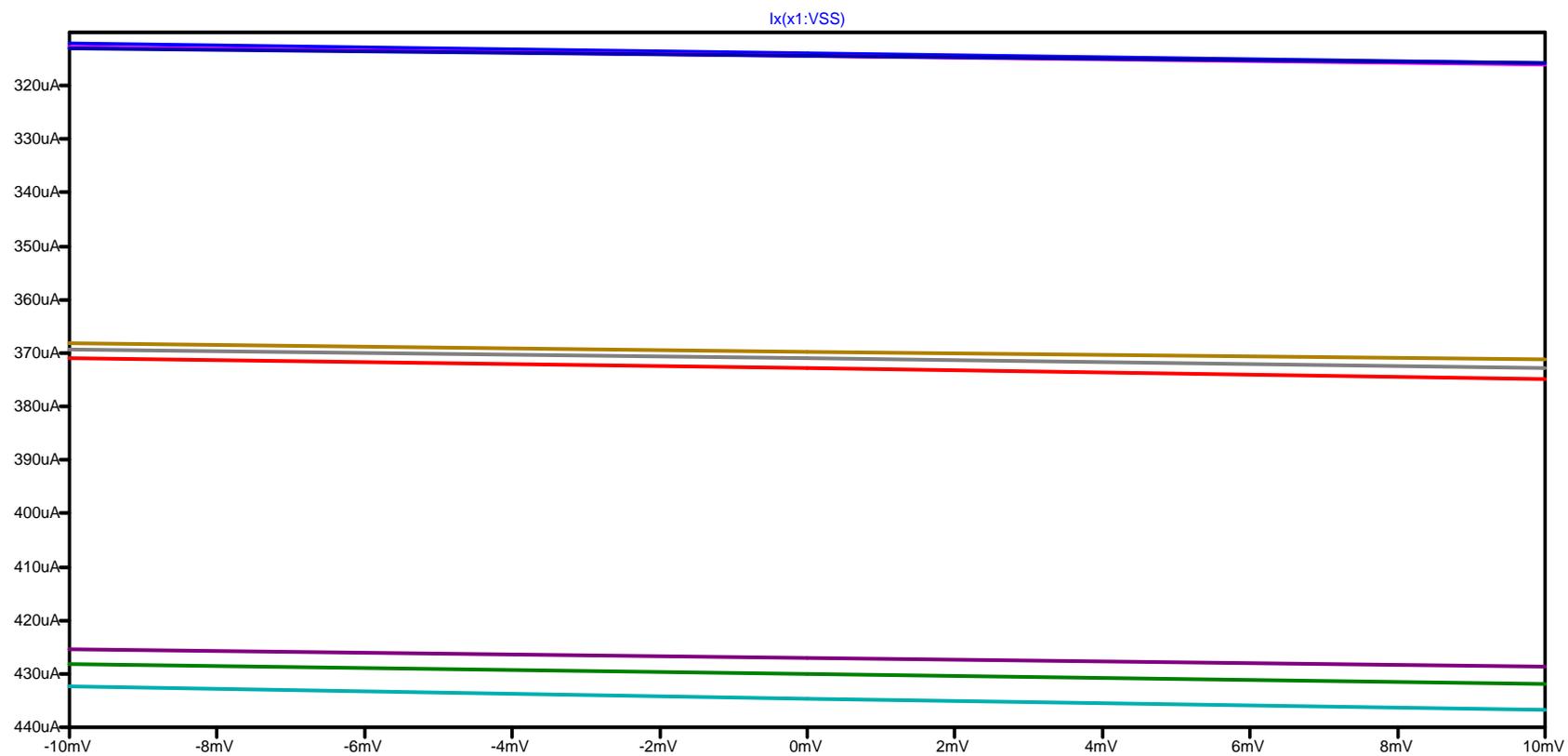
消費電流検証回路

```
.dc VIN -0.01 0.01 0.01  
.step param half list 1.35 1.5 1.65  
.TEMP -40 25 80  
.MEAS DC ivdd FIND I(VDD) AT=0  
.MEAS DC ivss FIND I(VSS) AT=0  
.MEAS DC ib param max(abs(ivdd),abs(ivss))  
.MEAS DC pdiss param ib*2*half
```

```
.param half=1.5  
;tf V(Vout) VIN
```



消費電流検証回路 結果



3. 消費電圧

- 評価値

- 消費電力 = 申告された電源電圧 × 消費電流

- 要件

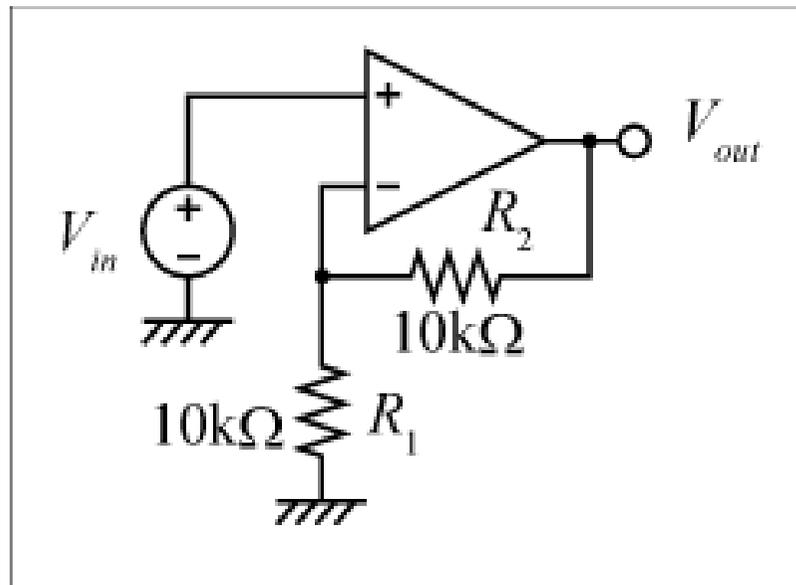
- 100mW以下

- 評価方法

- 評価値で用いた式から消費電力を求めることができる。

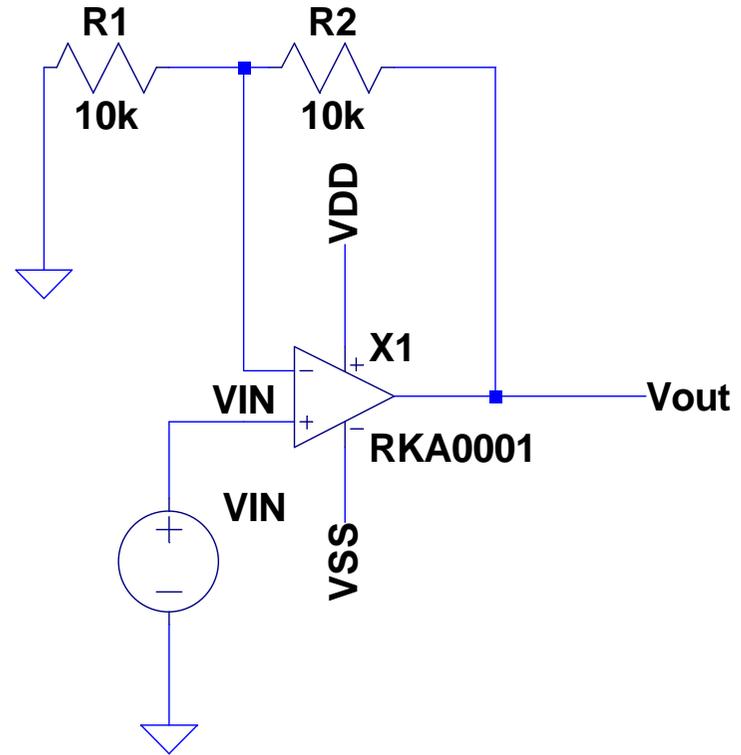
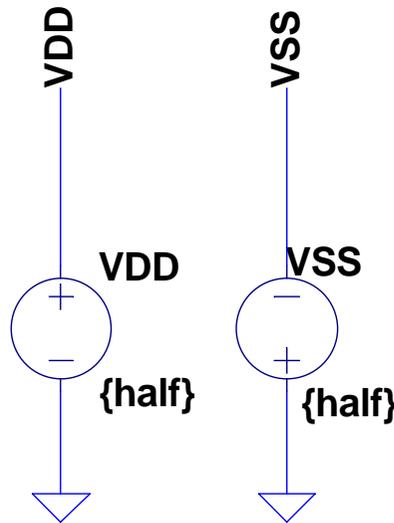
4. 出力抵抗

- 評価値
 - 開ループの出力抵抗
- 要件
 - なし
- 回路構成



出力抵抗検証回路

```
.param half=1.5  
.tf V(Vout) VIN
```



出力抵抗検証回路結果

```
Transfer_function:1.99591  
vin#Input_impedance:1e+020  
output_impedance_at_V(vout):18.7061
```

出力抵抗検証回路

実際の値を得るにはシミュレーション結果を補正する必要があります。

演算増幅器の実際の出力抵抗を r_o 、シミュレーション結果を r_{o_sim} とすると実際の出力抵抗は

$$r_o = 1 + \beta A_{0_sim} / (1/r_{o_sim} - 1/R_1 + R_2 - \beta A_{0_sim}/R_L)$$

で求められます。但し、

A_{0_sim} : 演算増幅器の直流利得のシミュレーション結果

r_{o_sim} : 演算増幅器の出力抵抗のシミュレーション結果

R_L : 直流利得を求めた際の負荷抵抗

β : 帰還率 $=R_1/(R_1+R_2)$

5. 直流利得

○ 評価値

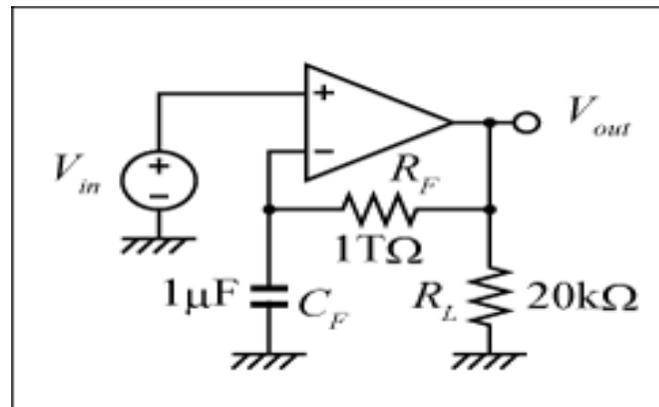
- 入力信号の周波数が0.1Hzのときの開ループ利得

○ 要件

- 40dB以上

○ 評価方法

- 直流において下記回路は $1\text{T}\Omega$ の帰還抵抗によって負帰還構成となっているため回路の直流バイアスが定まる。入力信号の周波数が高くなるにつれて反転入力端子と接地の間に接続されている $1\mu\text{F}$ の容量のインピーダンスが小さくなるため負帰還量がゼロに近づき、反転入力端子が接地されているかのように見える。この時、回路が開ループの時と同じ状態になり出力には開ループ利得倍された入力電圧が現れる。



6. 位相余裕

○ 評価値

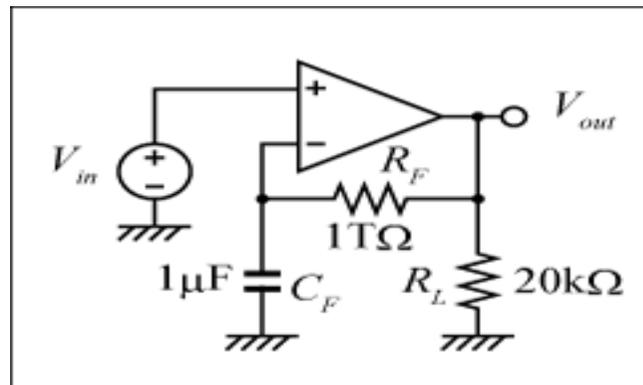
- 180度-|単一利得帯域内の最大位相回転|

○ 要件

- 45° 以上

○ 評価方法

- 開ループ利得が0dBになった時周波数において出力電圧の位相回転が180度になるのに必要な位相を位相余裕という。位相移動が180度からどのくらい離れてるを見ます。通常は位相余裕が60度～45度になるように設計します。これが小さすぎると使用条件によっては回路発振の危険性があり、大きすぎると上限周波数が低下する。



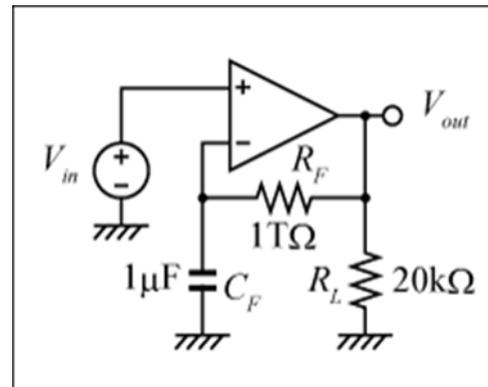
7. 利得帯域幅積

○ 評価値

- 開ループ利得が0dBになった周波数または開ループ利得が直流利得の平方根(dBで半分)になった時の周波数と利得の積のどちらか小さい方の値

○ 要件

- 1MHz以上



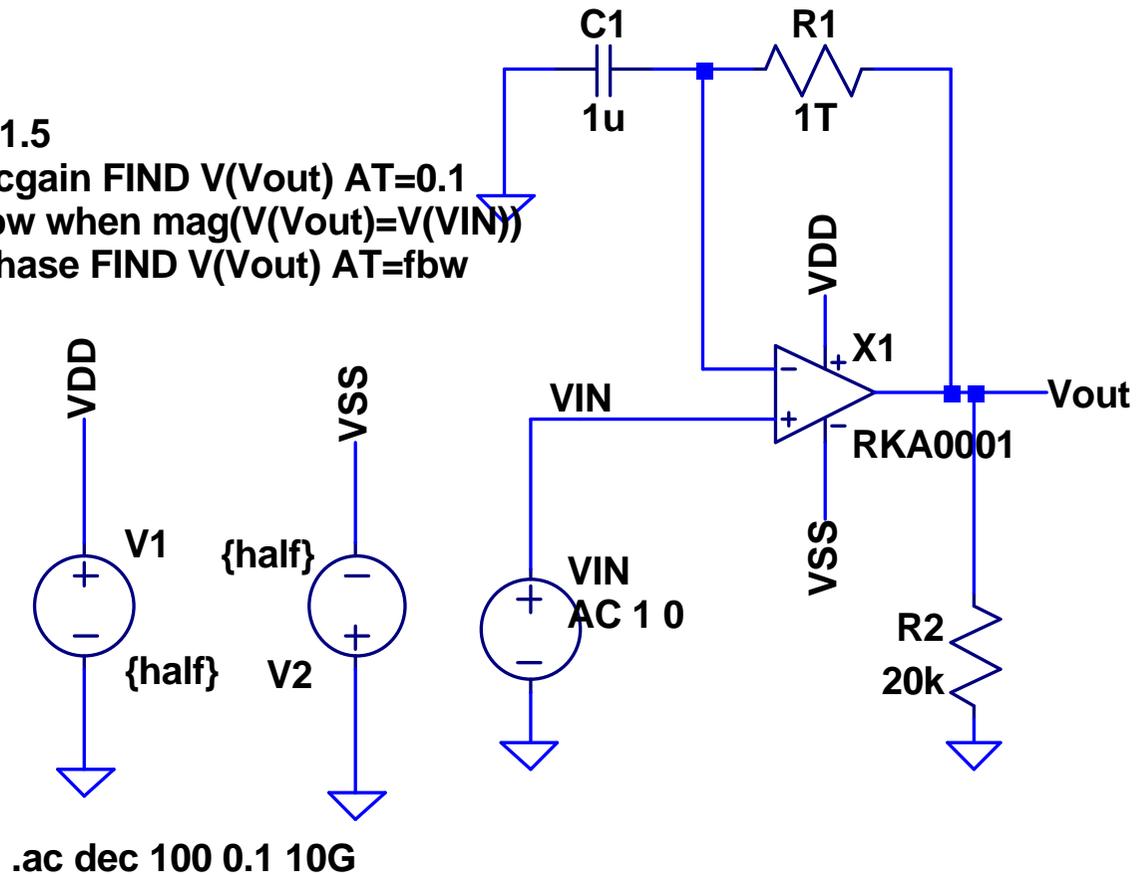
○ 評価方法

- 利得帯域幅積とは、周波数 f のときのオペアンプの電圧利得が A であるとすると $\text{GB積} = A \times f[\text{Hz}]$

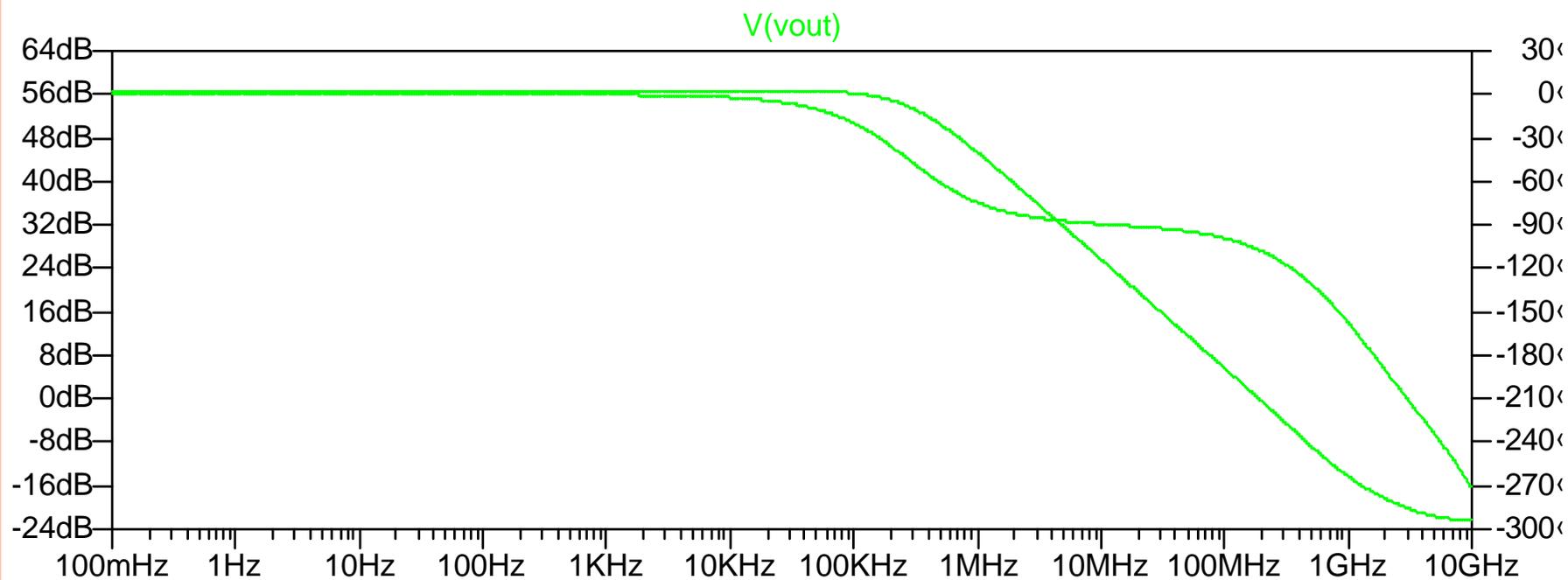
と表される。オペアンプの電圧利得は周波数幅に依存する。汎用のオペアンプだと周波数が10Hz以下では電圧利得は100dBくらいあるが、これより高い周波数では、約20 dB/decの傾で減衰する。

直流利得,位相余裕,利得帶域幅積檢証回路

```
.param half=1.5  
.MEAS AC dcgain FIND V(Vout) AT=0.1  
.MEAS AC fbw when mag(V(Vout))=V(VIN)  
.MEAS AC phase FIND V(Vout) AT=fbw
```

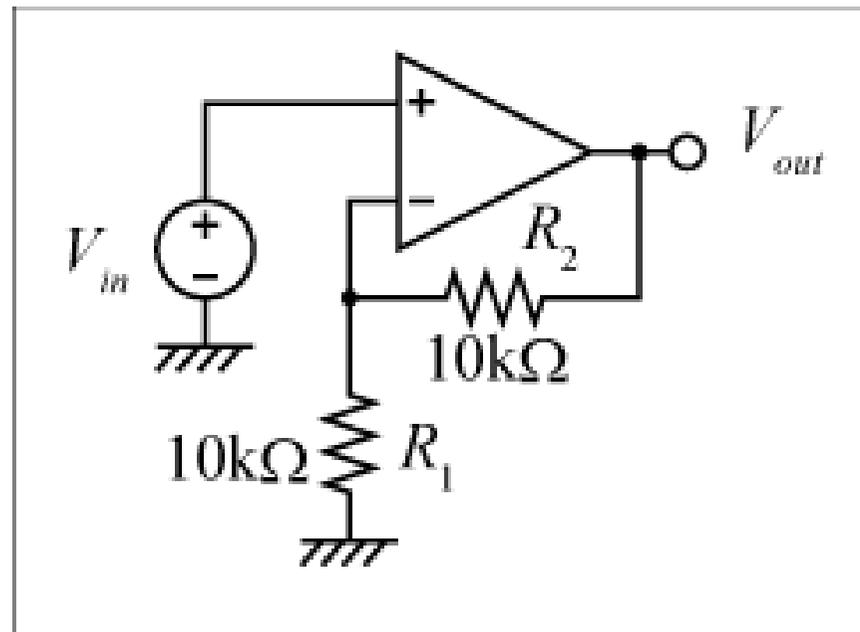


直流利得,位相余裕,利得帶域幅積檢証回路 結果

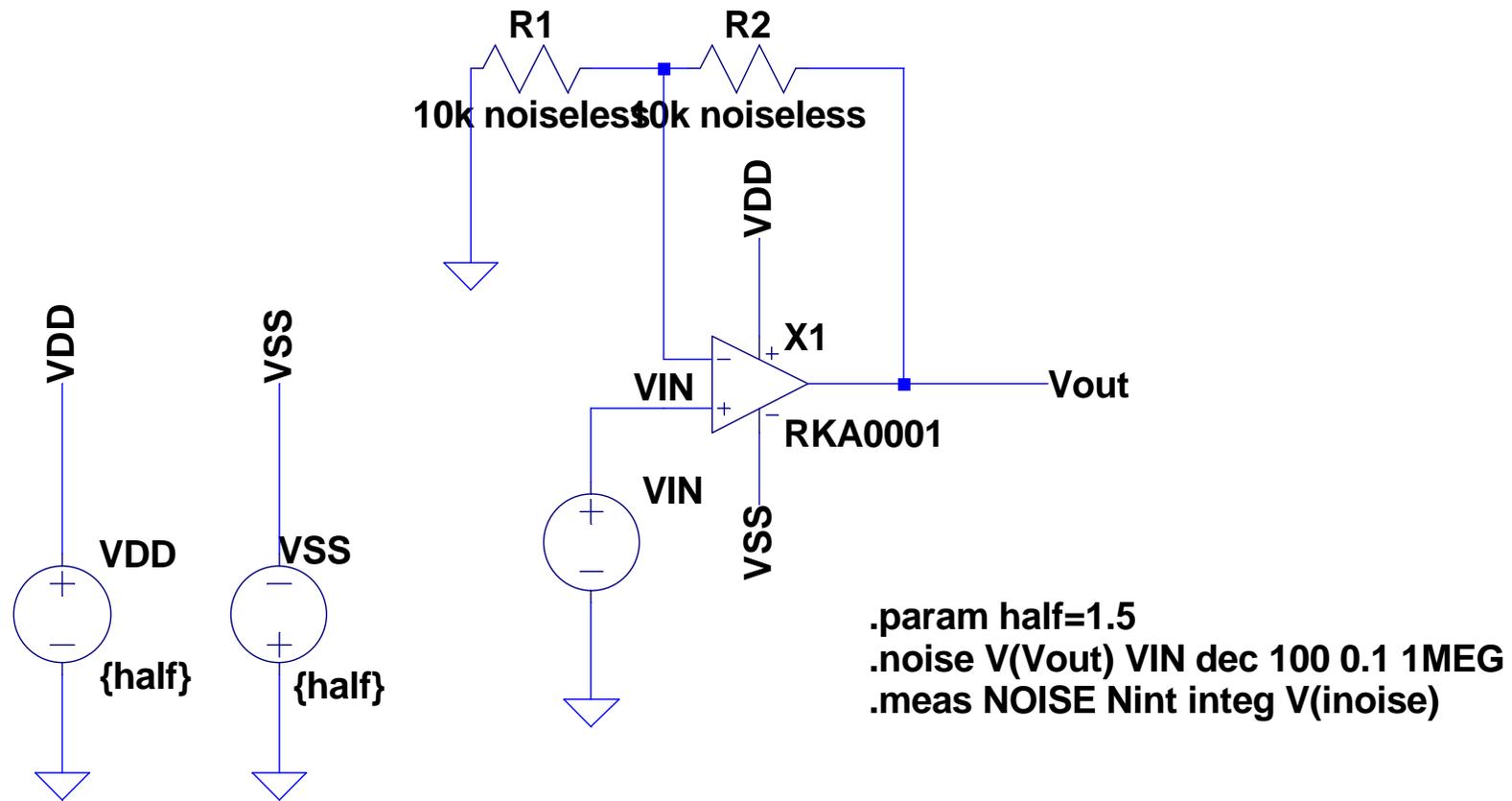


8. 入力換算雑音

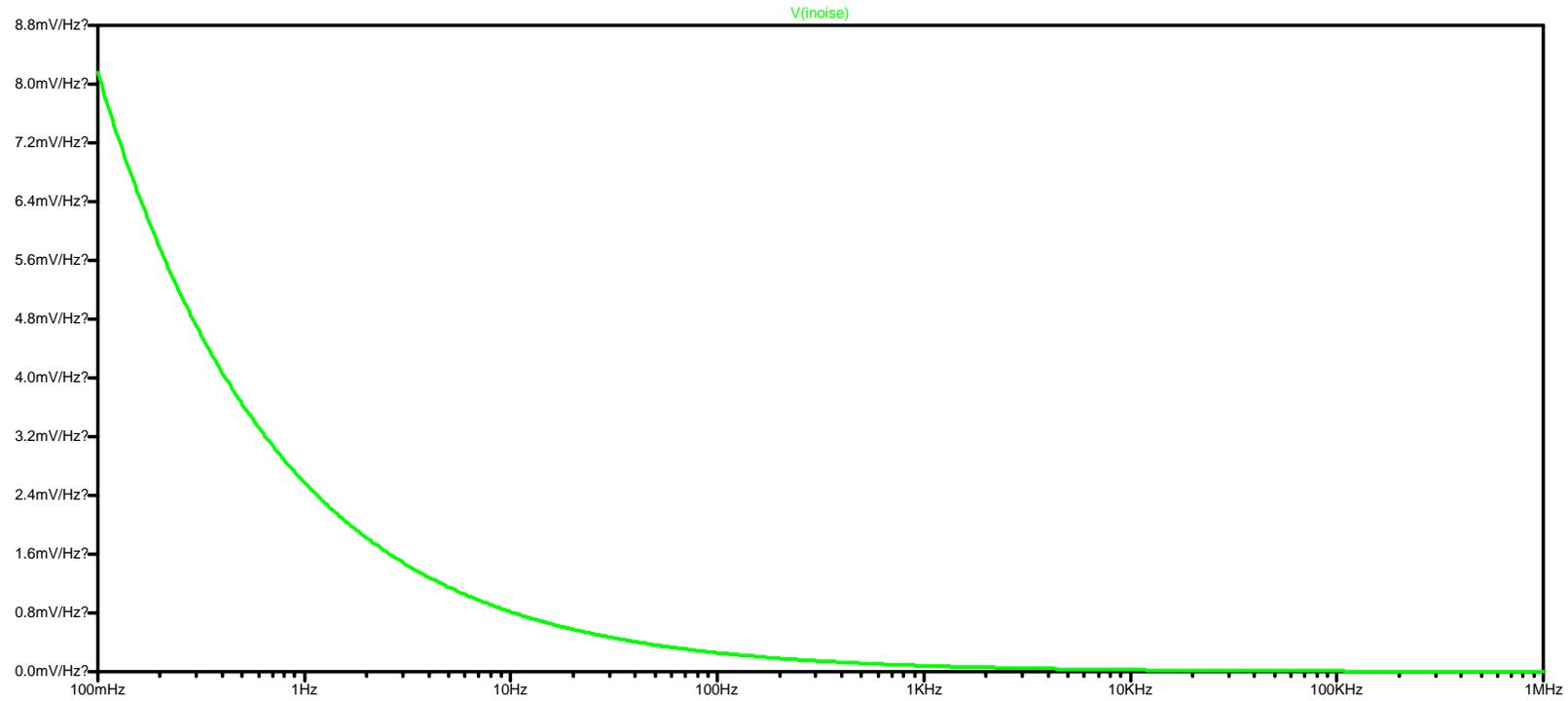
- 評価値
 - 0.1Hzから1MHzまでの入力換算雑音の積分値
- 要件
 - なし
- 回路構成



入力換算雑音検証回路



入力換算雑音検証回路結果



9. スルーレート

○ 評価値

- 立ち上がりまたは立ち下がりスルーレートのどちらか小さい方

○ 要件

- $0.1\text{V}/\mu\text{s}$ 以上

但し、スルーレート評価で検出される出力電圧波形の立ち上がりおよび立ち下がりがそれぞれ一つしか存在しない出力電圧は $100\mu\text{s}$ 以内に収束し、収束した後の出力電圧が入力電圧の2倍以下 (評価回路に利得が2倍の非反転増幅器を用いるため) を満たさなければいけない。

9. スルーレート

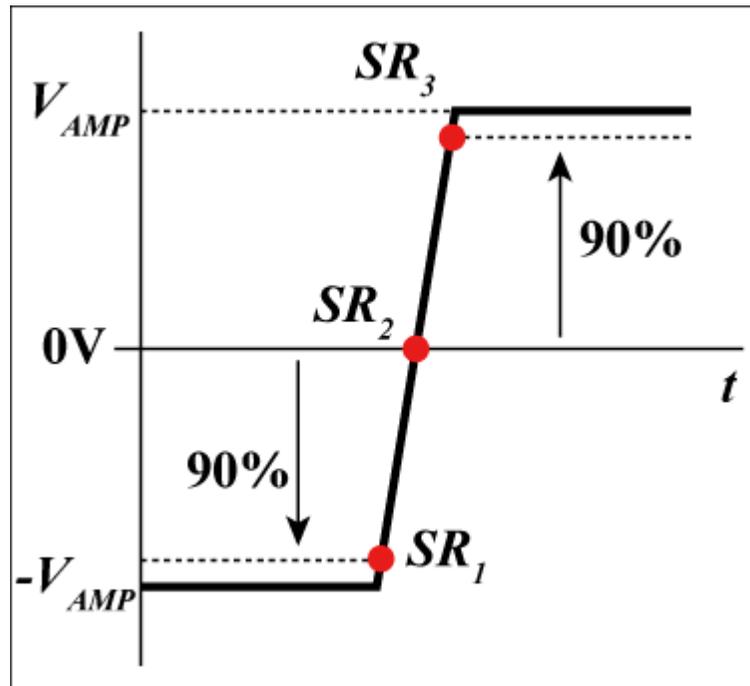
○ 評価方法

- スルーレート = $\frac{dV_{out}}{dt}$

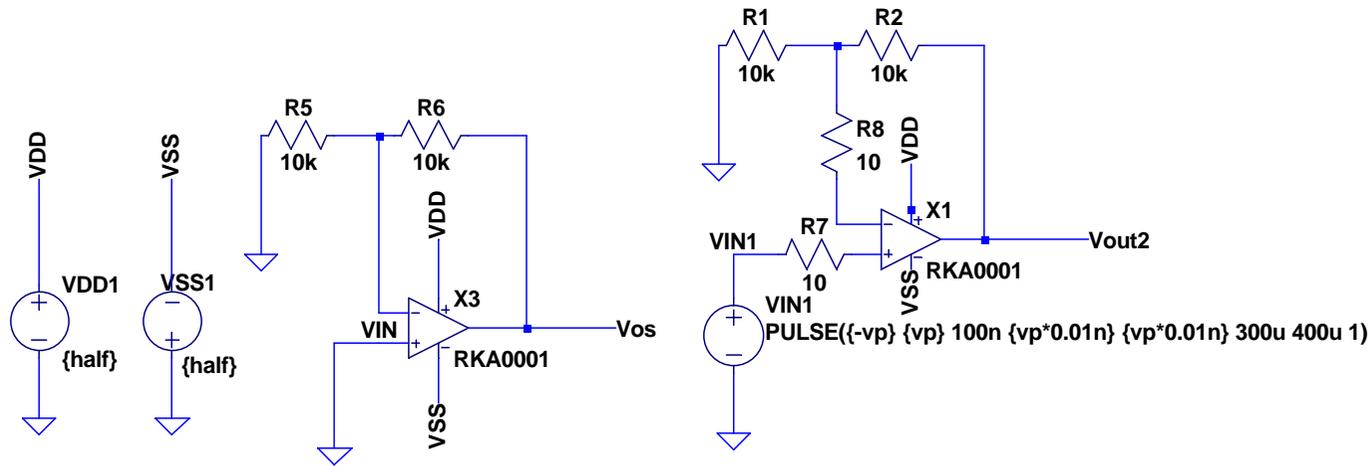
と定義される。下図の場合は

$$\text{スルーレート} = \frac{SR_1 + SR_2 + SR_3}{3}$$

となる。立ち上がりと立ち下がりで小さい方の値をスルーレートとして評価をする。

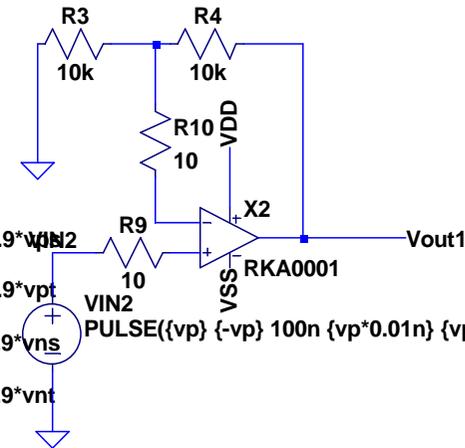


スルーレート検証回路

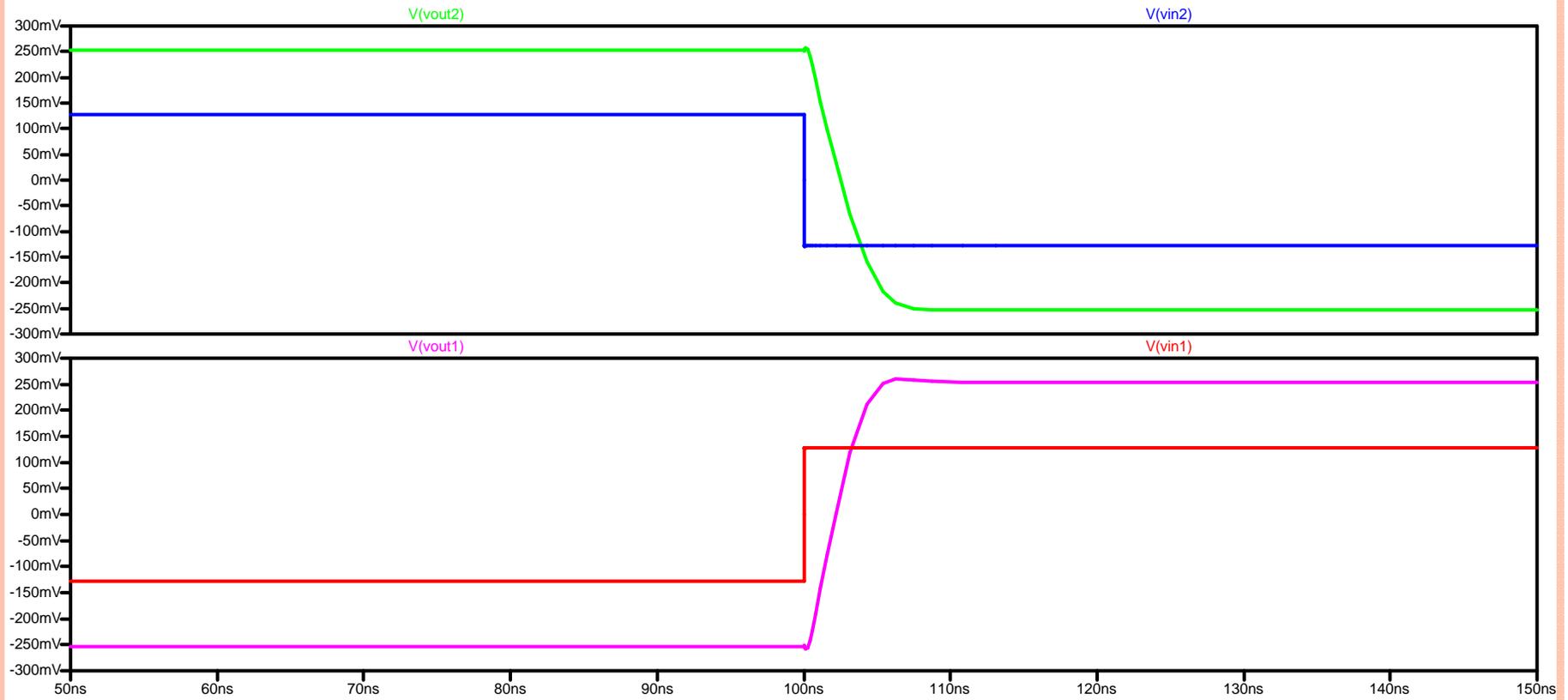


```

.param half=1.5 vp=0.127
.tran 0 200u 0
.MEAS TRAN vps FIND V(Vout1)-V(Vos) AT=0
.MEAS TRAN vpt FIND V(Vout1)-V(Vos) AT=200u
.MEAS TRAN vns FIND V(Vout2)-V(Vos) AT=0
.MEAS TRAN vnt FIND V(Vout1)-V(Vos) AT=200u
.MEAS TRAN srr1 DERIV V(Vout1)-V(Vos) WHEN (V(Vout1)-V(Vos))=0.9*vp
.MEAS TRAN srr2 DERIV V(Vout1)-V(Vos) WHEN (V(Vout1)-V(Vos))=0
.MEAS TRAN srr3 DERIV V(Vout1)-V(Vos) WHEN (V(Vout1)-V(Vos))=0.9*vpt
.MEAS TRAN srr PARAM=(srr1+srr2+srr3)/3
.MEAS TRAN srf1 DERIV V(Vout2)-V(Vos) WHEN (V(Vout2)-V(Vos))=0.9*vns
.MEAS TRAN srf2 DERIV V(Vout2)-V(Vos) WHEN (V(Vout2)-V(Vos))=0
.MEAS TRAN srf3 DERIV V(Vout2)-V(Vos) WHEN (V(Vout2)-V(Vos))=0.9*vnt
.MEAS TRAN srf PARAM=(srf1+srf2+srf3)/3
.MEAS TRAN sr PARAM=min(abs(srr),abs(srf))
    
```



スルーレート検証回路結果



10.全高調波歪

○ 評価値

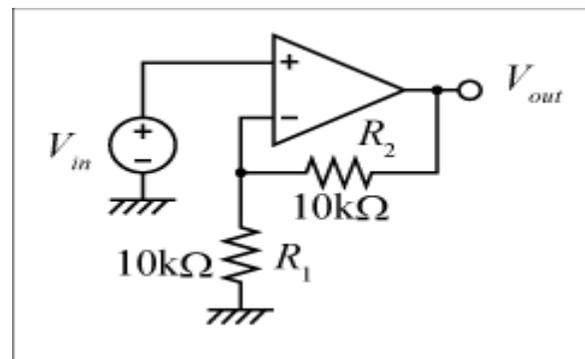
- 下記図の回路およびシミュレーション条件における出力電圧の全高調波歪

○ 要件

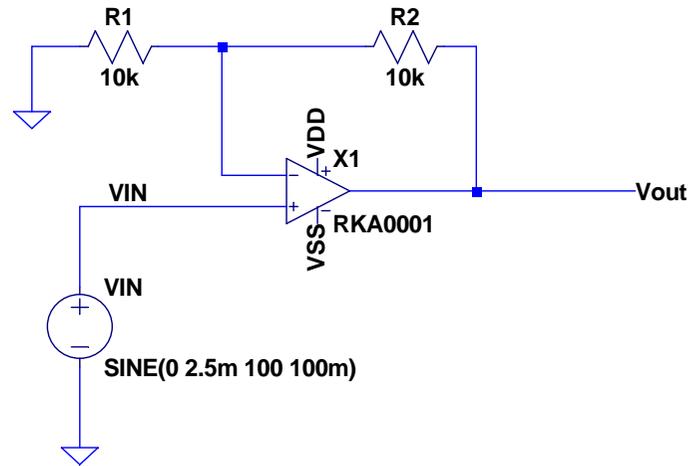
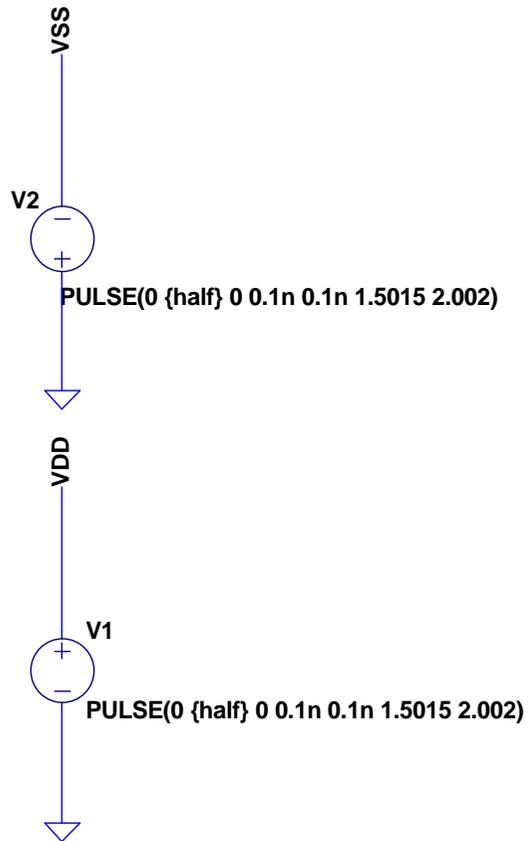
- 1%以下

○ 評価方法

- 電源電圧をそれぞれ0VからVDDおよび0VからVSSへと変化するステップ入力 入力電圧は周波数が100Hz, 振幅が2.5mVの正弦波とし, 電源電圧のステップが変化しはじめてから1ms後に加える

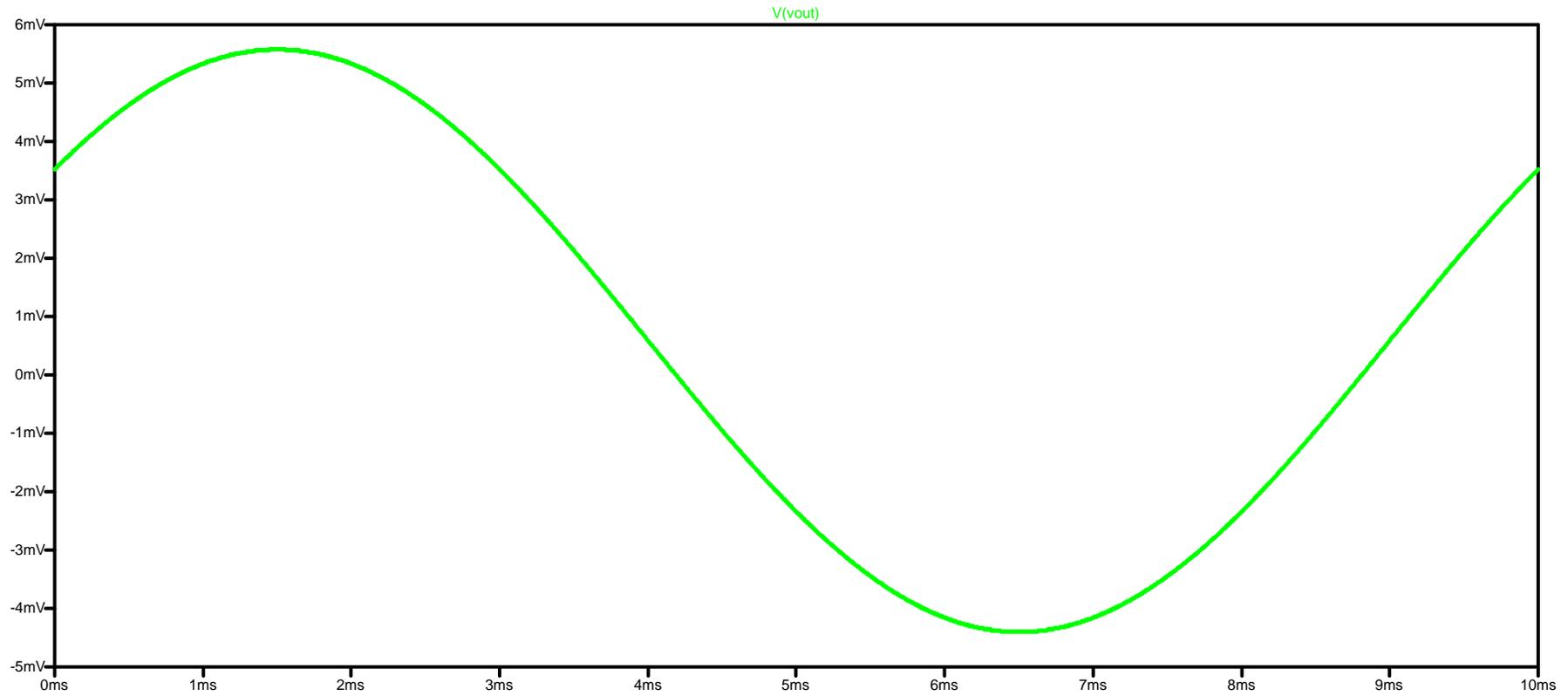


全高調波歪検証回路

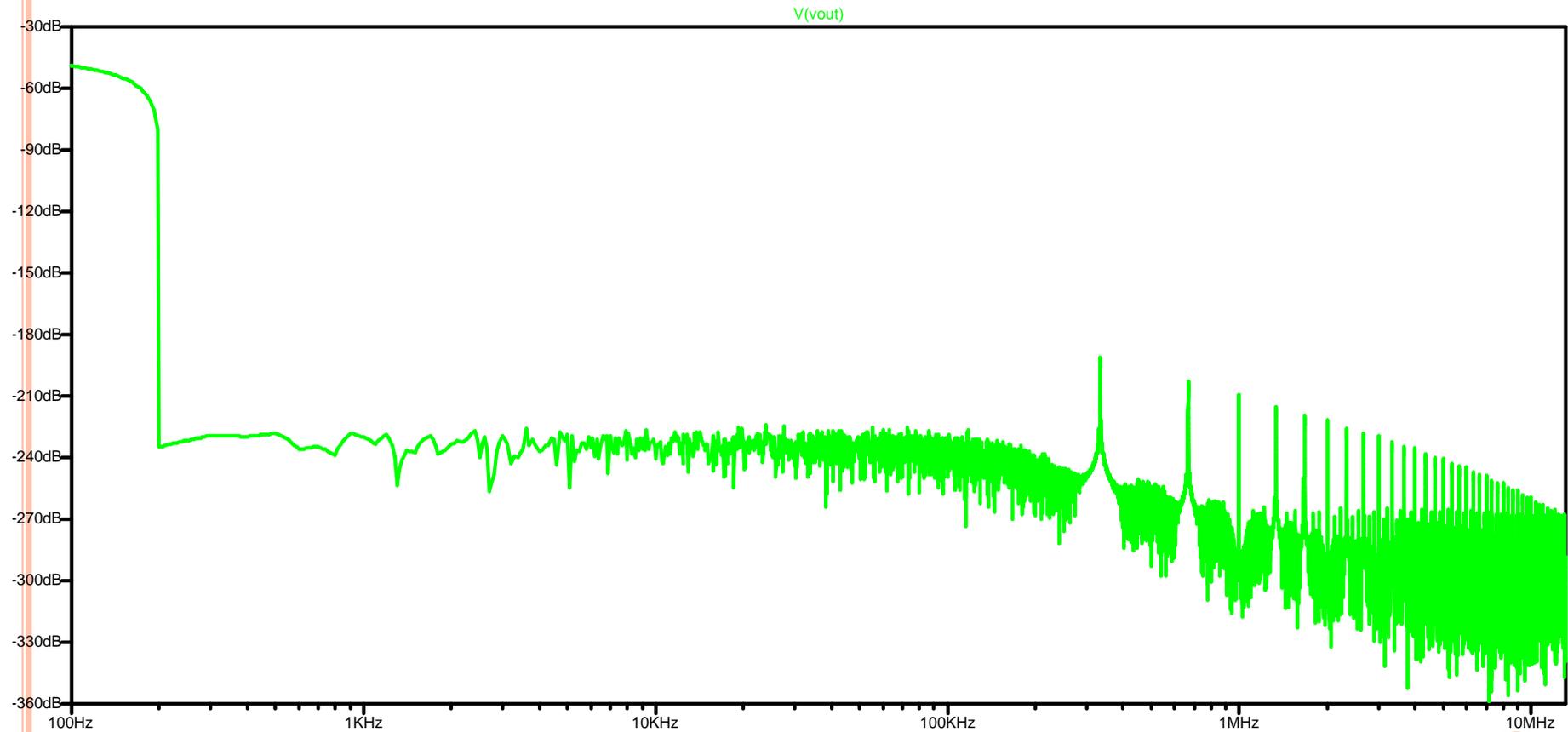


```
.param half=1.5  
.tran 0 1.001 {1.001-10m} 10n  
.Four 100Hz V(Vout)
```

全高調波歪検証回路結果



全高調波歪検証回路結果 (FFT)



11. CMRR

- 評価値

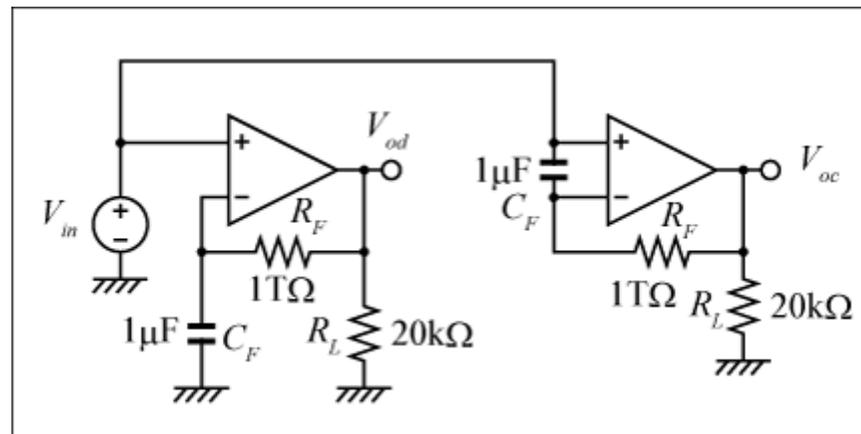
- 0.1Hz～10GHzまでの周波数における同相除去比の最大値

- 要件

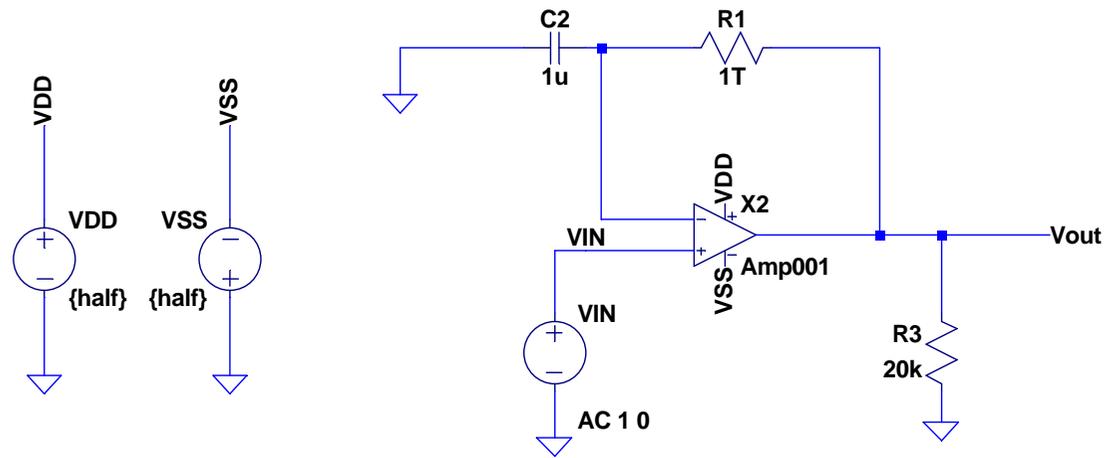
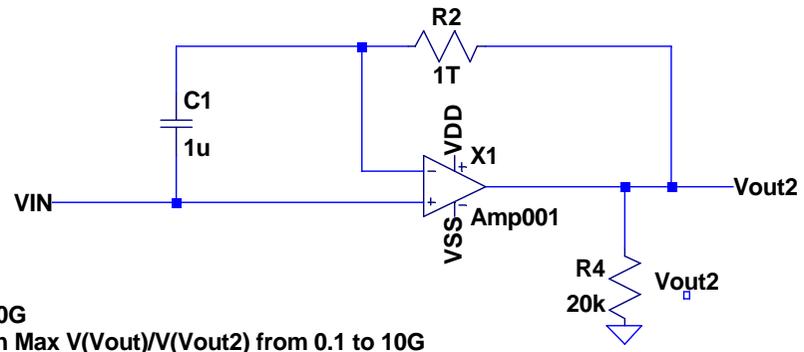
- 40dB以上

- 評価方法

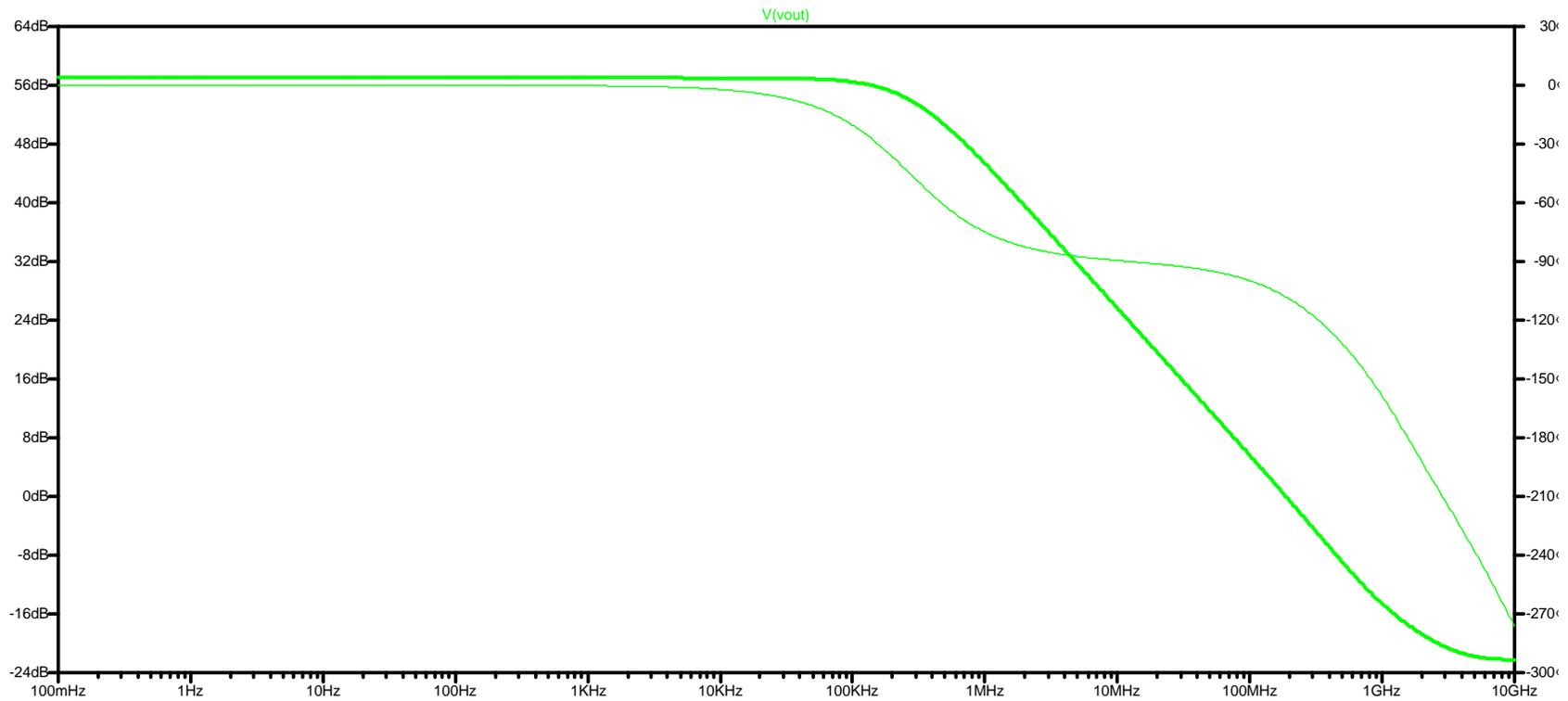
- 同相除去比を評価するための回路は、開ループ利得を求めるための回路に同相利得を求めるための回路を追加した構成になる。



CMRR検証回路



CMRR検証回路結果



12. PSRR

○ 評価値

- VDDまたはVSS側の0.1Hzにおける電源電圧変動除去比のどちらか小さい方

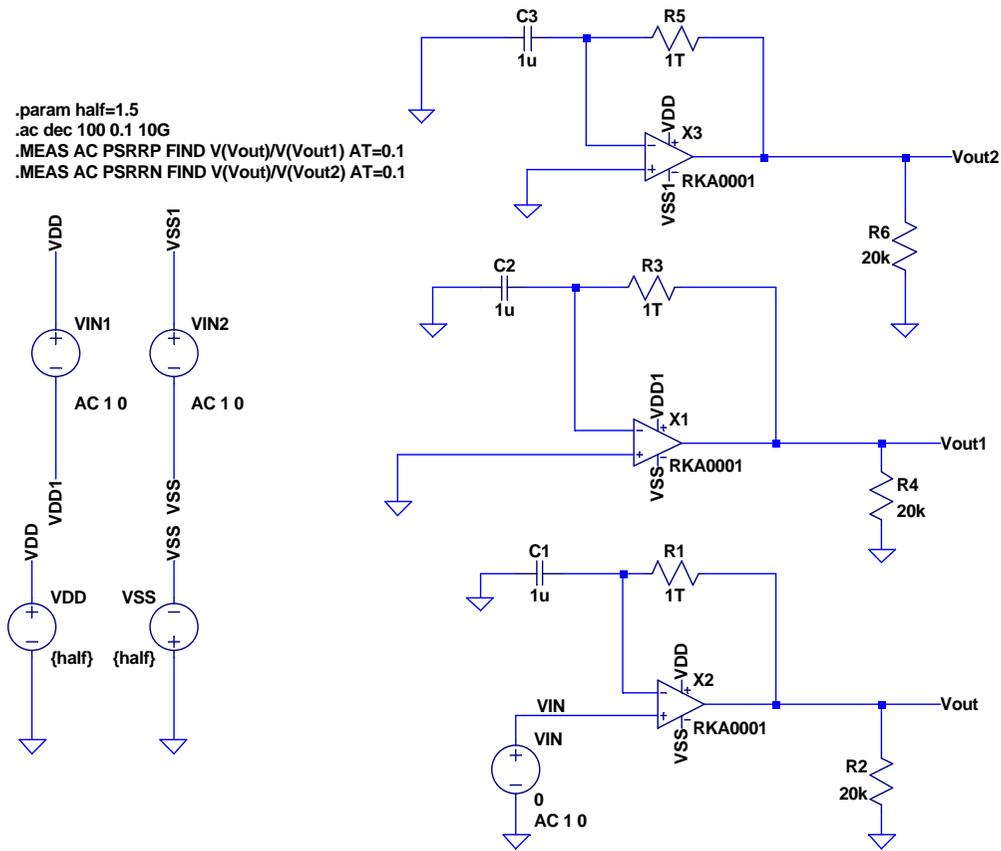
○ 要件

- 40dB以上

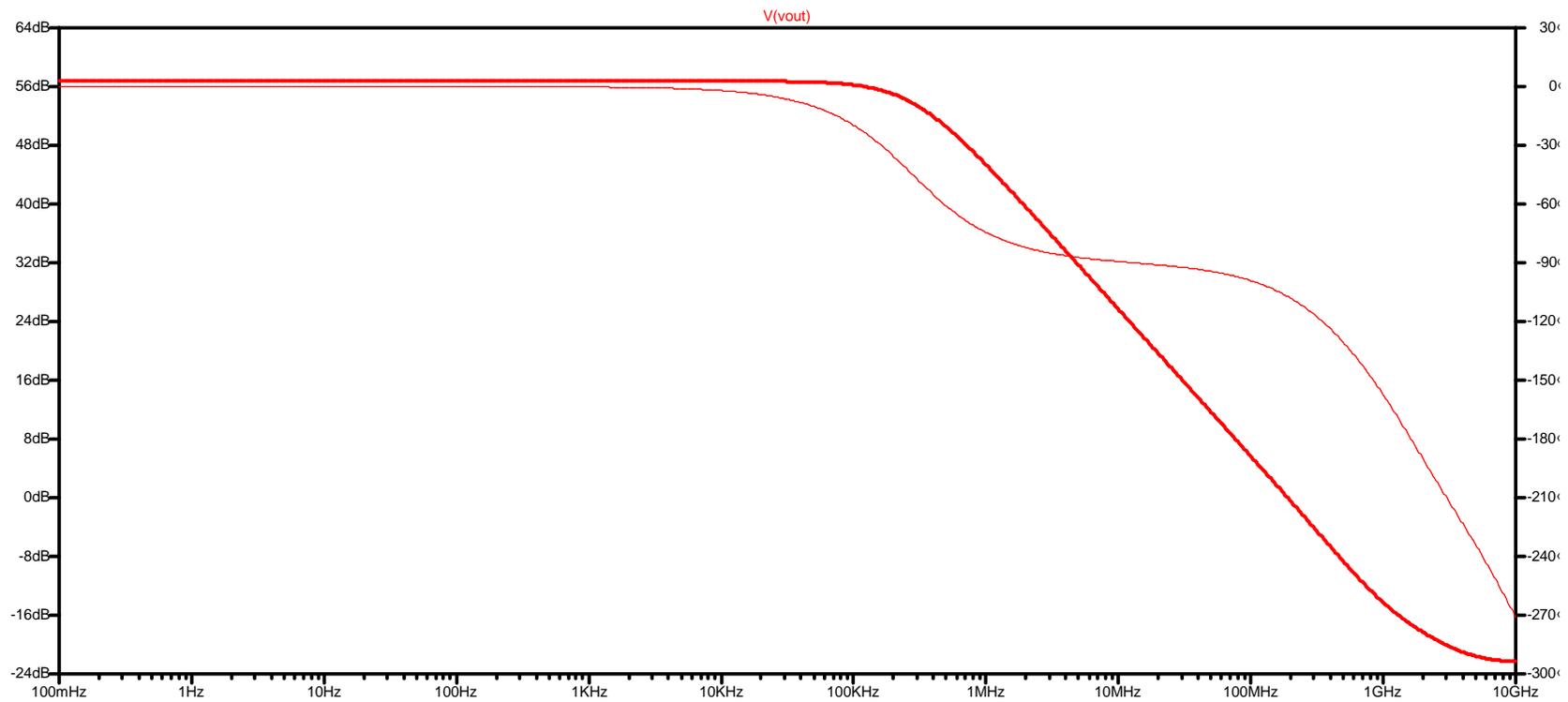
○ 評価方法

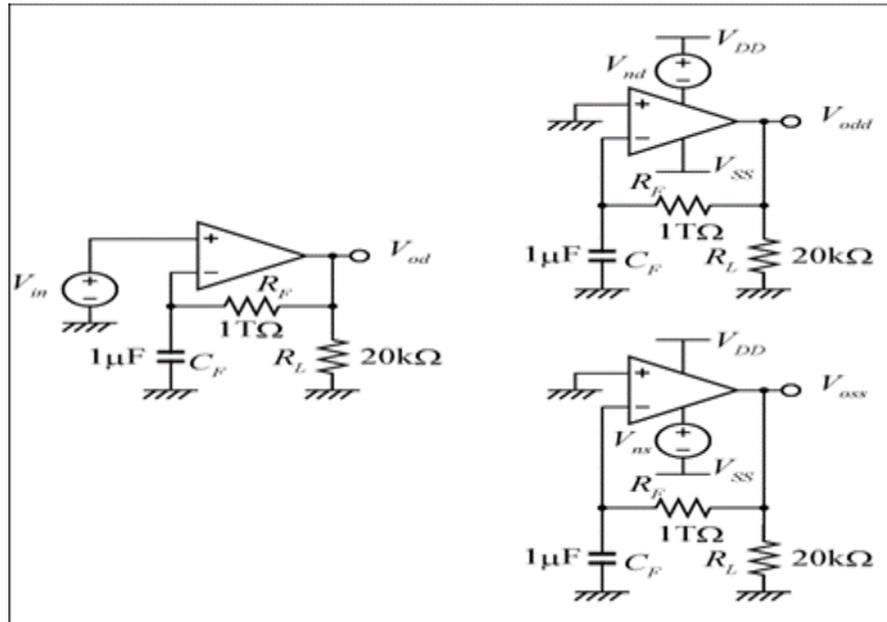
- PSRRのシミュレーションは.ACを用いた小信号解析で行う。電源と演算増幅器の電源端子の間に小信号電圧源を挿入し、入力端子を接地した上で、出力電圧を観測する。この際、 V_{DD} と V_{SS} の両方に同時に小信号源を挿入してはいけない。

PSRR検証回路



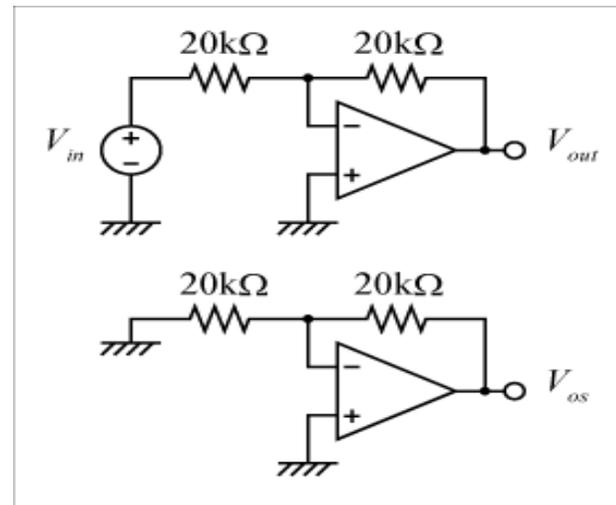
PSRR検証回路結果



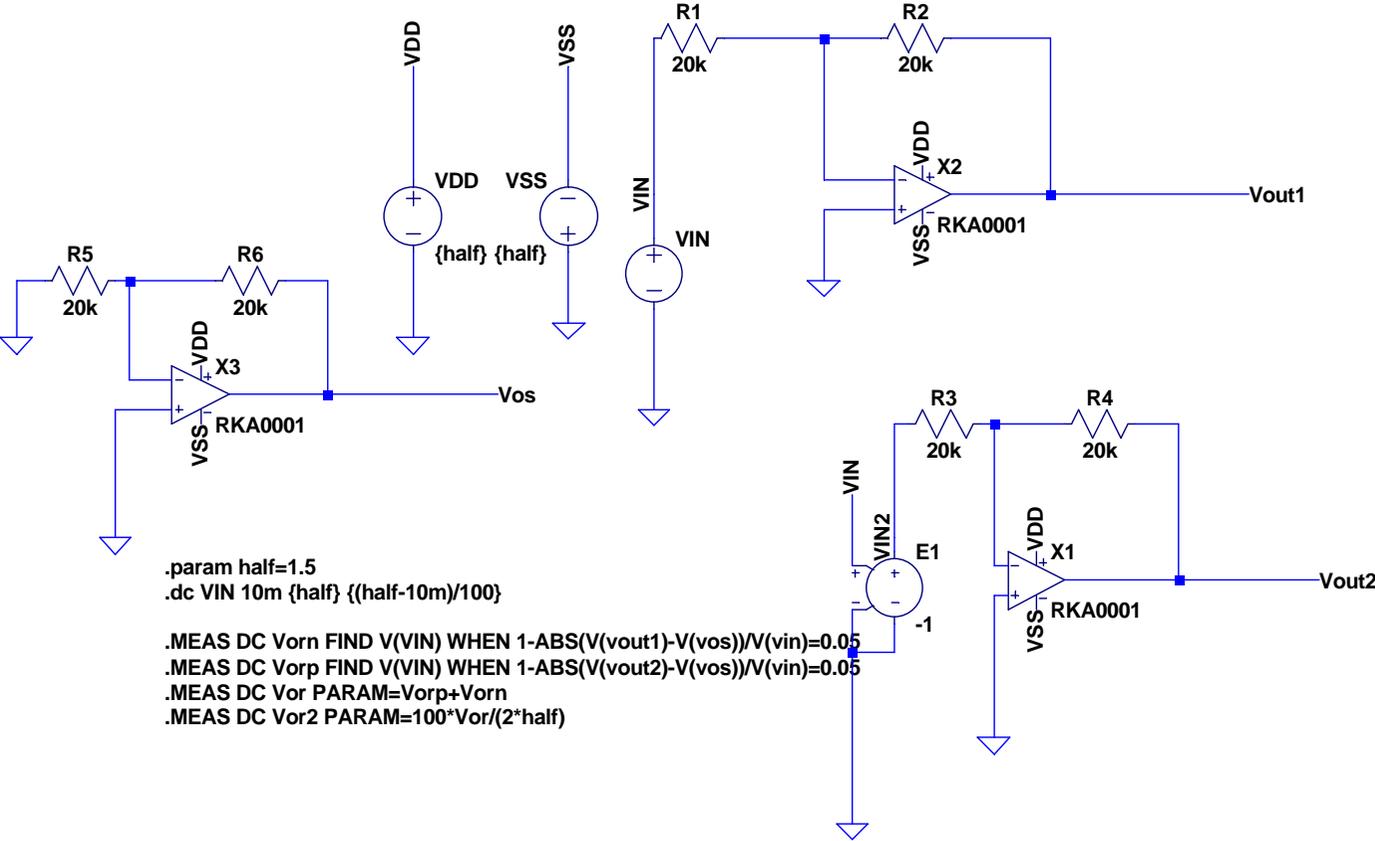


13.出力電圧範囲

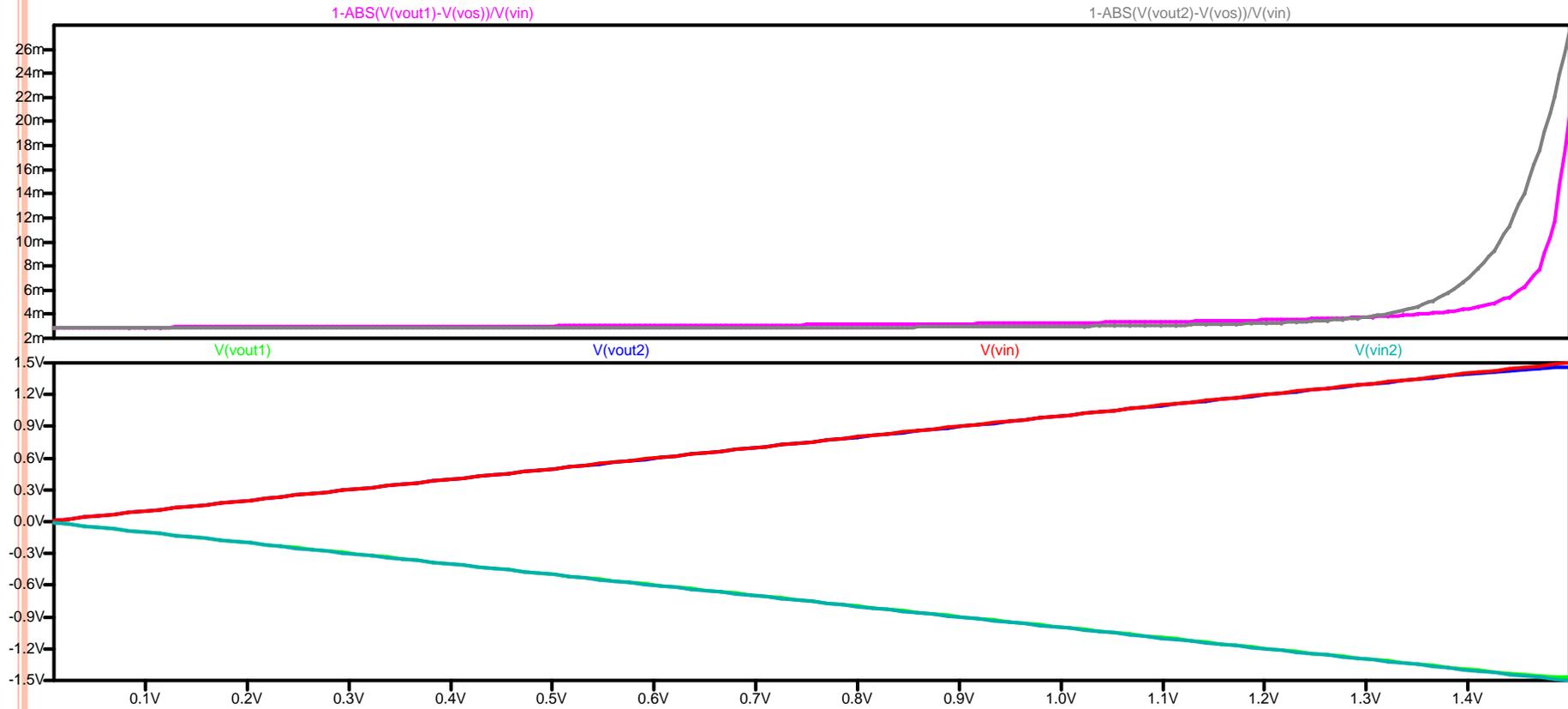
- 評価値
 - 出力電圧の誤差が5%以下になる出力電圧範囲
- 要件
 - 0Vを中心とする出力電圧が正負電源電圧の5%以上
- 評価方法
 - 出力電圧範囲は演算増幅器の入力端子が接地電位に固定されているような構成を使えば評価出来る。最も簡単なのは反転増幅回路を用いる方法である。評価回路では利得が-1倍の反単増幅器を用いる。演算増幅器がオフセット電圧を持つとそれが出力電圧の誤差として現れてしまう。



出力電圧範囲検証回路



出力電圧範囲検証回路結果



14. 同相入力範囲

○ 評価値

- 出力電圧の誤差が5%以下の入力電圧範囲

○ 要件

- 0Vを中心とする同相入力が正負電源電圧の5%以上

○ 評価方法

- 同相入力範囲は出力電圧の誤差(理論値とシミュレーション値との差)で評価するが、演算増幅器がオフセットを持つとそのオフセットが出力に現れ誤差として見えてしまう。その影響を排除するためにシミュレーションから得られた出力電圧からオフセット電圧を引いたものを用いて入力電圧を求める。

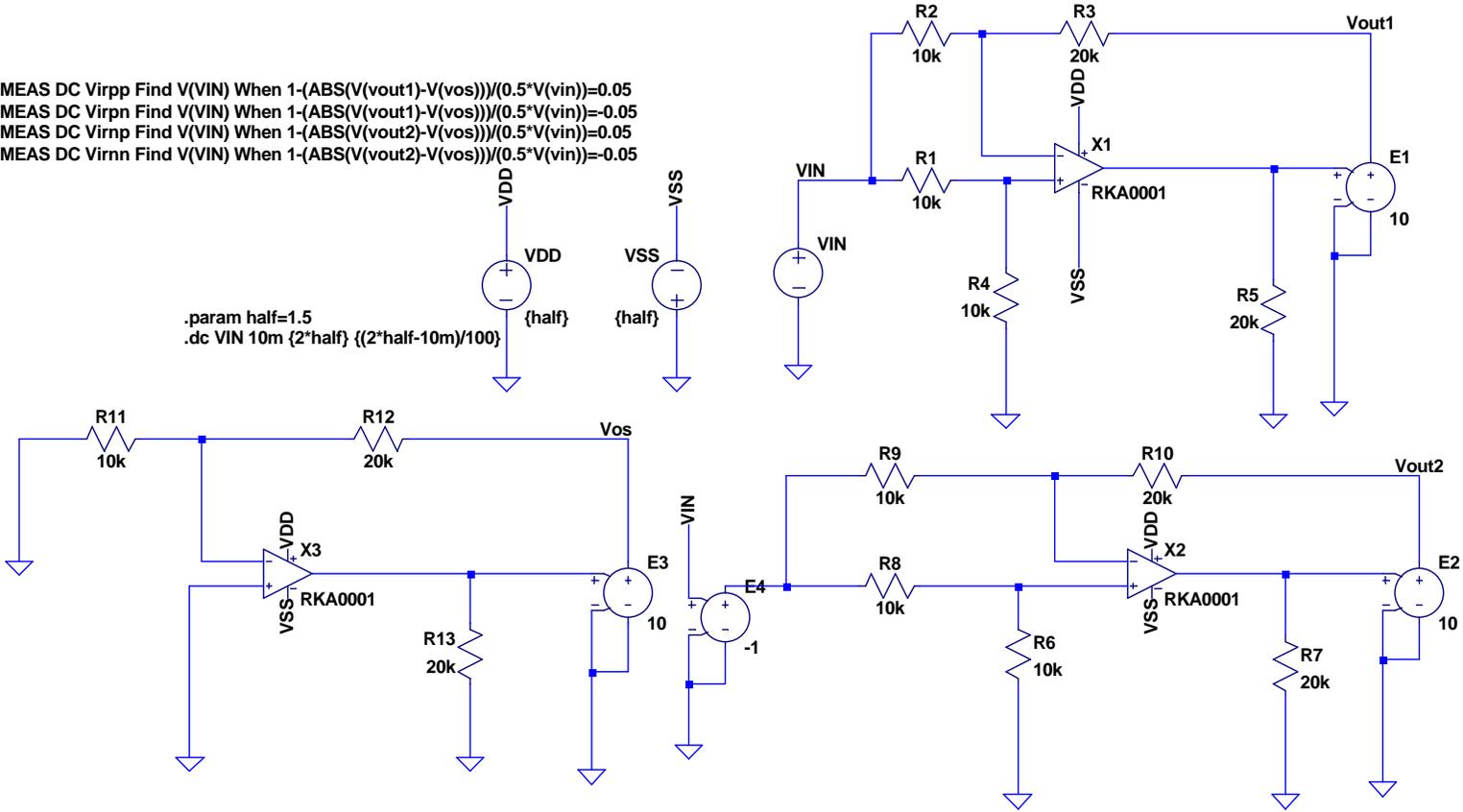
同相入力範囲検証回路

```

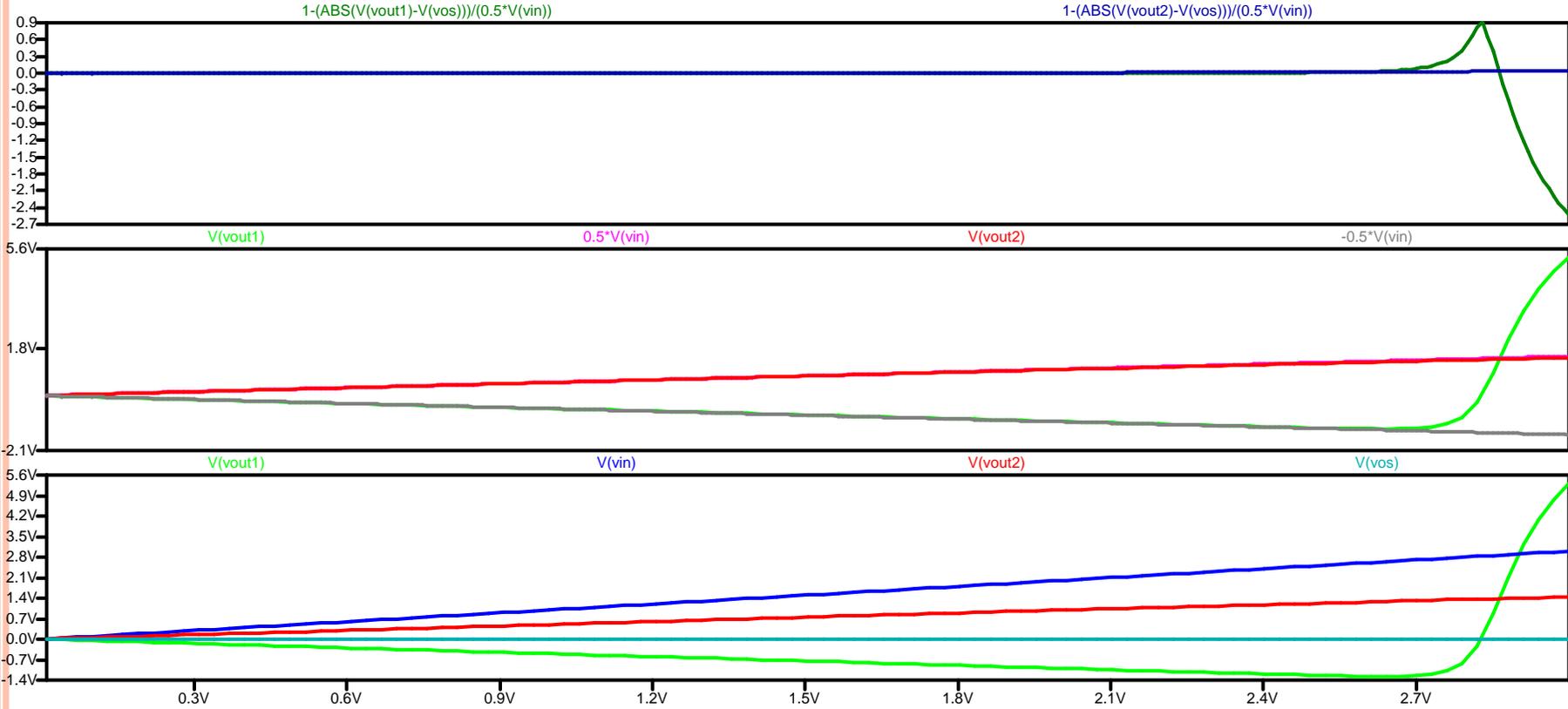
.MEAS DC Virpp Find V(VIN) When 1-(ABS(V(vout1)-V(vos)))/(0.5*V(vin))=0.05
.MEAS DC Virpn Find V(VIN) When 1-(ABS(V(vout1)-V(vos)))/(0.5*V(vin))=0.05
.MEAS DC Virpp Find V(VIN) When 1-(ABS(V(vout2)-V(vos)))/(0.5*V(vin))=0.05
.MEAS DC Virpn Find V(VIN) When 1-(ABS(V(vout2)-V(vos)))/(0.5*V(vin))=0.05
    
```

```

.param half=1.5
.dc VIN 10m {2*half} {(2*half-10m)/100}
    
```



同相入力範囲検証回路結果



15. 占有面積

- 評価値
- MOSTランジスタと抵抗、容量の総面積
- 要件
- 1mm^2 以下
- 評価方法
- MOSTランジスタ

ゲート面積 : チャンネル幅 × チャンネル長

ドレイン面積 : チャンネル幅 × $0.6\mu\text{m}$

ソース面積 : チャンネル幅 × $0.6\mu\text{m}$

以上の総和をMOSTランジスタの面積とする。

- 抵抗

シート抵抗を $50\Omega/\square$ として計算する。但し、シートサイズを $0.4\mu\text{m} \times 0.4\mu\text{m}$ とする。抵抗値を R とすると、その面積 A_R は

$$A_R = \frac{R}{50} \times 0.4\mu\text{m} \times 0.4\mu\text{m}$$

15. 占有面積(続き)

また、抵抗値が 50Ω の整数倍ではない場合は単位抵抗を並列に接続し実現すると仮定する。例えば 141Ω の抵抗は

$$141\Omega = 100\Omega + 25\Omega + 10\Omega + 5\Omega + 1\Omega$$

の抵抗で実現され、

$100\Omega = 50\Omega$ を2個直列

$25\Omega = 50\Omega$ を2個並列

$10\Omega = 50\Omega$ を5個並列

$5\Omega = 50\Omega$ を10個並列

$1\Omega = 50\Omega$ を50個並列

と計算される。よって、必要な単位抵抗数は69個となり、占有面積は

$$A_R = 69 \times 0.4\mu\text{m} \times 0.4\mu\text{m}$$

となる。