

$\Delta\Sigma$ 変調器のデジタルディザ信号による性能改善の検討

新井 薫子* 小林 春夫 (群馬大学)

Study on $\Delta\Sigma$ Modulator Performance Improvement Using Digital Dither
Yukiko Arai*, Haruo Kobayashi, (Gunma University)

$\Delta\Sigma$ 変調器では低振幅信号生成の際、出力アナログ信号で周期的に高調波成分が発生するリミットサイクルが見られる。本研究ではこのリミットサイクルを生じさせないために $\Delta\Sigma$ 変調器の出力とデジタルディザ信号の排他的論理和をとる構成を提案する。デジタルディザ入力信号も $\Delta\Sigma$ デジタル変調器で生成し、デジタルディザ信号の値を調整する。提案構成は次のような特徴がある。(1) デジタルなので制御されたディザ信号が生成しやすい。(2) 変調器のフィードバック経路の最終段にディザ信号を入力するので出力への影響は抑圧される。(3) 排他的論理和をとるのでデジタル出力は1ビットである(多ビットにならない)。提案構成でシミュレーションを行い、低振幅信号の変換でリミットサイクルが生じないことを確認した。

キーワード: $\Delta\Sigma$ 変調, DA 変換, リミットサイクル, ディザ信号

(Keywords, Delta Sigma Modulation, DA Converter, Limit Cycle, Dither Signal)

1. 研究背景

集積回路の信号処理はデジタルで行われている。音声や電圧などの入出力信号はアナログ信号であり、デジタル信号処理するためには、アナログ・デジタル変換器(ADC)やデジタル・アナログ変換器(DAC)が重要となる。集積回路の微細化、大規模化に伴い、R&D が活発に行われている。

$\Delta\Sigma$ 変換器は大部分がデジタル回路で構成され、直流信号や低周波信号を高分解能・高線形に生成でき、電子計測器・LSI 試験装置等に多用される。しかしながら $\Delta\Sigma$ 変調器では低振幅信号生成の際、出力アナログ信号の周波数成分に周期的に高調波成分が発生するリミットサイクルが発生するという問題がある。

本研究ではこのリミットサイクルを発生させないために、デジタルディザ信号を用いることを提案する。 $\Delta\Sigma$ 変調器の出力とデジタルディザ信号の排他的論理和をとる構成を提案する。デジタルディザ入力信号も $\Delta\Sigma$ 変調器を行いディザ信号の値を調整するが、デジタル回路で実現すれば複雑な計算も容易に行える。提案構成でシミュレーションを行い、低振幅信号の変換でリミットサイクルが生じないことを確認した。

2. $\Delta\Sigma$ DA 変調器 (デジタル変調器)

〈2・1〉 $\Delta\Sigma$ DA 変調器の構成 $\Delta\Sigma$ 変調器は図 1 のように積分器とコンパレータのフィードバック構成であり、全てデジタル回路で実現される。オーバーサンプリングした入力信号を積分器で累積し、コンパレータで比較する。コンパレータの出力 0,1 は $\Delta\Sigma$ 変調の出力値となると同時に、入力にフィードバックし累積値に V_{ref} が加減される(実際はデジタル積分器の MSB が減算され、コンパレータ

は不要である)。出力信号を高速フーリエ変換(FFT)すると、ノイズが低周波帯で減少し高周波帯で増加するノイズシェープとなる(図 2)。入力信号付近でノイズが減少し、後段でローパスフィルタを用いればノイズが少ない信号が得られる。図 1 において入力レンジを $-1\sim+1$ とする。

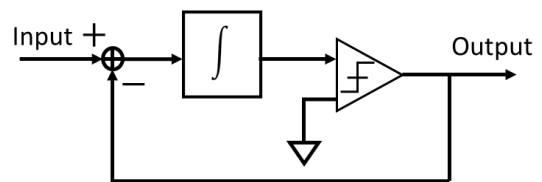


図 1 $\Delta\Sigma$ 変調器の構成

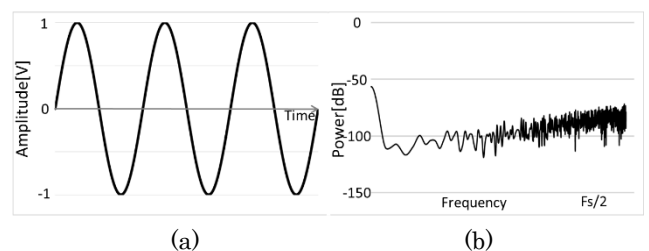
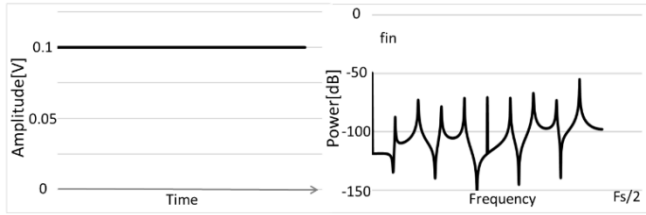


図 2 $\Delta\Sigma$ 変調のシミュレーション
(a)入力正弦波 (b)出力波形 FFT

〈2・2〉 リミットサイクル 低振幅信号を入力として $\Delta\Sigma$ 変調をすると、入力成分にない周期的な高調波成分が生じる(リミットサイクル)。図 1 の $\Delta\Sigma$ 変調器において DC 入力 0.1 (図 2(a))を $\Delta\Sigma$ 変調し出力を FFT すると、図 2(b)のようにリミットサイクルが確認できる。



(a) (b)
 図 3 リミットサイクルの発生
 (a) 入力 DC 信号
 (b) リミットサイクルが発生した出力信号

〈2・3〉 デジタルディザ信号を使った $\Delta \Sigma$ 変調 0,1 が前後の相関なくランダムに発生させた信号をディザ信号として用いる。ディザ信号は $\Delta \Sigma$ DA 変調器で入力が小さいときに生じるリミットサイクルを除去する際に用いられる。従来方法として $\Delta \Sigma$ 変調の前後にディザ信号を入力する方法がある。 $\Delta \Sigma$ 変調の前にディザ信号を入力すると、 $\Delta \Sigma$ 変調で発生する量子化誤差にディザ信号が加算されることとなり、ノイズが増加してしまう。 $\Delta \Sigma$ 変調の後にディザ信号を入力すると、出力値のビット数が増え、後段ではマルチビット DAC が必要となってしまう。排他的論理和を使った提案方法は、出力値を反転させるだけなのでビット数を増やすことなく信号処理できる。

なお、 $\Delta \Sigma$ AD 変調器ではアナログ変調器内部で熱雑音が発生しそれが実質的なディザ信号となるのでリミットサイクルは生じないことが多い。また、デジタル信号処理で量子化誤差の影響を軽減するために、ディザ信号を使用することがある。

〈2・4〉 排他的論理和を用いた提案構成 本研究では図 1 のコンパレータの出力にデジタルディザ信号を加え、ディザ信号と $\Delta \Sigma$ DA 変換をした信号の排他的論理和をとる構成を提案する (図 4)。デジタル入力信号を $\Delta \Sigma$ 変調すると同時に、ディザ信号も $\Delta \Sigma$ 変調器により生成する。排他的論理和はディザ信号が 1 を出力するとコンパレータ出力 D_{out} が反転する。

ディザ信号はディザ生成変調器の入力信号の振幅や中心値を変えることでディザ信号の 1 の出力が出現する割合を調整できる。振幅や中心値が小さいときは 1 の出現が少なくなるので、排他的論理和によりコンパレータ出力値の反転は少ない。ディザ変調器入力信号が大きくなるにつれて 1 の出現が多くなり、コンパレータ出力値の反転回数が多くなる。すなわちディザ変調器入力信号の調整によりディザ信号の 1 の出現頻度が変わられ、DA 変換出力値の反転する回数が変わられる。

ディザ信号はデジタル信号により生成するので、容易に実現・制御できる。

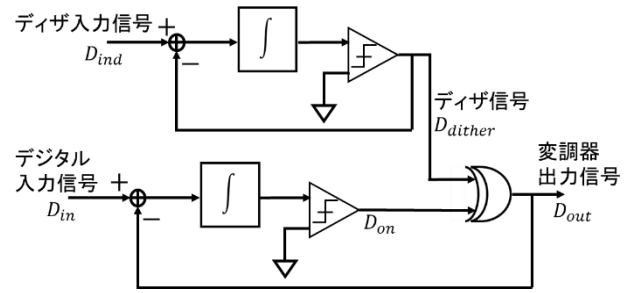


図 4 提案構成ブロック図

3. DA 変換アルゴリズム

〈3・1〉 デジタルディザ信号発生 $\Delta \Sigma$ 変調器 ディザ信号生成のためのディザ入力信号 $D_{ind}(n)$ を $\Delta \Sigma$ デジタル変調器に入力し、累積する。

$$accd(n) = accd(n-1) + D_{ind}(n)$$

累積値 $accd(n)$ をコンパレータで比較し、0 より大きいときは $accd(n)$ から参照電圧 D_{ref} を引き、ディザ信号 D_{dither} を 1 とする。

If $accd(n) > 0$

$$D_{dither}(n) = 1, \quad accd(n) = accd(n) - D_{ref}$$

$accd(n)$ が 0 より小さいときは $accd(n)$ に D_{ref} を足し、 D_{dither} を 0 とする。

Else

$$D_{dither}(n) = 0, \quad accd(n) = accd(n) + D_{ref}$$

〈3・2〉 本体の $\Delta \Sigma$ デジタル変調器 デジタル入力信号 $V_{in}(n)$ も同様に累積する。

$$acc(n) = acc(n-1) + D_{in}(n)$$

累積値 $acc(n)$ が 0 より大きいときは $D_{on}(n) = 1$ を出力、小さいときは 0 を出力する。 $D_{on}(n)$ とディザ信号 $D_{dither}(n)$ の排他的論理和 (XOR) をとり変調器の出力 D_{out} とすると同時に、入力にフィードバックする。

If $acc(n) > 0$

$$D_{on}(n) = 1$$

$$D_{out}(n) = \text{XOR}(D_{on}(n), D_{dither}(n))$$

$$acc(n) = acc(n-1) - D_{out}(n)$$

Else

$$D_{on}(n) = 0$$

$$D_{out}(n) = \text{XOR}(D_{on}(n), D_{dither}(n))$$

$$acc(n) = acc(n-1) + D_{out}(n)$$

4. シミュレーションによる検証

〈4・1〉 リミットサイクルの軽減 図 4 の構成でシミュレーションを行い、ディザ信号の効果を検証した。図 4 の構成のディザ信号を使用し、入力振幅 0.1 (図 2(a)) で $\Delta \Sigma$ DA 変換のシミュレーションを行った。図 5(a) はディザ入力信号が振幅 1.5、中心値 -0.5 の正弦波の場合の本体の $\Delta \Sigma$ 変調器出力である。このディザ入力信号を $\Delta \Sigma$ 変調したディザ信

号 D_{dither} は1の出現が1024サンプル中297回となっている。一方図5(b)ではディザ入力信号 D_{ind} は振幅0.5、中心値0の正弦波である。ディザ信号 D_{dither} での1の出現は1024サンプル中256回となっている。

$\Delta\Sigma$ DA変調器のみ(ディザ信号を与えない場合)のシミュレーション結果(図2(b))ではリミットサイクルが発生しているが、図5(a)はディザ信号によりリミットサイクルが軽減し、図5(b)はリミットサイクルがなくなったことがわかる。

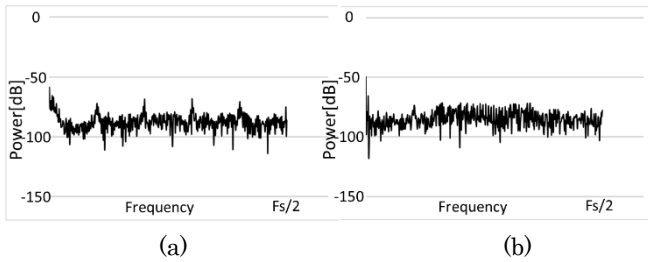


図5 DC入力0.1の $\Delta\Sigma$ DA変調器のFFT出力
(a) ディザ入力信号 振幅1.5、中心値-0.5
(b) ディザ入力信号 振幅0.2、中心値-0.5

〈4・2〉 $\Delta\Sigma$ 変調出力値の検証 図6は 2^{14} サンプルのデジタル入力信号を0.05から0.9まで変化させ、ディザ信号を入力した時・入力しない時の $\Delta\Sigma$ DA変調器出力値のグラフである。ディザ信号なし $\Delta\Sigma$ DA変調器の出力値はデジタル入力信号が大きくなるにつれて合計が増加し、1の出現回数が多くなっている。ディザ信号ありの場合の出力値は、ディザ入力信号の振幅・中心値を変え、ディザ信号の1の出現回数を変えてシミュレーションを行ったため、ディザ信号なしの場合の出力合計値と同じ値となっている。デジタル入力が小さいときはディザ信号を多く入力し反転回数を多くし、大きいときは少ない反転回数でリミットサイクルを軽減することができる。

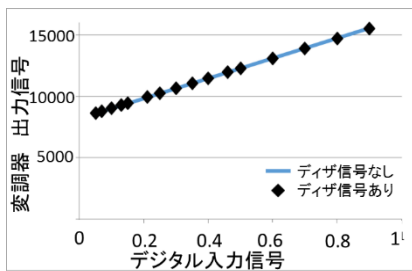


図6 ディザ信号あり・なしでの変調器出力信号の比較

図7は変調器出力信号の理論値とシミュレーション結果を比較した図である。図7(a)は 2^{14} サンプルDA変換出力値において1の出現回数の理論値である。図7(b)は図7(a)の理論値から図6のディザ信号あり・なしシミュレーション結果を引いた値である。ディザ信号を入力しない時との差は0であり、ディザ信号を入力した時との差はディザ信号なしでの1の出現回数の約0.2%となっている。ディザ信号

を少し入力することで、もとの信号をほぼ変えずにリミットサイクルを軽減していることを確認した。

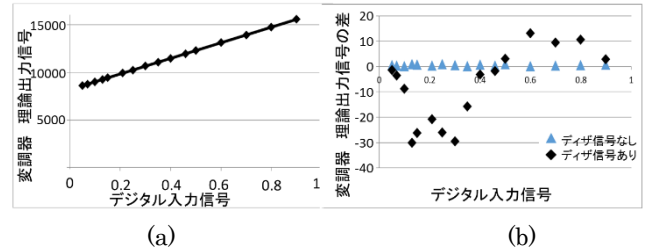


図7 変調器出力信号の検証
(a) デジタル入力信号と変調器出力信号
(b) ディザ信号あり・なしの差

図8はリミットサイクルの発生と、ディザ信号入力によりリミットサイクルが軽減したことのシミュレーション結果であり、デジタル入力0.1である。図8(a)はリミットサイクルが発生している。図8(b)はディザ入力信号によりリミットサイクルがなくなっている。同様に図9はデジタル入力0.45で、図9(a)はリミットサイクルが発生しているが、図9(b)はリミットサイクルがなくなっている。

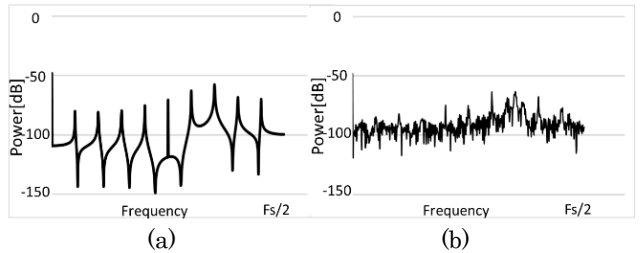


図8 DC入力0.1の $\Delta\Sigma$ DA変調器のFFT出力
(a) ディザ信号なし
(b) ディザ入力信号 振幅0.06、中心値-0.98

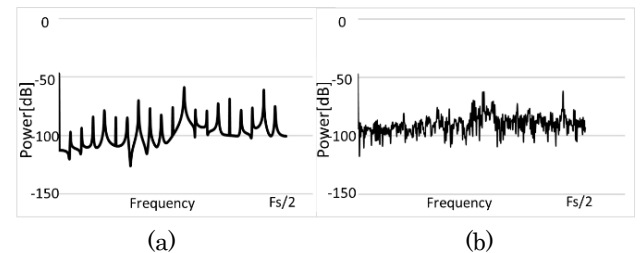


図9 DC入力0.45の $\Delta\Sigma$ DA変調器のFFT出力
(a) ディザ信号なし
(b) ディザ入力信号 振幅0.065、中心値-0.97

〈4・3〉SFDRによる評価 DA変換の評価の1つにSpurious Free Dynamic Range(SFDR)がある。これは信号電力と最大高調波の電力の比である(図10)。信号電力が大きいとき、または最大高調波が小さいときはSFDRが大きくなり、ノイズが小さい信号となる。シミュレーションで得られたFFT結果よりディザ信号を入力した時・入力しな

い時の SFDR を図 11 に示す。デジタル入力信号が小さいとき、ディザ信号によりリミットサイクルが低減し SFDR が向上していることが確認できた。

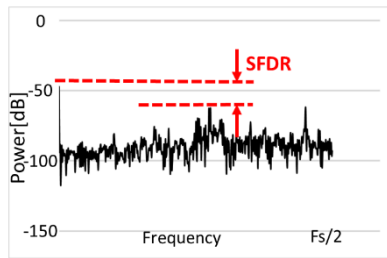


図 10 SFDR の定義

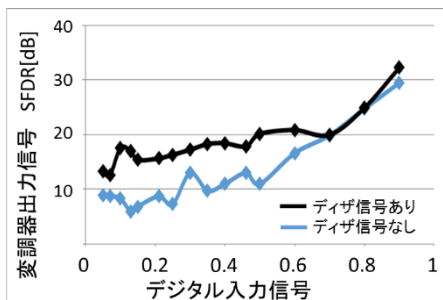


図 11 変換器出力の SFDR

5. まとめ

本研究では $\Delta\Sigma$ DA 変調器で低振幅信号生成の際に発生するリミットサイクルを軽減する構成を提案した。デジタルディザ信号と $\Delta\Sigma$ DA 変調した信号の排他的論理和を出力とする。排他的論理和ではディザ信号が 1 のときに $\Delta\Sigma$ DA 変調出力値を反転させ、リミットサイクルを軽減する。ディザ信号もディザ入力信号を $\Delta\Sigma$ デジタル変調し、出力の 1 の出現頻度を調整することで、 $\Delta\Sigma$ DA 変調出力の反転回数を制御する。ディザ入力信号の振幅・中心値が小さいときは 1 の出現が少なく、ディザ入力信号が大きくなるにつれて 1 の出現頻度が大きくなる。シミュレーションを行い、デジタルディザ信号により提案構成はリミットサイクルを軽減させることを確認した。

ディザ信号は $\Delta\Sigma$ 変調を行うがデジタルで生成できるので複雑な計算・制御も容易に実現できる。今後は入力信号レベルによる「デジタルディザ信号の 1 の出現頻度とリミットサイクルキャンセル」の定量的な関係を調べていく。また図 7(b)においてディザ信号を入力したときの理論値との差がなくなるよう、ディザ信号発生を増減させると SFDR や線形性が劣化する。リミットサイクル減少とディザ信号発生はトレードオフの関係となるので、SFDR や線形性を保つことができるディザ信号発生を検討する。

ディザ信号発生方法として、図 12 の構成のように論理和を使った構成も考えられる。 $\Delta\Sigma$ 変調の他にもディザ信号の 1 の出現回数を制御する方法も調べていく。

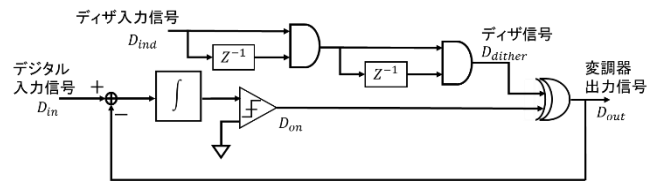


図 12 論理和を使った提案構成

謝辞 本研究は半導体理工学研究センター（STARC: Semiconductor Technology Academic Research Center）に支援されている。大変有意義なご意見を頂きましたことに感謝申し上げます。

文 献

- (1) R. Schreier, G.C. Temes, "Understanding Delta-Sigma Data Converters", Wiley-IEEE press, 2009.