

セグメント型 DA 変換器の完全魔方陣 レイアウト技術による線形性向上

東野 将史*, 小林 春夫 (群馬大学)

Segmented DAC Linearity Improvement With Layout Technique Using Magic Square
Masashi Higashino*, Haruo Kobayashi, (Gunma University)

キーワード：魔方陣，DA 変換回路，線形性，ミスマッチ，レイアウト
(Magic Square, DAC, Linearity, Mismatch, Layout)

1. はじめに

電子機器は高速化，小型化が求められており、デジタル回路はそれらに適している。デジタル化の進展に伴い、多くの電子機器にはデジタルアナログ変換器 (Digital-to-Analog Converter: DAC, DA 変換器) が搭載されている。身の回りの信号(音声，画像，光など) はアナログ信号であり、それらを信号処理するにあたり、AD 変換器及び DA 変換器が必要不可欠であり、高性能なものが求められている。しかし、半導体素子を構成しているシリコンウェハ上では、MOSFET 特性、R、C 値等はランダムばらつきに加えシステムティックな相対ばらつきが存在する(特性、値がレイアウト配置により傾斜をもつ)。これにより、入出力信号は線形関係にあるはずが、素子のミスマッチにより線形性が劣化してしまう問題がある。

そこで本論文では、セグメント型 DA 変換器の線形性の向上を検討した。魔方陣(Magic Square) [1][2]を用いた単位電流セル(または単位容量セル)配列のレイアウト方法により、1次及び2次システムティックミスマッチの影響をキャンセルする方法を考案した。魔方陣を用いた場合、従来の酔歩(Random Walk)を用いた場合、規則的なレイアウトを用いた場合の比較の数値シミュレーション結果とその考察を示す。

2. セグメント型 DA 変換器の構成と動作

DA 変換器は、バイナリ(Binary)型とユナリ(Unary)型があり、両者を組み合わせたものがセグメント型である(上位ビットをユナリ、下位ビットをバイナリ型で構成する)。バイナリ型とは、2進数の要素を加算するものである。ユナリ型は、2進数データを一旦デコードし、数値に変換してから単位要素をその個数分加算するものである[6][7]。

<2.1> バイナリ型 DA 変換器

バイナリ型 DA 変換器を図 1 に示す。N ビットのディジ

タル入力の各ビットを最上位ビット MSB(Most Significant Bit)から順に D_1, D_2, D_N とすると、出力電圧 V_o は以下の式で表される。

$$V_o = V_{FS} \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_N}{2^N} \right) \quad (1)$$

出力が電流の場合は、出力電流 I_o は以下の式で表される。

$$I_o = I_{FS} \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_N}{2^N} \right) \quad (2)$$

つまり、2進重み付けされた電流源もしくは電荷を用意し、この重み付けされた電流源もしくは電荷を、入力デジタル信号の各ビットで加算するものである。

バイナリ型は素子数が最小であるため、小型化が可能である。しかし、バイナリ型 DA 変換器はコードの切り替えの際に、大きなグリッチが発生してしまう。また MSB に相当する素子感度が極めて高く素子のミスマッチがあると大きな誤差となってしまう問題がある。特性の単調性も保証されない。

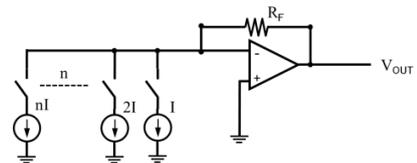


図 1 バイナリ型 DA 変換器

Fig. 1. Binary DAC

<2.2> ユナリ型 DA 変換器

ユナリ型は、最小単位の電圧、電荷もしくは電流を $2^N - 1$ 個用意し、デジタル値に応じて加算することで DA 変換を実現する。図 2 は電流源を用いたものである。デコーダにより、2進データをデコードし、そのデジタルデータに応じた単位要素分の電流源を ON にすることで、アナログ信号に直すものである。

ユナリ型は、素子のミスマッチがあっても、バイナリ型と比べて出力信号への影響が少ない。グリッチも小さく単調

性も原理的に保証される。素子数が多くなってしまうのが欠点である。高線形性の DA 変換器を実現しようとするとき単位セル (図 2 の単位電流 I) 間の相対ミスマッチが問題になり、ここではこの影響を軽減するレイアウト技術を論じる。

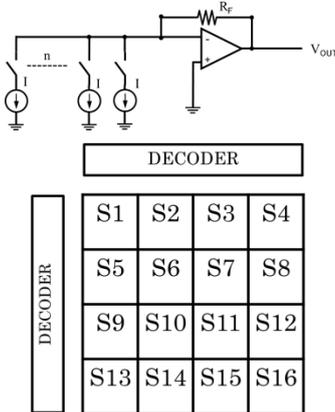


図 2 ユナリ型 DA 変換器と単位電流セルのレイアウト
Fig. 2. Unary DAC circuit and layout of unit cell array.

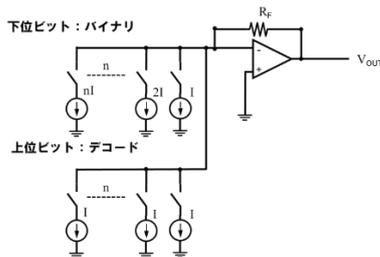


図 3 セグメント型 DA 変換器
Fig. 3. Segmented DAC

<2.3>セグメント型 DA 変換器

多くの DA 変換器では、バイナリ型とユナリ型を組み合わせたものが用いられている。上位ビットには素子感度の低いユナリ型を用い、下位ビットでは、素子数の少ないバイナリ型が用いられる。これにより、高精度な DA 変換器を適正な回路規模・消費電力で実現できる。

3. 素子のばらつき

回路を構成している素子は IC チップ上で特性の製造ばらつきが生じる。それらのばらつきは配置 (場所) によるシステムティックなばらつきと、配置に依存しないランダムなばらつきが存在する。これにより、DA 変換器の入力信号と出力信号は、本来であれば線形関係にあるはずであるが、非線形になってしまう問題がある。各ばらつきの原因について示す[2][3][5][7]。

- 1) システムティックなばらつき
 - ・配線での電圧降下
 - ・温度分布

- ・ CMOS の製造プロセス
 - a) ドーピング分布
 - b) 酸化膜の厚さによる、しきい値電圧の変化
- ・ ウェハ面内の精度
- ・ 機械的ストレス

2) ランダムなばらつき

- ・ デバイスのミスマッチ

システムティックなばらつきは、配置による一次の二次の傾斜のばらつきがある。回路の上では、それらを足し合わせたものが、実際のばらつきとなって回路動作に影響してくる。一次及び二次のばらつきに関して以下に示した。

1) 一次の傾斜のばらつき (Linear gradient)

- ・ 配線での電圧降下
- ・ CMOS の製造プロセス

2) 二次の傾斜のばらつき (Quadratic gradient)

- ・ 温度分布
- ・ ウェハ面内の精度
- ・ 機械的ストレス

上記のばらつきは、セグメント型 DA 変換器の入出力信号の線形性に大きく影響する。DA 変換器を構成する電流源のばらつきを図 4, 5, 6 に示した。(x, y) をその素子のチップ上での位置の座標とすると一次及び二次のばらつきは、以下の式で表される。

1) 一次

$$\epsilon_l(x, y) = g_l * \cos \theta * x + g_l * \sin \theta * y \quad (3)$$

θ : 傾きの角度, g_l : 傾きの大きさ

2) 二次

$$\epsilon_q(x, y) = g_q * (x^2 + y^2) - a_0 \quad (4)$$

g_q : 変化量, a_0 : 位置

3) 一次+二次

$$\epsilon_j(x, y) = \epsilon_l(x, y) + \epsilon_q(x, y) \quad (5)$$

一次、二次及び、一次+二次のばらつきを図 4, 5, 6 に示す。

システムティックなばらつきの DA 変換器の線形性への影響は、回路のレイアウト技術により緩和できることが知られている。セグメント型 DA 変換器の場合、従来方法である酔歩(random walk) によりばらつきを軽減し、線形性を向上させている。

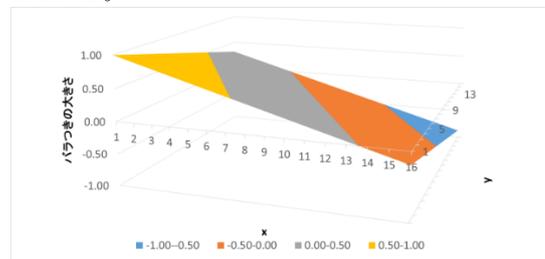


図 4 一次のばらつき
Fig. 4. Linear Error

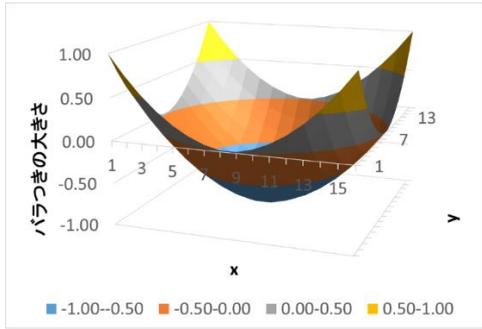


図5 二次のばらつき
Fig. 5. Quadratic Error

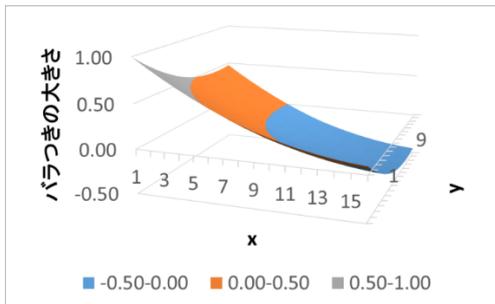


図6 一次+二次のばらつき
Fig. 6. Joint Error

4. 魔方陣について

魔方陣には、各行・列・対角成分の要素の和が全て一定である性質をもつ[1][2]。この性質から、ユナリ型 DA 変換器の単位セルの配列のバランスがよいのではと考へ、DA 変換器におけるレイアウトに応用できる（システムティックの影響を軽減できる）のではないかと考へた。

〈4・1〉 魔方陣の性質

魔方陣とは、1 から始まる連続した異なる自然数を $n \times n$ の碁盤の目状に並べ、各行、列及び対角線上の数の和が全て等しいものである。この性質を定和性と呼ぶ。各行、列、対角線上に含まれる数が n 個であることから、一般 $n \times n$ である魔方陣を n 次の魔方陣あるいは n 次方陣と呼ぶ。また、 n 次方陣の各行、列、対角線要素の定和 S は、以下の式で表される。

$$S = \frac{n(n^2+1)}{2} \quad (6)$$

図7に示した魔方陣は、各行・列・対角成分の要素の和が全て一致していることが確認できる。

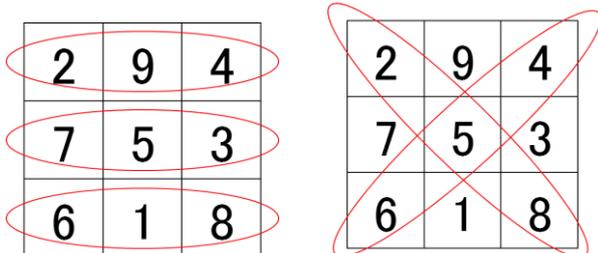


図7 定和性の一致

Fig. 7. Equivalent constant sum characteristics.

〈4・2〉 完全魔方陣の性質

完全魔方陣とは、各行・列・対角線成分の要素の和に加えて、汎対角線成分の和も定和性をもつものである。

$$7 + 13 + 10 + 4 = 12 + 8 + 5 + 9 = 1 + 11 + 16 + 6 = 14 + 2 + 3 + 15 = 34$$

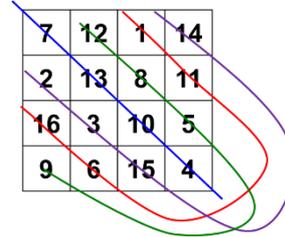


図8 完全魔方陣の定和性

Fig. 7. Perfect magic square's constant sum.

この定和性を利用して、電流源を用いたセグメント型 DA 変換器のスイッチング順序に魔方陣を利用することによって、システムティックなばらつきを軽減できるのではないかと考へ、魔方陣による単位セルレイアウトのアルゴリズムを考へた。そのアルゴリズム及び結果、考へを5章に示した。

5. 完全魔方陣による解析と考へ

〈5・1〉 完全魔方陣を用いたアルゴリズム

図9に示した8次完全魔方陣を用いて6bitセグメント型 DA 変換器のレイアウトを考へた。スイッチング順序は、対角線と汎対角線の定和性を利用したアルゴリズムである。まず、1が含まれている対角線・汎対角線要素に着目し、デジタル値に相当する分だけ、数字が若い順にスイッチングを行う。次の対角線・汎対角線要素のスイッチング順序は、スイッチングしていない要素で一番若い数が含まれる対角線・汎対角線要素を順にスイッチングを行う。このアルゴリズムにより、6bitユナリ型 DA 変換器の線形性向上を図った。酔歩(Random Walk)のアルゴリズムは、[4]に従った。ばらつき分布は、式(3)~(5)を用いた。一次 ($\theta = 30^\circ, 45^\circ, 60^\circ$)、二次、一次+二次のばらつきが3つの手法によりどう変化するかを解析した。

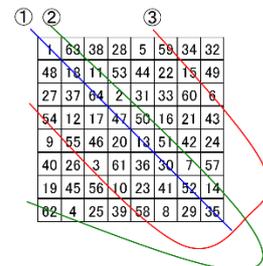


図9 6bit 完全魔方陣を用いたアルゴリズム

Fig. 9. Layout Algorithm using 6-bit eight-order perfect magic square

〈5・2〉 解析結果と考へ

1) 一次のばらつき
 最大値は、 ± 1 になるように設定し、角度 θ のみを変化させて、そのときの INL (積分非直線性) の変化を調べた。

- $\theta = 30^\circ$

$\theta = 45^\circ, 60^\circ$ においても同様の結果が得られた。

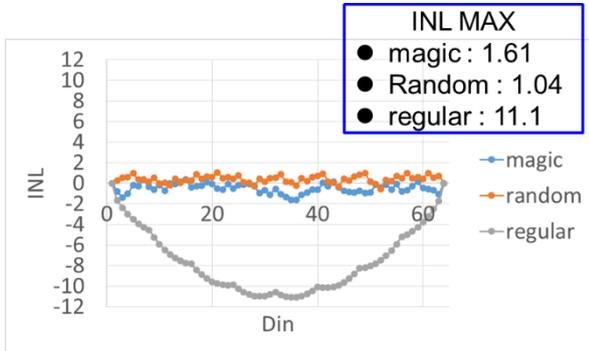


図 10 $\theta = 30^\circ$ の時の INL シミュレーション結果

Fig. 11. Simulated INL ($\theta = 30^\circ$)

2) 二次のばらつき

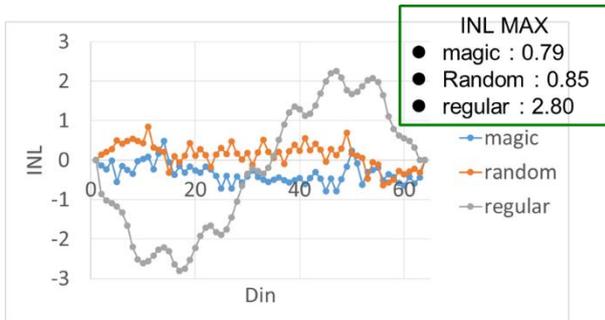


図 11 二次のばらつきのシミュレーション結果

Fig. 11. Simulated INL in case of quadratic gradient error

3) 一次+二次のばらつき

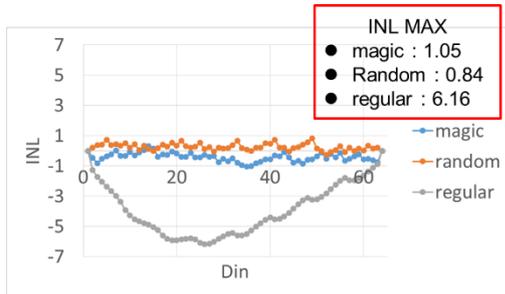


図 12 一次+二次のシミュレーション結果

Fig. 12. Simulated INL in case joint gradient error

以上の結果より、二次のばらつきには完全魔方陣のアルゴリズムが適していると分かった。他の完全魔方陣の配列でも、等々の結果が得られた。

完全魔方陣の対角線・汎対角線成分に着目すると、数字が方陣の中心に対して、隅に数字が配置された場合に次の数字は中央に配列されている特長がある。つまり、数字の配列

が隅→中央→中央…の規則性があった。これを利用することにより、二次のばらつきを効率よくキャンセルできると考えた。

ばらつきの平均値を中央にした場合を考える (図 13)。一次の場合は、対角要素を順にスイッチングすることで正と負のばらつきを選択することになるので、ばらつきをキャンセルすることが可能である。しかし、二次の場合では、同じ値のばらつきを持つ電流源を選択することになるので、二次の場合においてはエラーが蓄積されてしまう。そこで、完全魔方陣の特徴を利用することで、二次のエラーをキャンセルすることを図った。隅の電流源を選択した後、中央の電流源を選択することにより、二次のエラーをキャンセルできたと考えられる。一次は、対角成分上を順にスイッチングしていく Random Walk の方が優勢であった。一次+二次のエラーは、二次の重みに強く影響するので、二次のエラーを効率的にキャンセルできた魔方陣のアルゴリズムの方が適していると分かった。

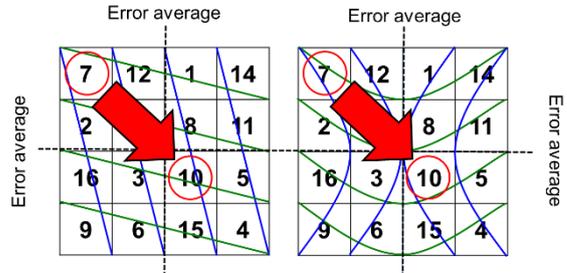


図 13 アルゴリズムの概要

Fig. 13. Algorithm explanation.

6. 謝辞

本研究をご支援いただいています半導体理工学研究センター(STARC)に感謝いたします。CMOS イメージセンサへの応用を示唆していただきました中谷隆之氏に感謝いたします。

文 献

- (1) 大森清美「魔方陣の世界」, 日本評論社 (2013年8月).
- (2) 佐藤肇「幾何学の魔術-魔方陣から現代数学」, 日本評論社 (2002年2月).
- (3) Xueqing LI, Qi WEI, Fei QIAO, Huazhong YANG, "Balanced Switching Schemes for Gradient-Error Compensation in Current-Steering DACs", IEICE Trans. Electron, vol.E95-C, no.11, pp.1790-1798 (Nov. 2012).
- (4) Yonghua Cong, Randall L. Geiger, "Switching Sequence Optimization for Gradient Error Compensation in Thermometer-Decoded DAC Arrays", IEEE Trans. Circuits and Systems II, vol.47, no.7 pp.585-595 (July 2000)
- (5) Geert A.M.Van der Plas, Jan Vandenbussche, Willy Sansen, Michel S.J.Steyaert, Georges G.E.Gielen, "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC", IEEE Journal of Solid-State Circuits, vol.34, no.12, pp.1708-1718 (Dec. 1999).
- (6) Ko-Chi Kuo, Chi-Wei Wu, "A Switching Sequence for Gradient Error Compensation in the DAC Design", IEEE Trans. Circuits and Systems II, vol.58, no.8 pp.502-506 (Aug 2011).
- (7) Takahiro Miki, Yasuyuki Nakamura, Masao Nakaya, Sotoju Asai,

Youichi Akasaka, Yasutaka Horiba: "An 80-MHz 8-bit CMOS D/A Converter", IEEE Journal of Solid-State Circuits, vol.21, no.6 pp.983-988 (Dec. 1986).

- (8) 谷口研二、「CMOS アナログ入門」, CQ 出版社 (2011 年 6 月)
- (9) 東野将史, 小林春夫, “セグメント型 DA 変換器の魔方陣レイアウト技術による線形性向上”, 電気学会 電子回路研究会 秋田(2014年10月9日, 10日)