

バーニア原理を用いた高時間分解能 逐次比較型時間ディジタル回路の設計

姜 日晨* 小林 春夫 (群馬大学)

High Resolution SAR Time-to-Digital Converter Design Using Vernier Delay Line

Richen Jiang*, Haruo Kobayashi (Gunma University)

キーワード：時間ディジタル回路，逐次比較，バーニア遅延線，LTspice，Xilinx ISE
(Time-to-Digital Converter, Successive-Approximation-Register, Vernier Delay Line, LTspice, Xilinx ISE)

1. はじめに

時間ディジタル回路(Time-to-Digital Converter: TDC)は 2 つのタイミング信号のエッジ間の時間差を測定しディジタル出力を得る回路である。CMOS プロセス技術の微細化と共に、低電圧化も進んでいるため、アナログ回路の電圧分解能を上げることがますます困難になる。一方アナログ信号を電圧軸ではなく、時間軸で信号を扱う時間領域アナログ回路では遅延素子から構成する遅延線を使用する。遅延素子が微細化によりさらに小さい遅延が取れるようになり、TDC 回路で時間分解能がより細かなものが実現できる。さらに全てディジタル回路で構成でき、サブナノ CMOS 時代にますます重要な役割を果たすことが期待される。

この論文では、高時間分解能・広い測定レンジ TDC を小規模回路・低消費電力で実現するための、2 ステップ方式、バーニア原理を用いた逐次比較近似型 TDC の設計を示す。

2. 基本フラッシュ型 TDC

基本 TDC 回路であるフラッシュ型 TDC の構成を図 1 に示す。バッファが遅延素子として遅延線を構成し、バッファごとに D フリップフロップを設ける。

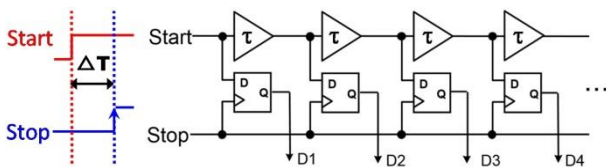


図 1 基本フラッシュ型 TDC の構成

Fig. 1. Flash TDC.

二つの信号をそれぞれ Start 端子と Stop 端子に入力し、Start 端子への入力信号はバッファ遅延素子一つずつ通過する。同時に Stop 信号は各 D フリップフロップのクロック信号として入力される。D フリップフロップの出力信号

(D1-D4) は温度計コードでの出力となる。これにより 2 つの信号の立ち上がりの時間差が何段のバッファ遅延に相当するかが測定でき、その数をバッファの遅延時間に掛けて二つの信号の時間差を得ることができる。

n ビットのフラッシュ型 TDC を構成するために、 $(2^n - 1)$ 個のバッファと D フリップフロップが必要となる。これによりビット数を増えると回路規模が指数的に大きくなり、消費電力も増加してしまう。また、フラッシュ型 TDC の最小時間分解能はバッファのゲート遅延により決まる（半導体のプロセス性能に依存する）。

すなわち基本フラッシュ型 TDC には二つの課題がある。

- ① バッファと D フリップフロップの数を減らす。
- ② 時間分解能を向上させる。

3. 逐次比較型 TDC (SAR TDC)

逐次比較型 TDC に入る前に逐次比較型 ADC について述べる。逐次比較型 ADC は DA 変換器からの出力電圧をサンプルホールドされたアナログ入力電圧に一致するように 2 進探索アルゴリズムで逐次比較して接近することでディジタル出力を決める方式である。

この論文ではその逐次比較近似の原理を利用し、二つの繰り返しクロック間の時間差測定のための逐次比較形 TDC を提案する (図 2)。

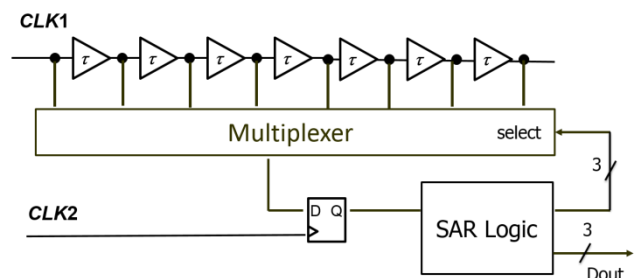


図 2 逐次比較型 TDC の構成

Fig. 2. SAR TDC.

Figure 1 illustrates the timing and circuit operation of a 10-bit Successive Approximation Register (SAR) ADC. The top part shows the timing diagram for the clock signals CLK1 and CLK2, with a period $\Delta T = 4.3\tau$. The bottom part shows four stages of the SAR conversion process. In each stage, the DAC output (Dout) is compared to the input voltage (Vin) using a comparator. The result (1 for Vin > Dout, 0 for Vin < Dout) is stored in the SAR Logic and used to update the DAC input (select) via a Multiplexer. The final output is 10011010.

ビット数 n が大きい場合の逐次比較型 TDC のフラッシュ型 TDC に対する得失は次のようになる。

4. 高時間分解能化の実現：
逐次比較近似+バーニア型 TDC

Timing diagram for a 4-bit shift register. The diagram shows four input signals (a, b, c, d) and two clock signals (CLK1, CLK2). CLK1 is a periodic square wave with period ΔT . CLK2 is a single pulse. The input signals a, b, c, and d are sampled at the rising edge of CLK1. The sampling results are $D_1 = 1$, $D_2 = 1$, $D_3 = 0$, and $D_4 = 0$. The diagram also shows the propagation delay τ for each input signal and the residual time T_{residue} at the end of the CLK2 pulse.

Figure 1 illustrates the proposed time-sharing architecture. It shows two input signals, $CLK1$ (red) and $CLK2$ (blue), with a time difference ΔT . These signals are processed by a series of comparators and D flip-flops (DQ) to generate digital outputs $D1$, $D2$, $D3$, and $D4$. The time resolution is defined as $\tau1 - \tau2$. The outputs are then fed into an encoder block, which produces the final digital output $Dout$. A box indicates the condition $\tau1 > \tau2$.

基本フラッシュ型 TDC でバッファ遅延により制限された時間分解能をより小さくするためにバーニア型 TDC が提案されている (図 5)。バーニア型 TDC はノギスの原理を利用し、遅延時間が少しずれる二種類のバッファ (例えば $\tau_1 > \tau_2$) からなる二つの遅延線の構造で、二種類のバッファの遅延時間の差 ($\tau_1 - \tau_2$) の時間分解能を得ることができる⁽²⁾⁽³⁾。しかし、同じ段数のバーニア型 TDC はフラッシュ型 TDC に比べるとさらに二倍のバッファ数が必要となる。また、バーニア型 TDC の時間分解能が高いため、逆に測定できる時間範囲は制限され、同じ段数ではフラッシュ型

TDC もしくは SAR TDC の測定範囲の $(\tau_1 - \tau_2) / \tau_1$ 倍しか持たない。長い時間差を測定する場合、バーニア型 TDC の二つの遅延線はものすごく「長く」になってしまう。

そこで、バーニア型 TDC を先に述べた逐次比較近似 TDC と組み合わせ、高分解能と広い測定範囲を両立させ、同時に回路規模を小さく抑えることを提案する (図 6)。

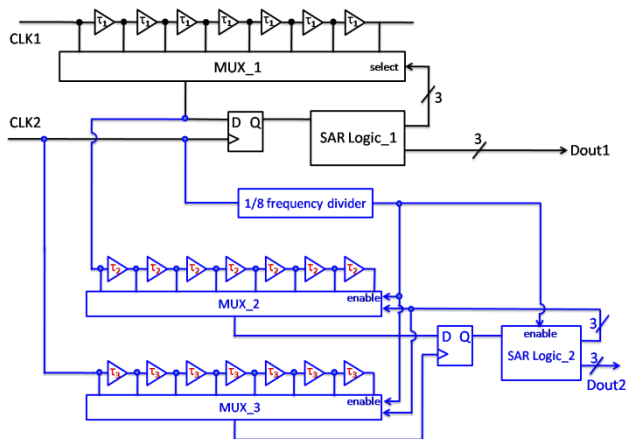


図 6 (3bit) 逐次比較近似+(3bit) バーニア型 TDC
Fig. 6. (3bit) SAR + (3bit) Vernier TDC

先に提案した逐次比較近似 TDC に、残差時間を測る高時間分解能 (バーニア型) TDC 回路に加える。すなわち図 6 は 2 ステップ方式の逐次比較近似+バーニア型 TDC (である。第一段は逐次比較近似 TDC 回路で時間差の「整数部分 (Dout1)」と残差時間を得る。第二段は逐次比較近似+バーニア型逐次比較近似 TDC 回路で残差時間を算出し、それは時間差の「小数部分 (Dout2)」になる。最後に「小数部分」を「整数部分」に結合して全体の TDC 出力とする。

図 6 では $\tau_1 = \tau_2 > \tau_3$, $\tau_1 - \tau_3 = 1/8 \tau_1$ と設定する。

ステップ 1 では初段の逐次比較近似 TDC だけが動作する。その安定の出力 Dout1 を得てから (4 回の繰り返し入力) ステップ 2 の動作を行う。即ち分周器で下段の二つのマルチプレクサと SAR Logic_2 を動作させ Dout2 を得る。

5. LTspice で動作確認とシミュレーション結果

提案した 2 ステップ逐次比較近似+バーニア型 TDC の実際の動作を LTspice で検証した。回路を基本ロジック素子で構成し、最小時間分解能は $\tau_1 - \tau_2 = 1/8 \tau_1$ の設定で、 $\Delta T = 4.3 \tau_1$ (CLK1 が早い目) の時間差を測る。

分周器の出力でステップ 1 とステップ 2 を分け (図 7), Step1 で出力の整数部分 $Dout1 = (100)_2$, Step2 で小数部分 $Dout2 = (010)_2$ を得た (図 8)。

$$\{Dout1, Dout2\} = \{100, 010\}_2 = \{4, 2 \times 0.125\}_{10} \\ = 4.250 \tau_1 \quad (1)$$

$$|4.300 \tau_1 - 4.250 \tau_1| = 0.050 \tau_1 \quad (2)$$

この例では全体の出力は $4.250 \tau_1$ となり、誤差は $0.050 \tau_1$ である。またパラメータを変えて回路動作を検証した。これ

により二段構造逐次比較近似+バーニア型 TDC は設計通り動くことを示した。

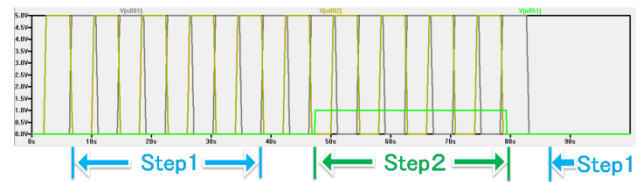


図 7 CLK1, CLK2 と分周器の出力

Fig. 7. CLK1, CLK2 and output of frequency divider

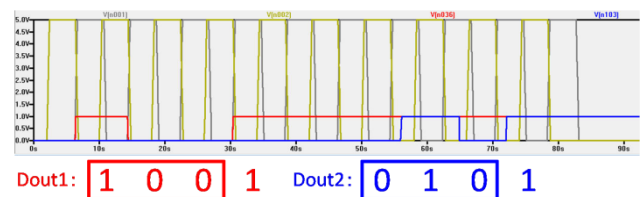


図 8 出力の整数部分 Dout1 と小数部分 Dout2

Fig. 8. Integer part (Dout1) and fractional part (Dout2) of the TDC output

6. Xilinx ISE で RTL 検証

次にこの 2-Step 構造の逐次比較近似+バーニア型 TDC の動作を Xilinx ISE 14.1 で検証した。回路機能を Verilog HDL で記述し、下記の条件でシミュレーションを行った。

➤ 入力として 2 つの繰り返しクロック :

CLK1 と CLK2 の周波数 : 33MHz

➤ 回路内各バッファ素子の遅延 :

$\tau_1 = 3.788\text{ns}$

$\tau_2 = 3.314\text{ns}$

➤ 最小時間分解能 : $\tau_1 - \tau_2 = 1/8 \tau_1 = 0.474\text{ns}$

➤ 測定する時間差 ΔT : $4.3 \tau_1 = 16.286\text{ns}$

この例の時間差も $4.3 \tau_1$ であるため、全体の出力 (1) は $4.250 \tau_1 = 16.099\text{ns}$ となり、誤差 (2) は $0.050 \tau_1 = 0.189\text{ns}$ である。

この 3bit+3bit 逐次比較近似+バーニア型 TDC の測定できる時間差範囲は $0 \sim 30.30\text{ns}$ (入力クロック 1 周期の全範囲), 最小時間分解能は $\tau_1 - \tau_2 = 1/8 \tau_1 = 0.474\text{ns}$ である。シミュレーション結果を表 1 と図 9, 10 に示す。

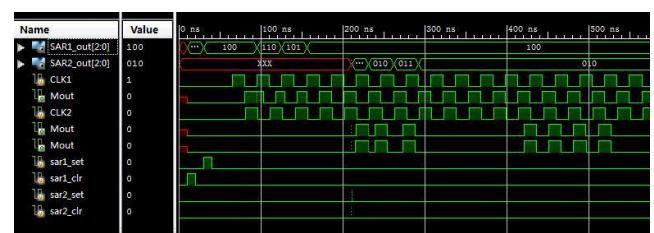


図 9 設計した 2-step SAR TDC タイミングチャート

Fig. 9. Timing chart of the designed 2-step SAR TDC.

表 1 提案 2-Step SAR TDC のシミュレーション結果

Table 1. Simulation results of the proposed 2-Step SAR TDC

時間差	Dout1	Dout2	時間差	Dout1	Dout2
0	000	000	15.153	100	000
0.474	000	001	15.626	100	001
0.948	000	010	16.100	100	010
1.422	000	011	16.574	100	011
1.896	000	100	17.048	100	100
2.370	000	101	17.522	100	101
2.844	000	110	17.996	100	110
3.318	000	111	18.470	100	111
3.789	001	000	18.941	101	000
4.262	001	001	19.414	101	001
4.736	001	010	19.888	101	010
5.210	001	011	20.362	101	011
5.684	001	100	20.836	101	100
6.158	001	101	21.310	101	101
6.632	001	110	21.784	101	110
7.106	001	111	22.258	101	111
7.577	010	000	22.729	110	000
8.050	010	001	23.202	110	001
8.524	010	010	23.676	110	010
8.998	010	011	24.150	110	011
9.472	010	100	24.624	110	100
9.946	010	101	25.098	110	101
10.420	010	110	25.572	110	110
10.894	010	111	26.046	110	111
11.365	011	000	26.517	111	000
11.838	011	001	26.990	111	001
12.312	011	010	27.464	111	010
12.786	011	011	27.938	111	011
13.260	011	100	28.412	111	100
13.734	011	101	28.886	111	101
14.208	011	110	29.360	111	110
14.682	011	111	29.834	111	111

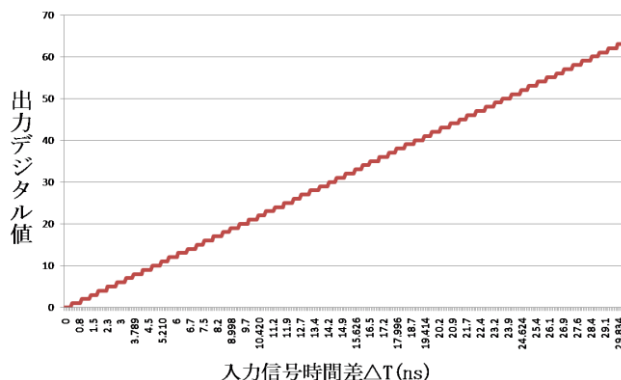


図 10 CLK1, CLK2 間入力クロック立ち上がり時間差 vs TDC.デジタル出力 (シミュレーション結果)

Fig. 10. Rising edge timing difference between CLK1 and CLK2 vs. TDC digital output (simulation result).

7. まとめと今後の課題

本論文では、逐次比較近似の原理とノギスの原理を利用した二段構造（２ステップ方式）の逐次比較近似+バーニア型 TDC を提案した。フラッシュ型 TDC が使う D フリップフロップの数を減らすためにマルチプレクサと SAR ロジックを導入し逐次比較近似 TDC（ステップ 1）を構成した。さらにバーニア型 TDC を利用し、逐次比較近似の原理も用いた高分解能のサブ TDC 回路をステップ 2 として加えた。これらにより高時間分解能かつ広い測定範囲での測定ができ、同時に回路規模を小さく抑える TDC が可能になることを、LTspice でのシミュレーションによる動作確認と Xilinx ISE (FPGA)での RTL 検証で示した。

今後は以下に取り組む。

- 1) 設計した TDC の FPGA の実装し測定評価する。
- 2) 使用バッファの遅延の相対ばらつきが生じたとき、ステップ 1 とステップ 2 の間のズレが大きな誤差の原因になるので、ステップ 2 が冗長性を持つように設計改良する。

謝辞 この研究は半導体理工学研究センター（STARC）に支援されています。

文 献

- (1) K. H. Prasad, V. B. Chandratre, P.Saxena, C. K. Pithawa: "FPGA based Time-to-Digital Converter", Proceedings of the DAE Symp. on Nucl. Phys. 56, pp.1044-1045(2011).
- (2) J. Lee and Y. Moon : "A Design of Vernier Coarse-Fine Time-to-DigitalConverter Using Single Time Amplifier", J. of Semiconductor Technology and Science, vol.12, no. 4 (Dec. 2012).
- (3) G. S. Jovanovi'c, M. K. Stoj'cev : "Vernier's Delay Line Time-to-Digital Converter", Scientific Publications of the State University of Novi Pazar, Ser. A: Appl. Math Inform. and Mech. vol. 1, 1 pp.11-20 (2009)