

バーニア原理を用いた高時間分解能 逐次比較型時間ディジタイザ回路の設計

群馬大学 修士1年

姜 日晨

Outline

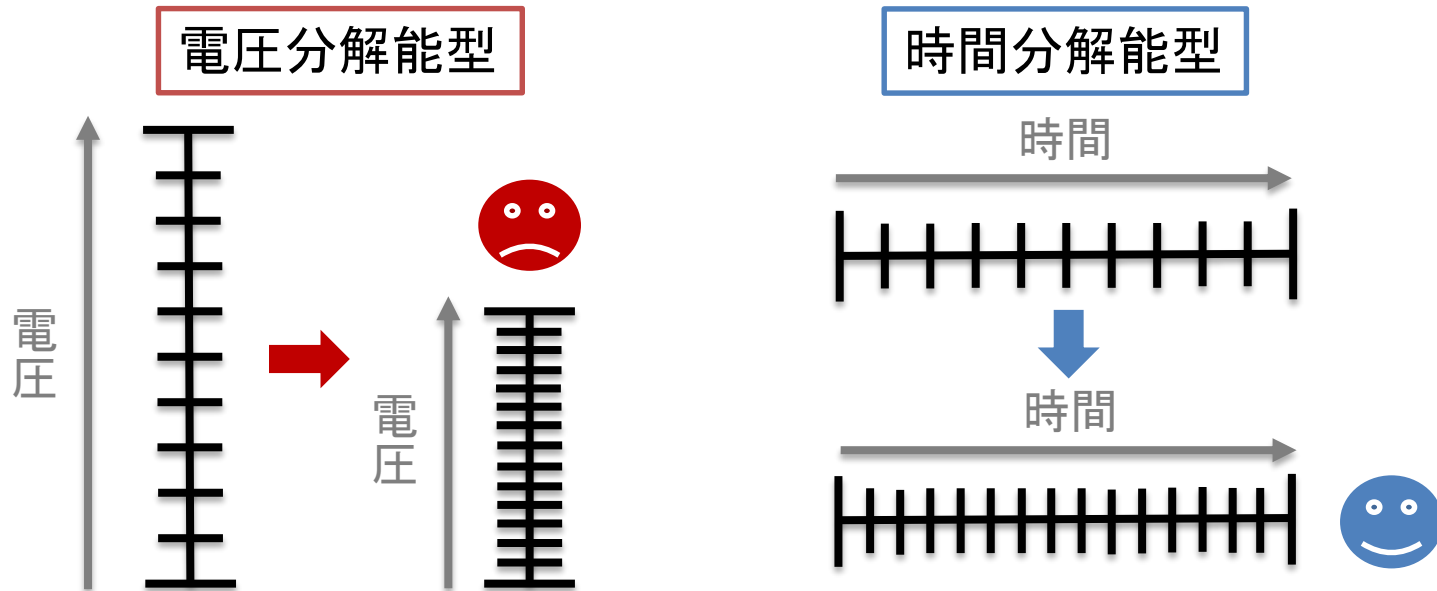
- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

研究背景

CMOSプロセス技術の微細化 → { 低電圧化
動作速度の向上



時間ディジタイザ回路 (Time-to-Digital Converter、TDC) ;
タイミング信号の時間差を測定しデジタル出力

↳ { 全てデジタル回路で構成
微細化により時間分解能が上がる

研究目的

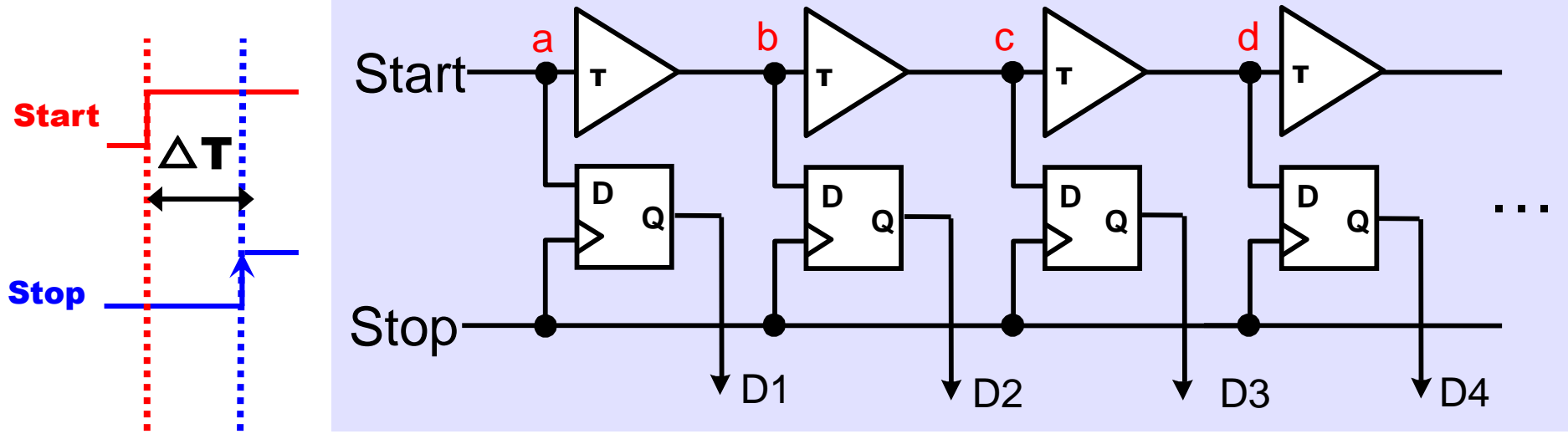
- 小規模回路で高時間分解能TDCアーキテクチャ開発
- FPGA実装・実現可能

Outline

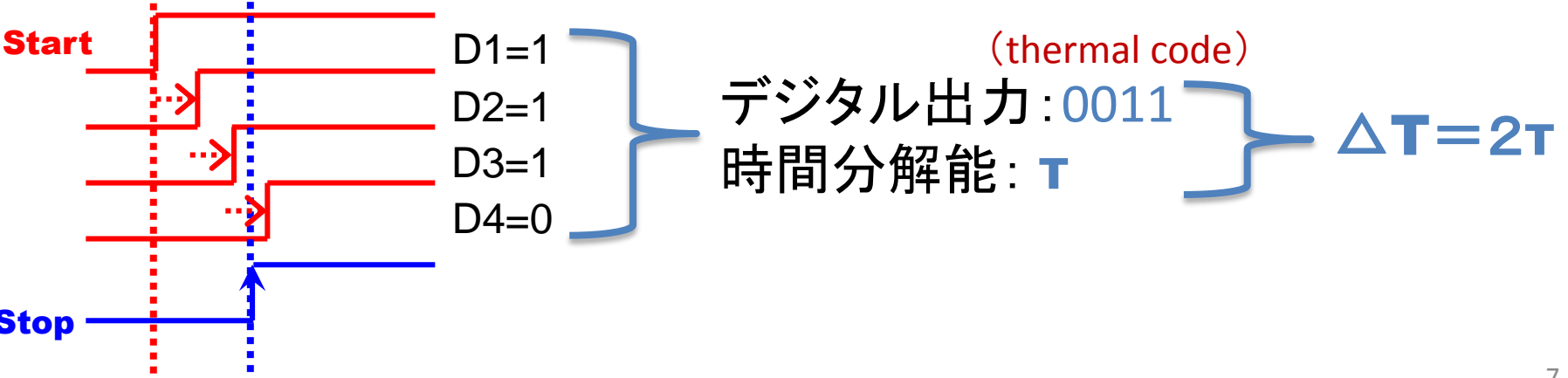
- 研究背景・目的
- **フラッシュ型TDCと問題点**
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

タイムデジタイザ回路 (TDC)

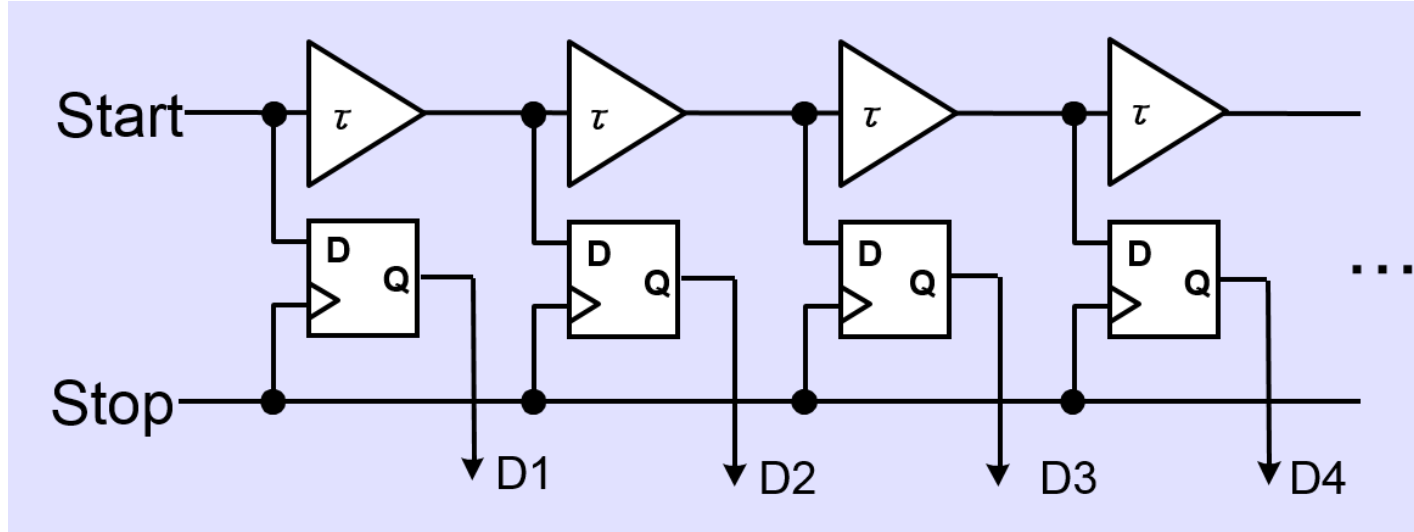
Time-to-Digital Circuit: 時間をデジタル計測



基本フラッシュ型TDC



基本フラッシュ型TDC



特性:

● バッファ数: $2^n - 1$ (10bit設計→1023個)

● D フリップ-フロップ数: $2^n - 1$ (10bit設計→1023個)

● 最小時間分解能

・ バッファのゲート遅延: τ

・ 半導体のプロセス性能に依存



回路規模: 大



消費電力: 大きい

基本フラッシュ型TDCの二つの課題

- ① バッファとDフリップフロップの数は多い
- ② 時間分解能は足りない

基本フラッシュ型TDCの二つの課題

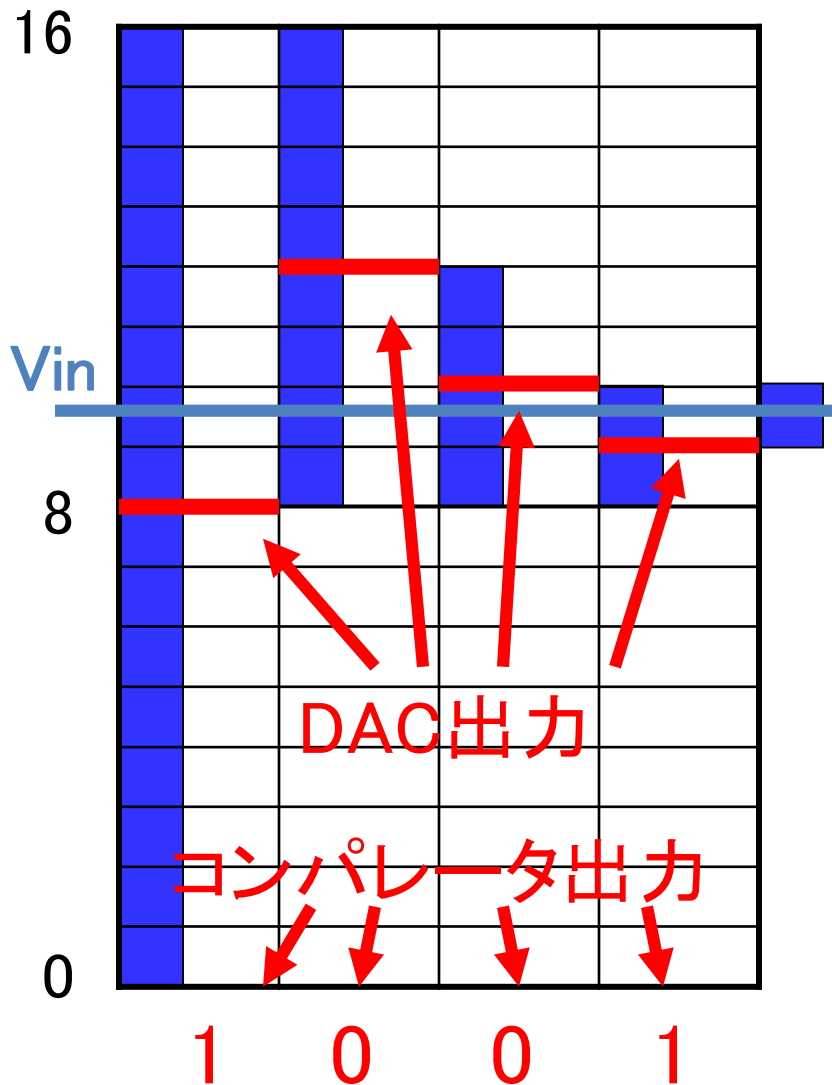
- ① バッファとDフリップフロップの数は多い
- ② 時間分解能は足りない

課題①に対する：
逐次比較型TDC

Outline

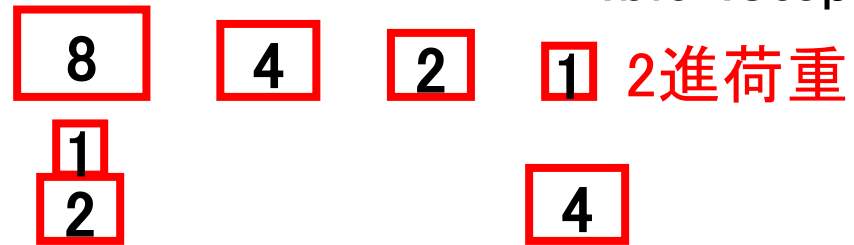
- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

SAR: 2進探索アルゴリズム



“天秤の原理”

4bit 4step

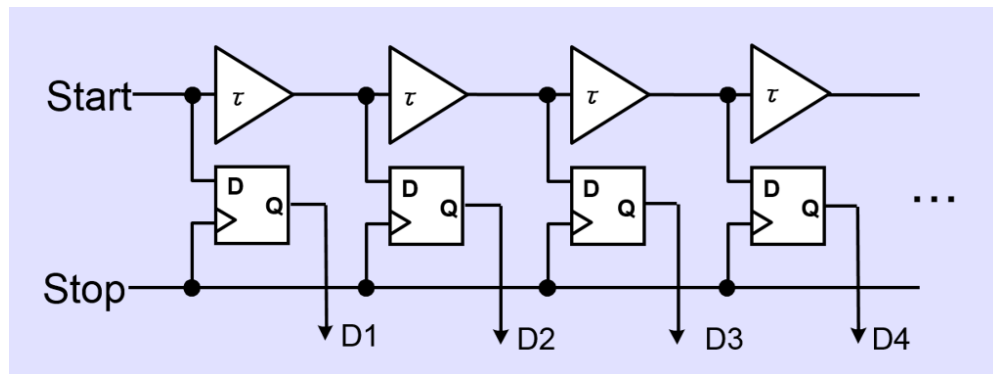


$$\boxed{\text{Vin}} = \boxed{8} - \boxed{\frac{1}{2}} = 9$$

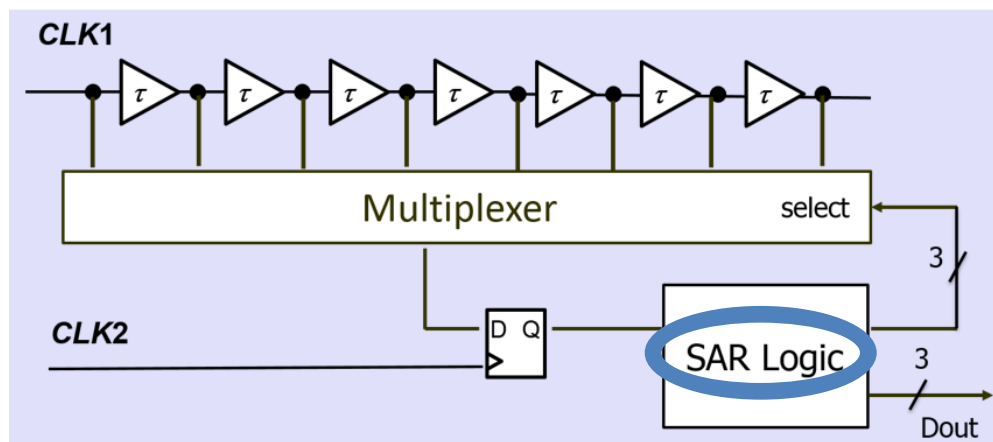
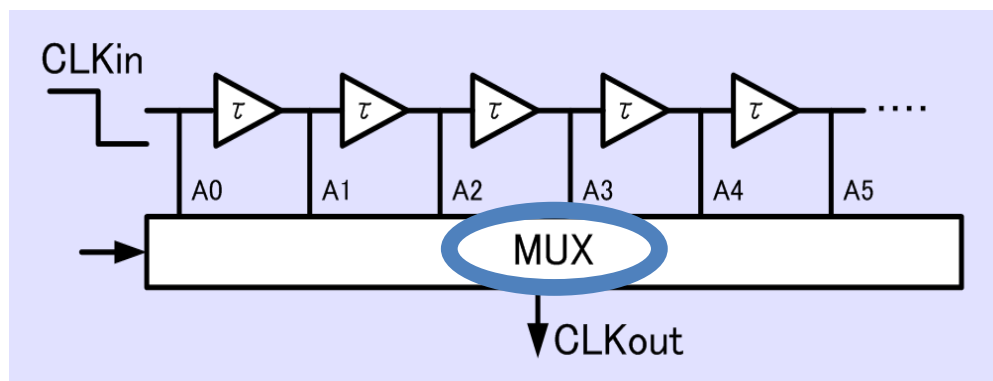
逐次比較近似 TDCの構成

マルチプレクサを使用し
Dフリップ-フロップ数を削減

逐次比較近似の原理を利用し
回路の動作ループを作る



基本フラッシュ型TDC

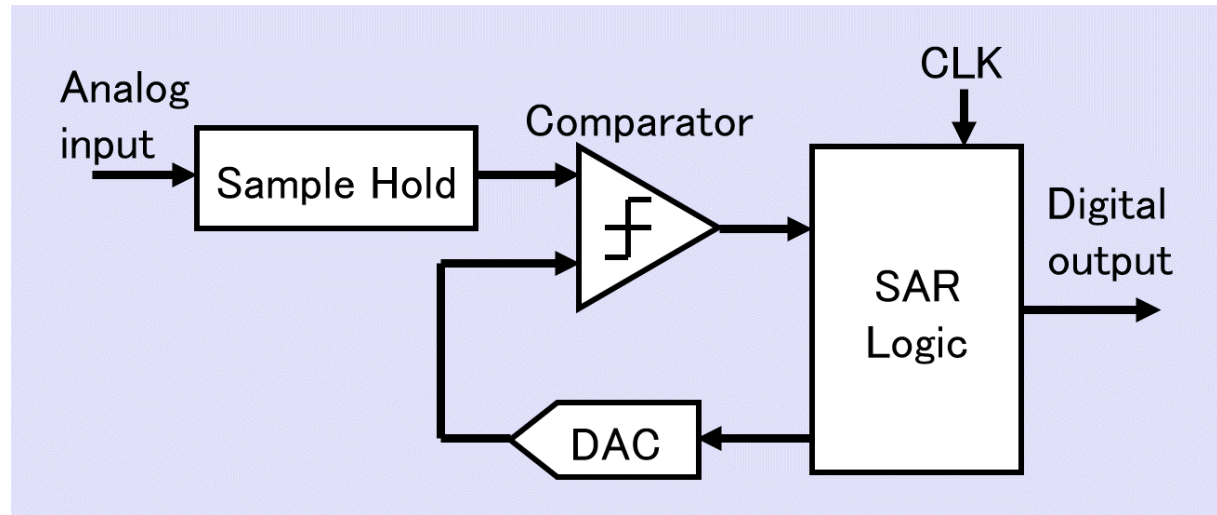


逐次比較近似TDC

逐次比較型ADCと逐次比較近似TDCの比較

天秤の原理で動作:

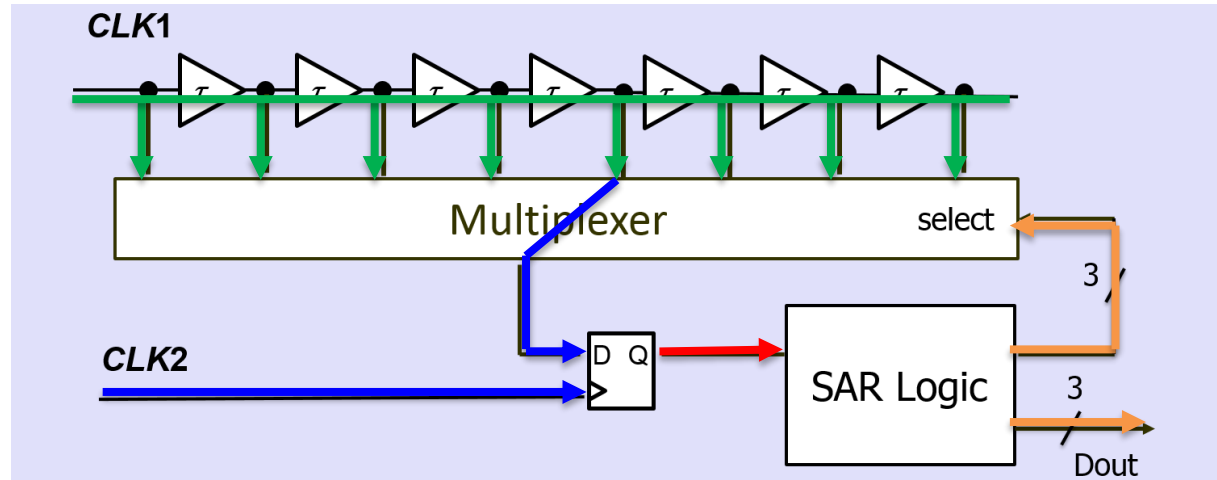
- 天秤がコンパレータ
- 分銅がDAC



逐次比較型ADC

天秤の原理で動作:

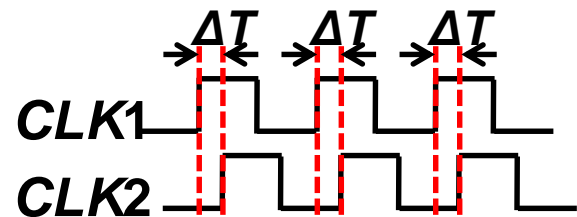
- 天秤がDFF
- 分銅がMUX



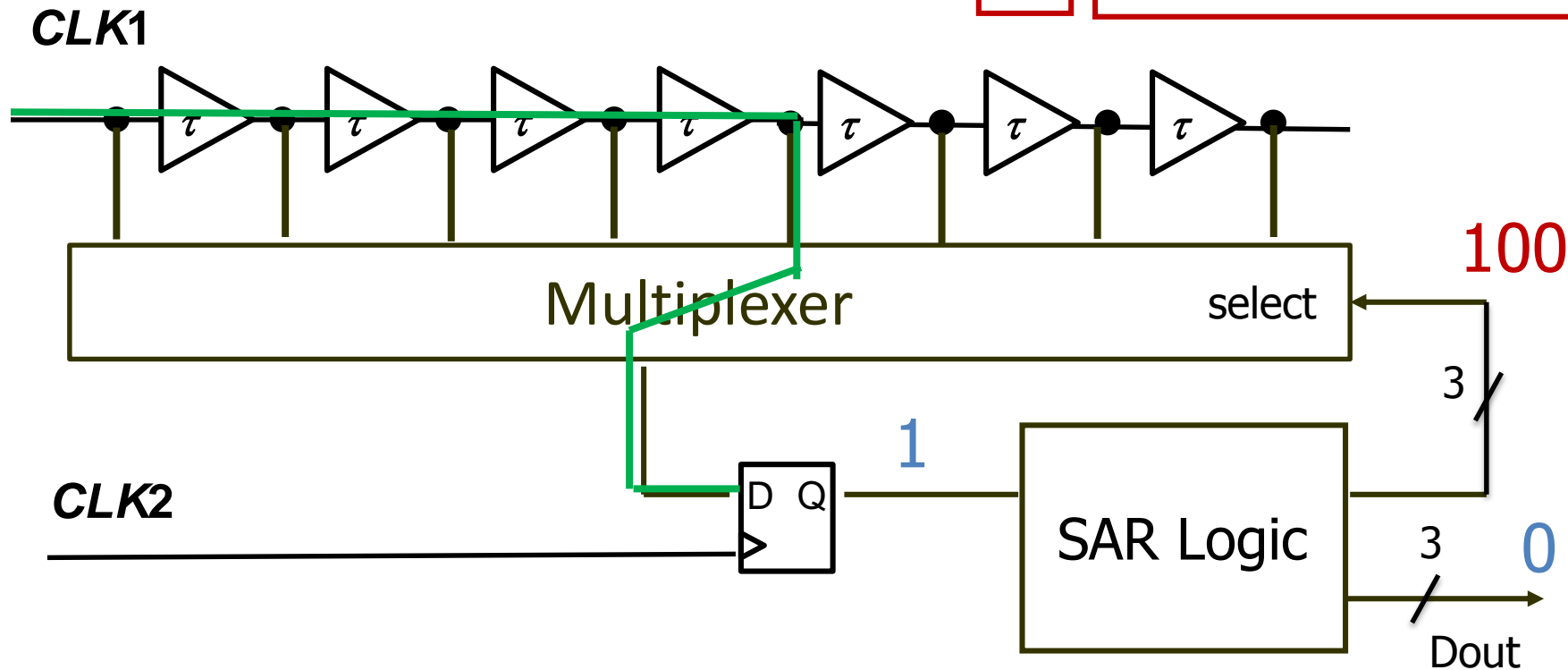
逐次比較型TDC

逐次比較近似TDCの動作

ステップ1

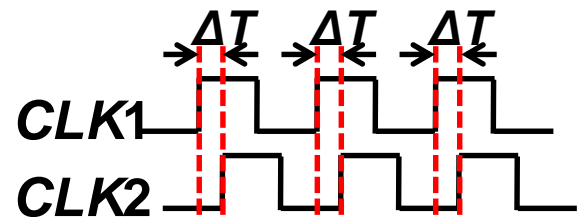


例 $\Delta T = 4.3 \tau$ の場合

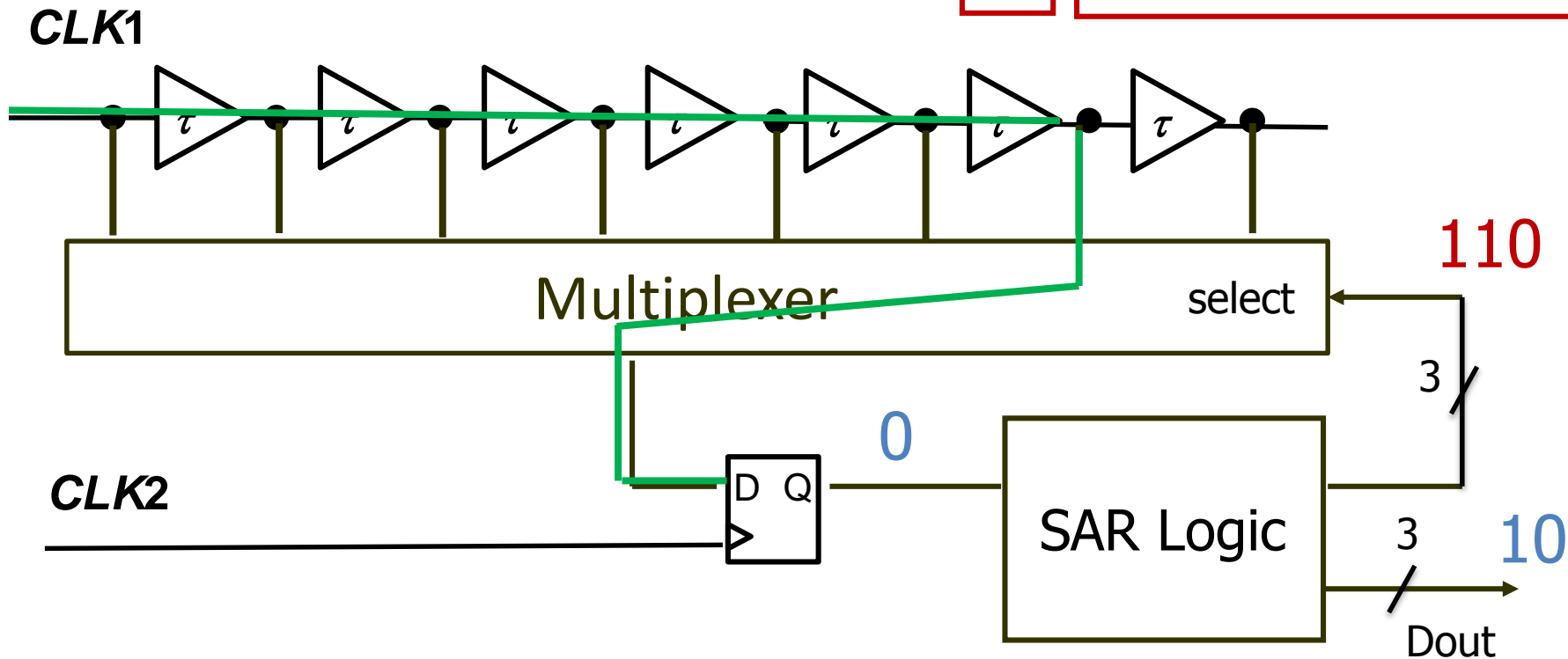


逐次比較近似TDCの動作

ステップ2

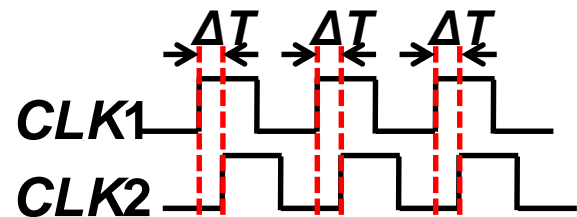


例 $\Delta T = 4.3 \tau$ の場合

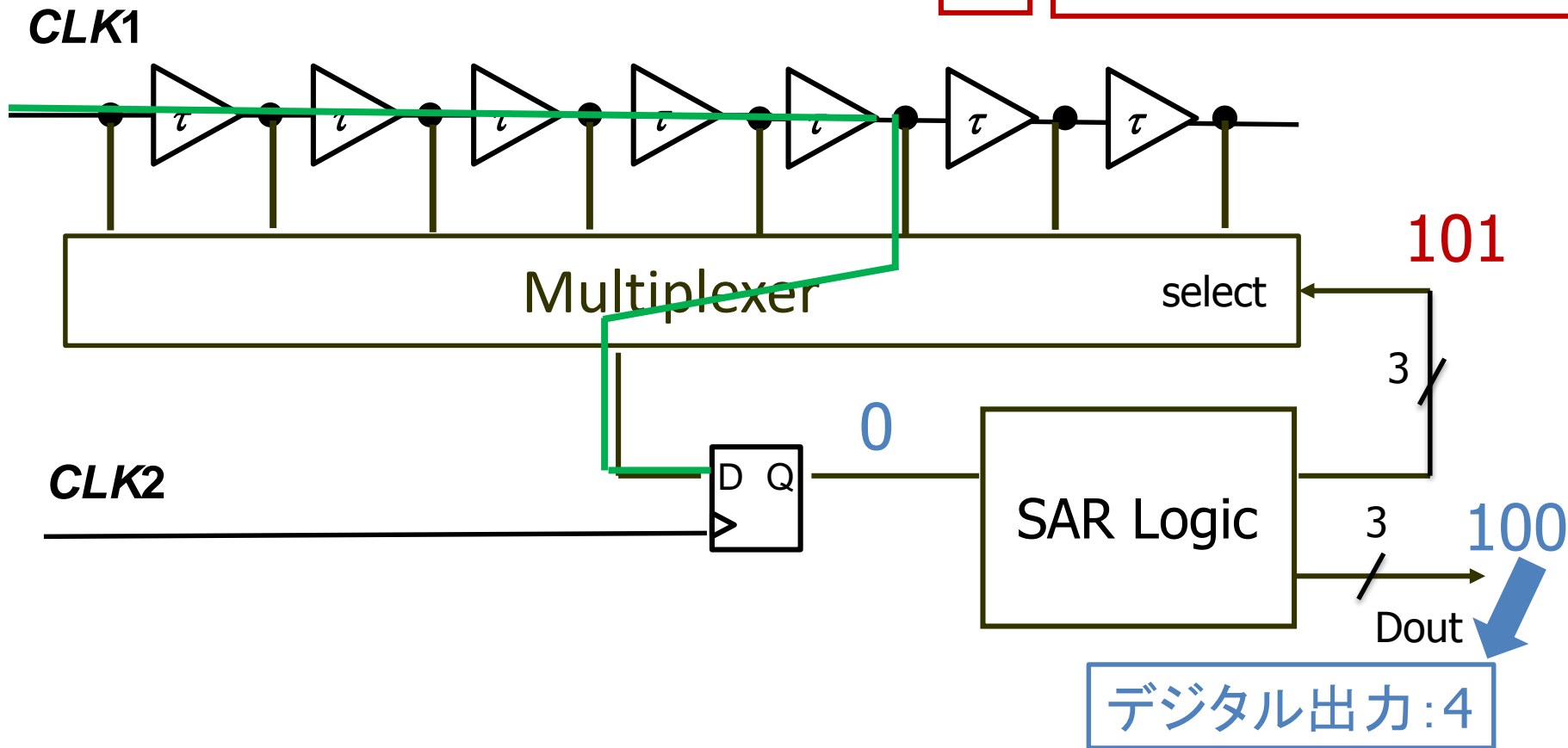


逐次比較近似TDCの動作

ステップ3

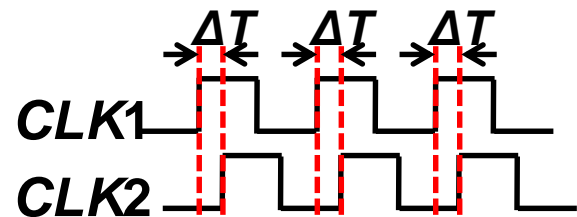


例 $\Delta T = 4.3 \tau$ の場合

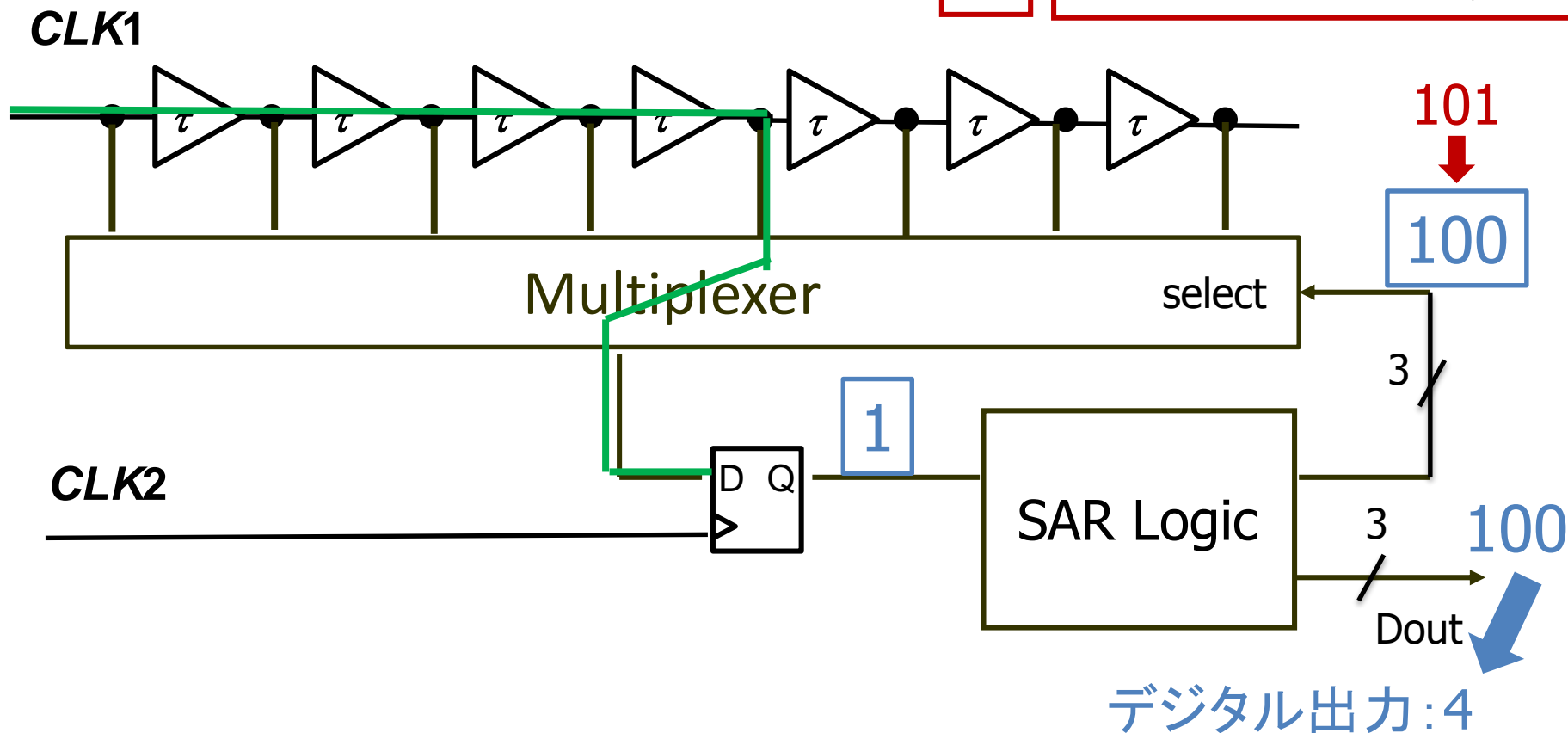


逐次比較近似TDCの動作

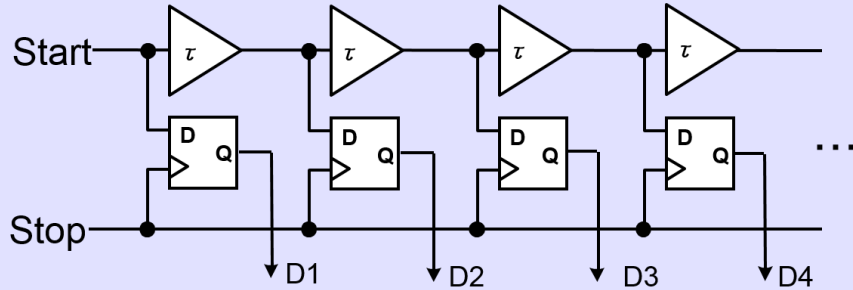
安定した状態(ステップ4)



例 $\Delta T = 4.3 \tau$ の場合



フラッシュ型TDC 対 逐次比較型TDC

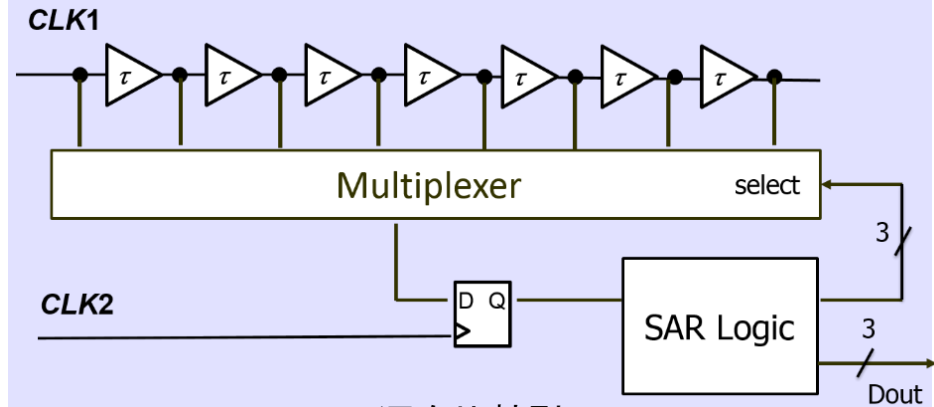


フラッシュ型TDC

✗ Dフリップフロップ数:
10bit設計→1023個

○測定条件:
1回で測定
単発のタイミング信号間でも可

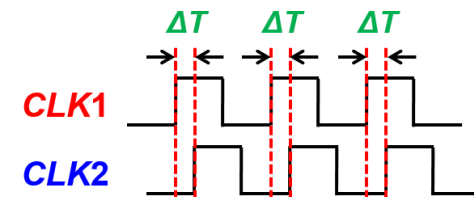
遅延バッファ数と最小時間分解能は同じ



逐次比較型TDC

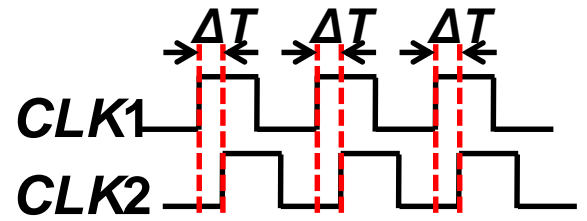
○ Dフリップフロップ数:
10bit設計→23個
(コンパレータとSARロジックに使う)

△測定条件:
10回のステップで測定
繰り返しタイミング信号のみ

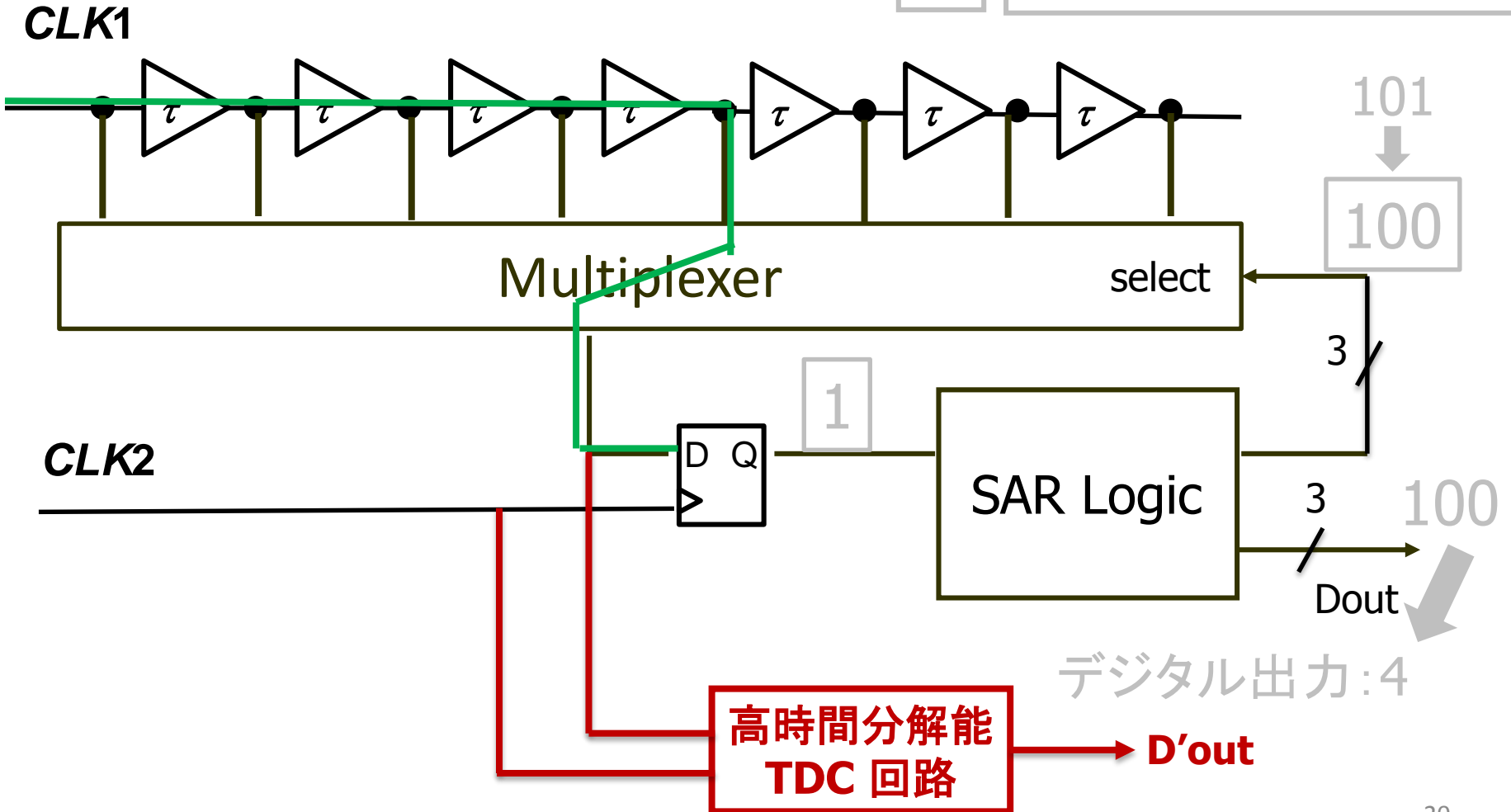


逐次比較近似TDCの動作

安定した状態(ステップ4)



例 $\Delta T = 4.3 \tau$ の場合



基本フラッシュ型TDCの二つの課題

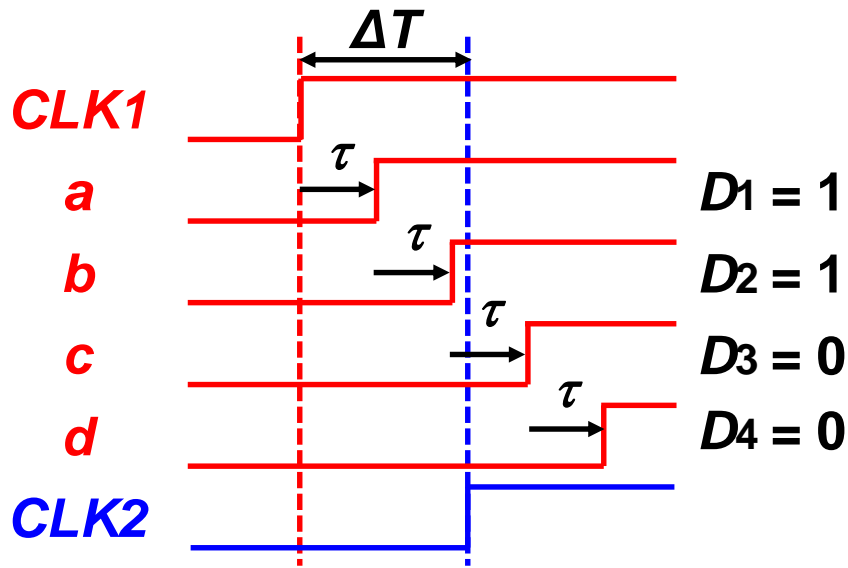
- ① **バッファ**とDフリップフロップの数は多い
- ② **時間分解能**は足りない

課題②に対する：
バーニア型TDC

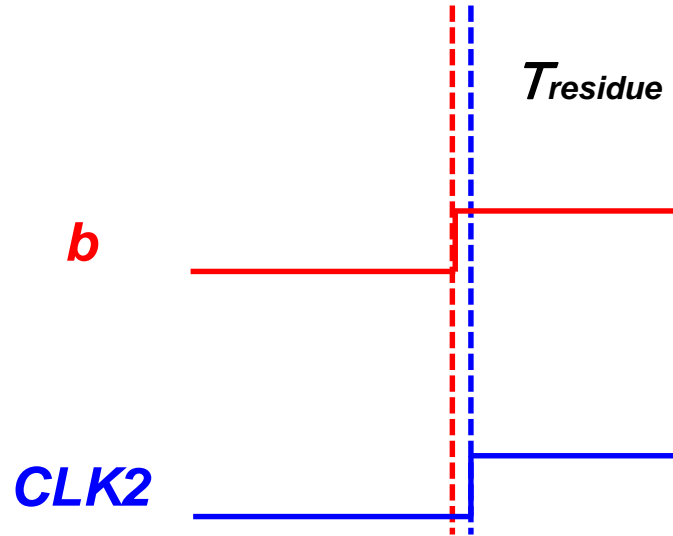
Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

逐次比較近似TDCから残差時間 $T_{residue}$ を利用

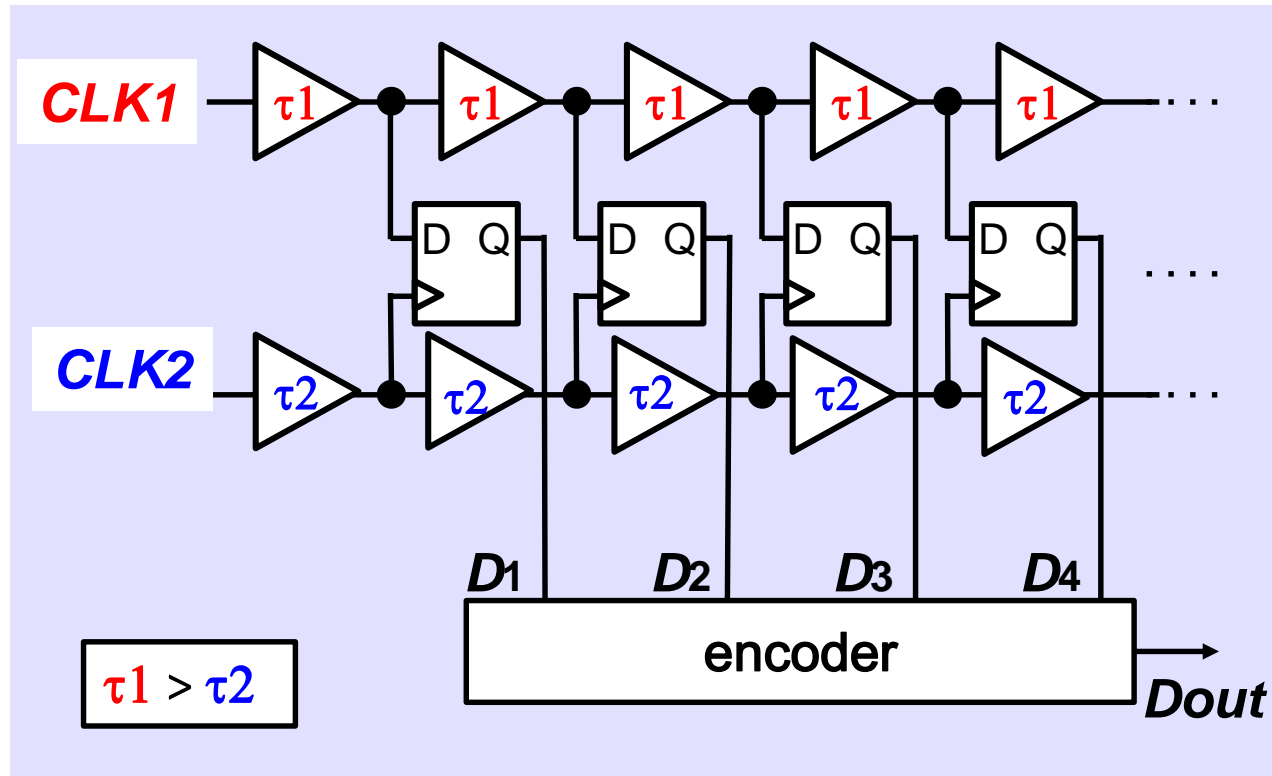
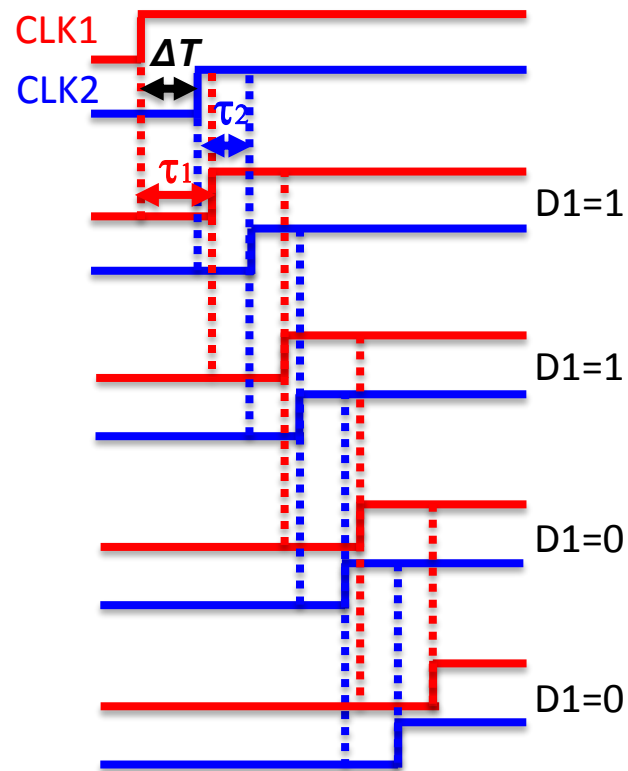


逐次比較近似TDC
の計測結果



b と CLK2 を
高時間分解能(バーニア型)
TDCに入力して
細かい時間分解能で計測

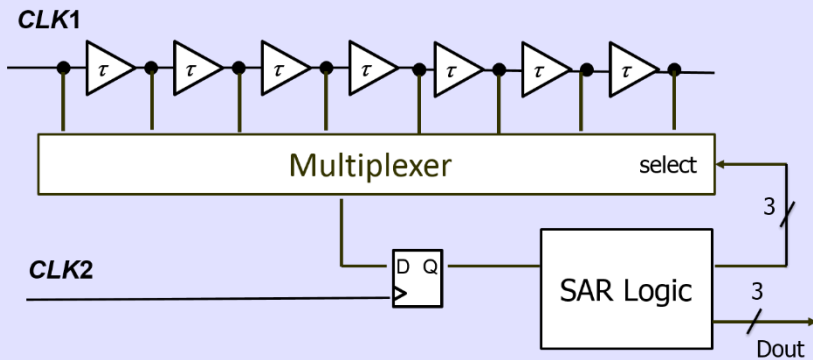
バーニア (Vernier、遊尺) 型 TDC 回路



バーニア型 TDC

時間分解能: $\tau_1 - \tau_2$

SAR型TDC 対 Vernier型TDC

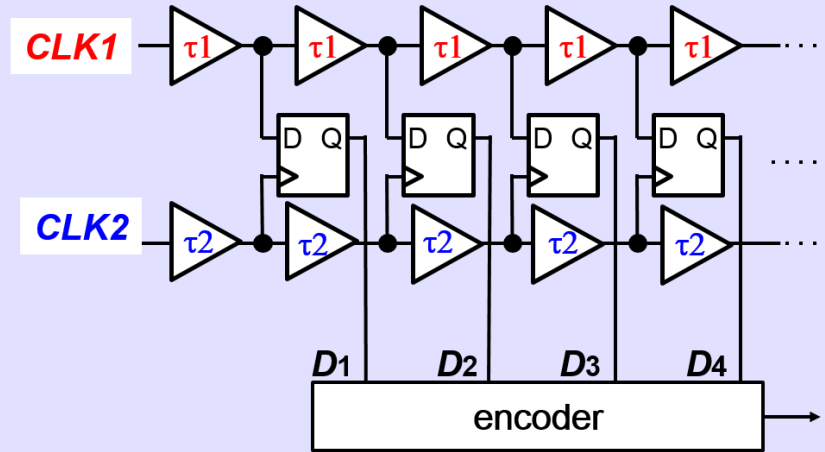


SAR型

✗ 最小時間分解能: 低い
(バッファのゲート遅延: τ)

○ Dフリップ-フロップ数: 少ない
10bit設計 → 23個

△ バッファ数: やや多い
10bit設計 → 1023個



Vernier型

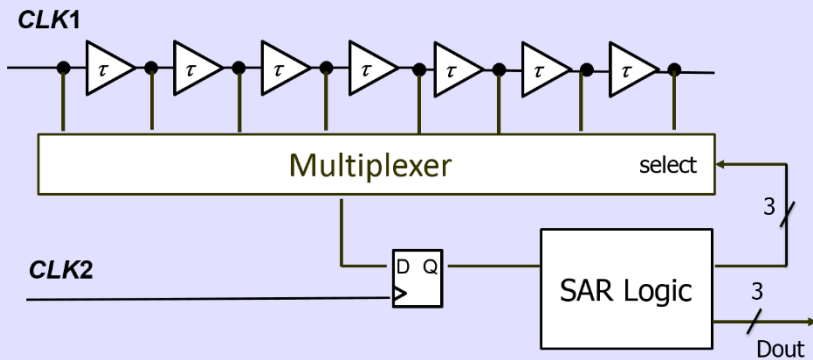
○ 最小時間分解能: 高い
(2種類のバッファのゲート遅延の差: $\tau_1 - \tau_2$)

✗ Dフリップ-フロップ数: 多い
10bit設計 → 1023個

✗ バッファ数: 多い
10bit設計 → 2046個

↪ 時間分解能の向上する倍数
で測定レンジが縮まる

SAR型とVernier型の融合

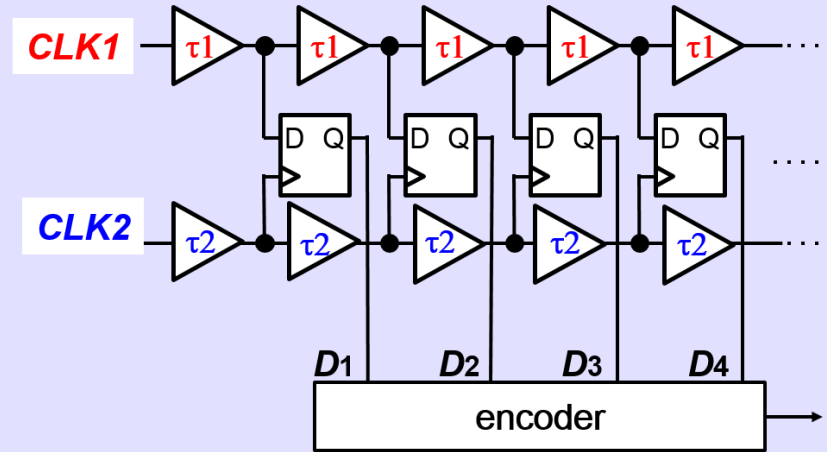


SAR型

×最小時間分解能: 低い
(バッファのゲート遅延: τ)

○Dフリップ-フロップ数: 少ない
5bit+5bit 設計→14個

○バッファ数: 少ない(2ステップ)
5bit+5bit 設計→93個



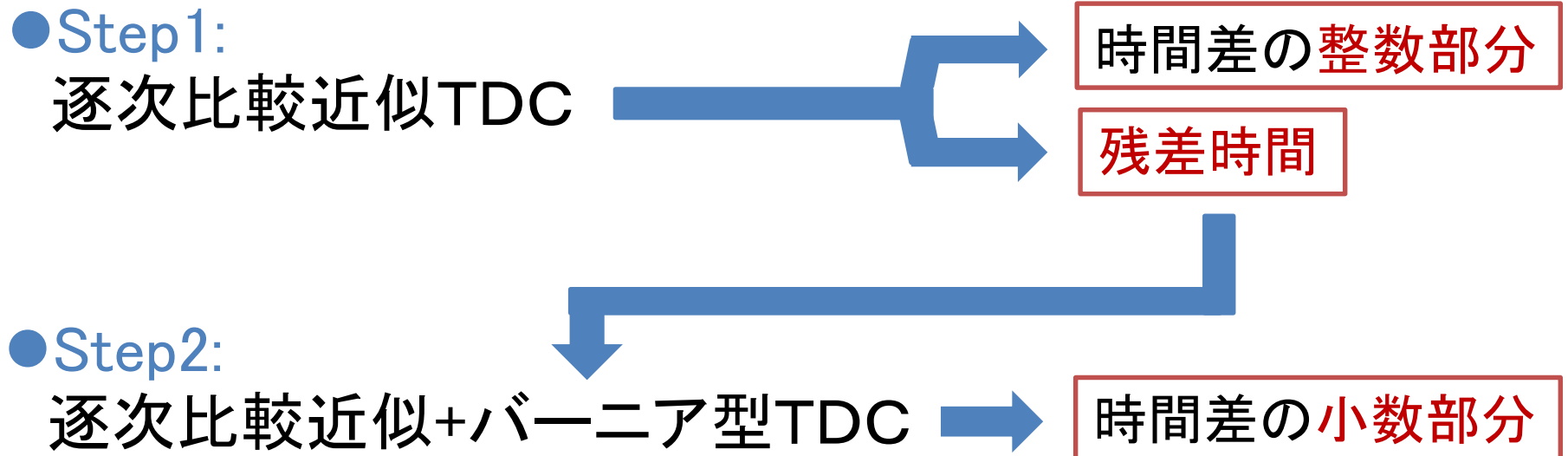
Vernier型

○最小時間分解能: 高い
(2種類のバッファのゲート遅延の差: $\tau1-\tau2$)

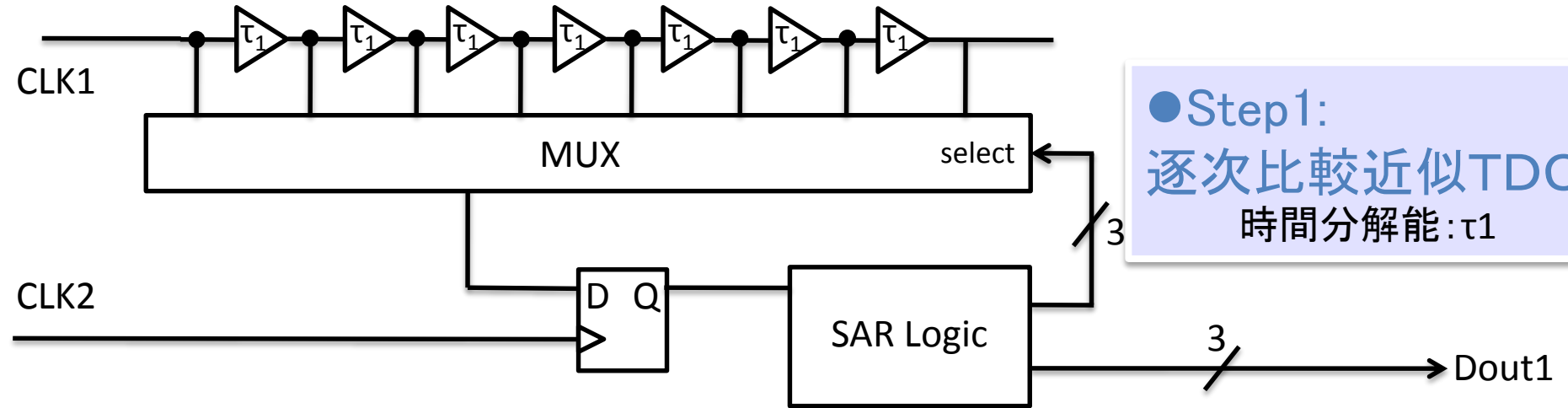
×Dフリップ-フロップ数: 多い
10bit設計→1023個

×バッファ数: 多い
10bit設計→2046個

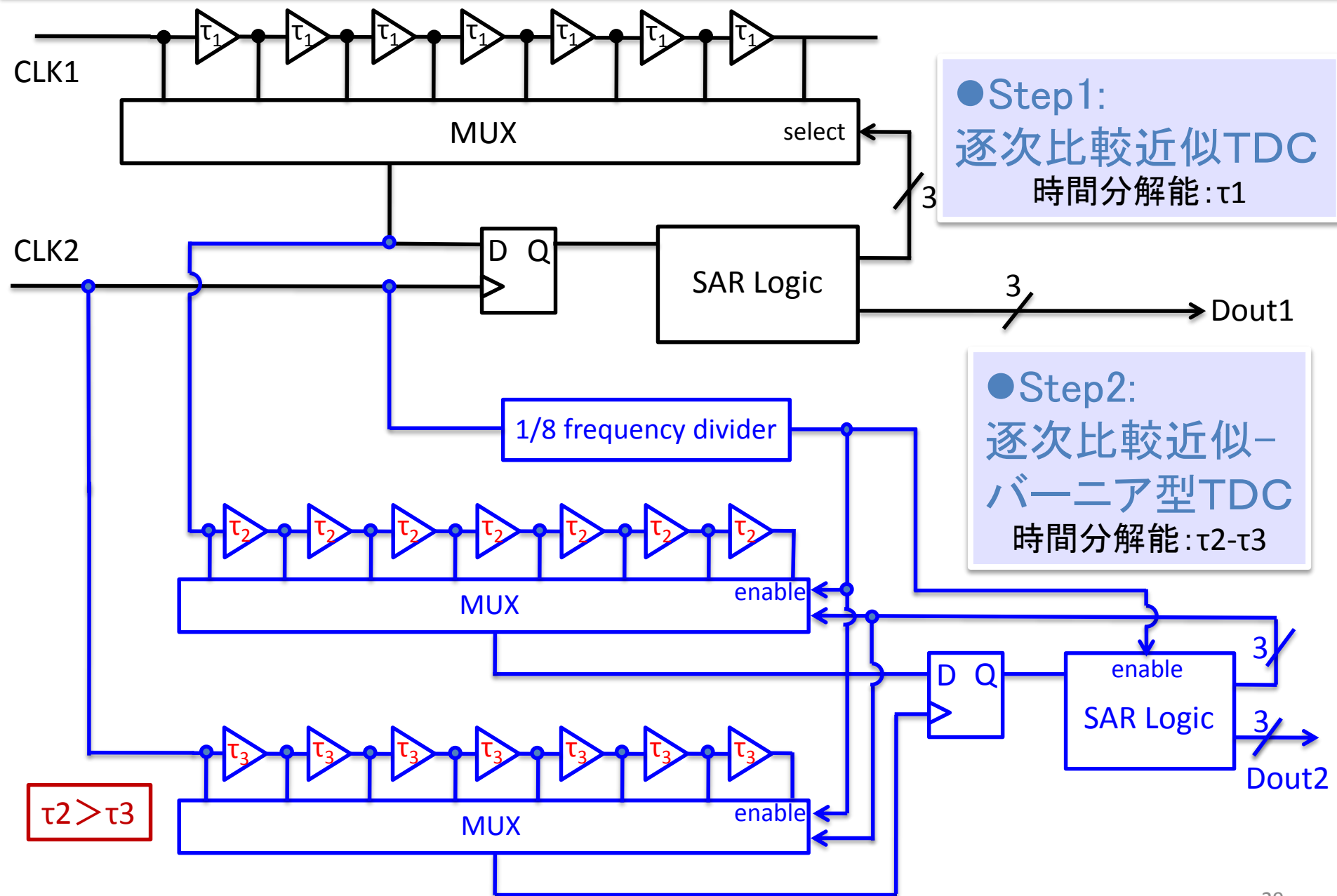
2ステップ方式による高分解能化 SAR + Vernier-Type TDC



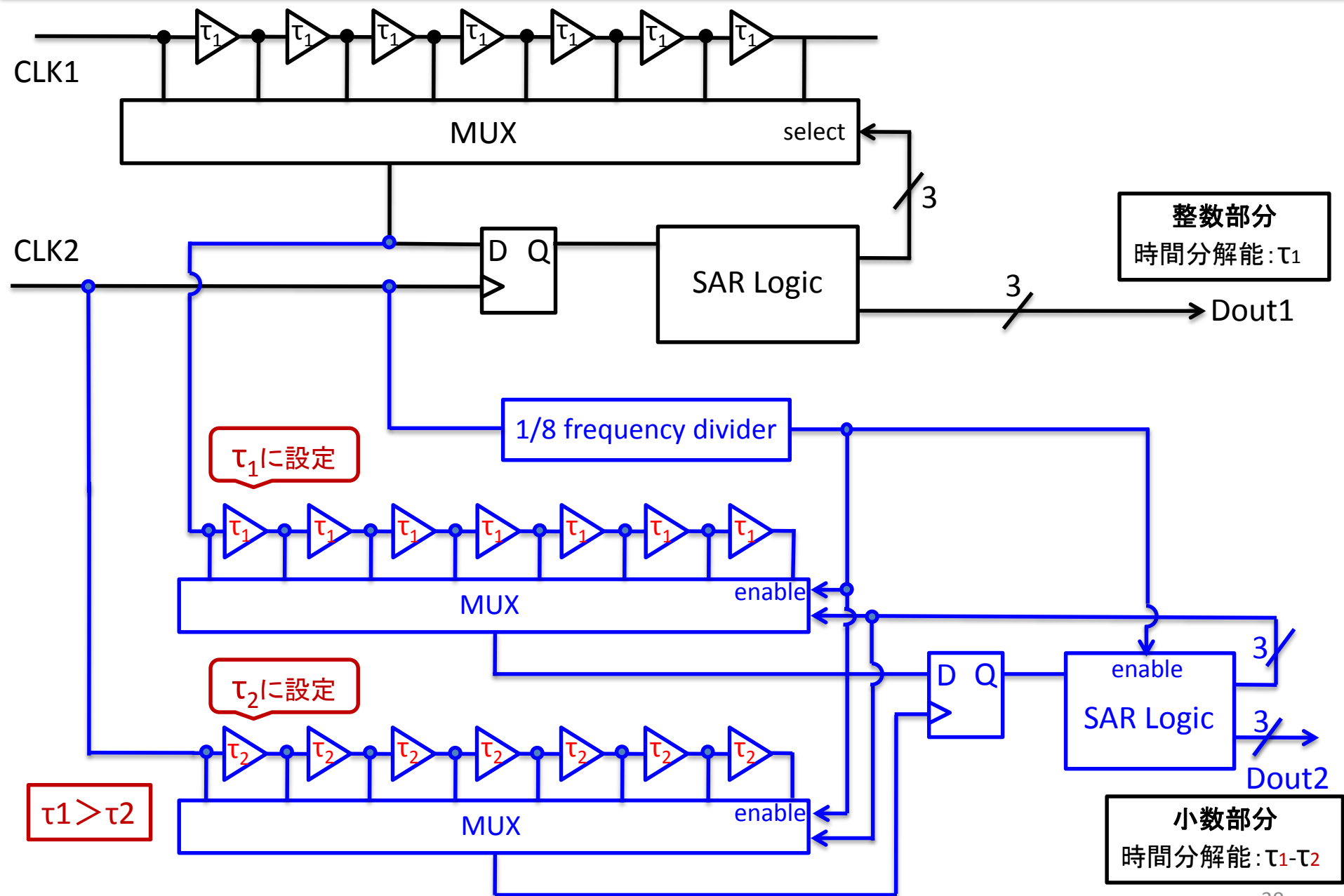
3bit SAR TDCの構成



3bit SAR + 3bit Vernier TDCの構成

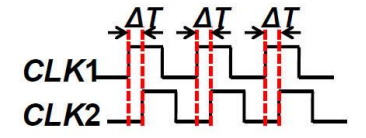


3bit SAR + 3bit Vernier TDCの構成



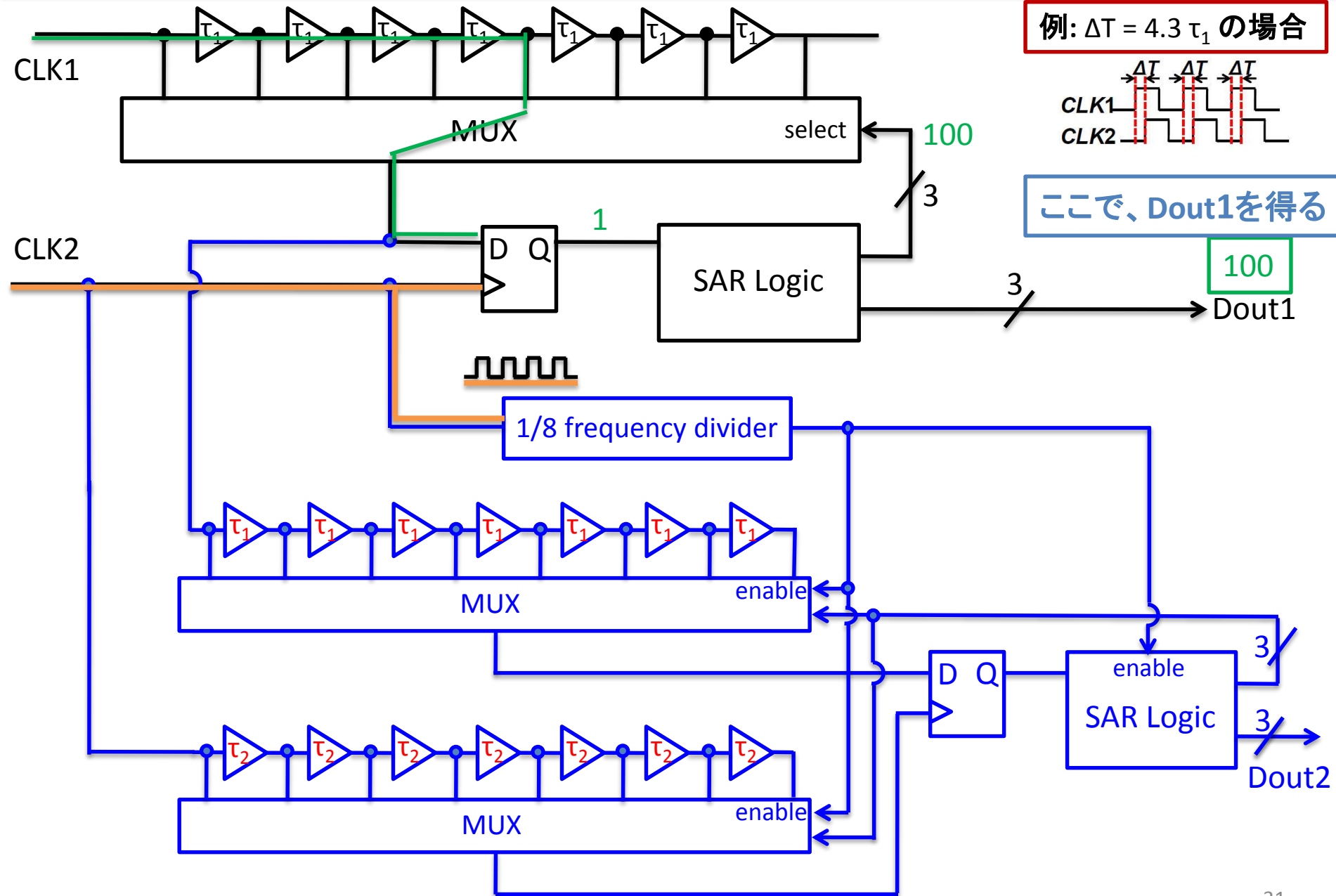
3bit SAR + 3bit Vernier TDCの動作 Step1

例: $\Delta T = 4.3 \tau_1$ の場合



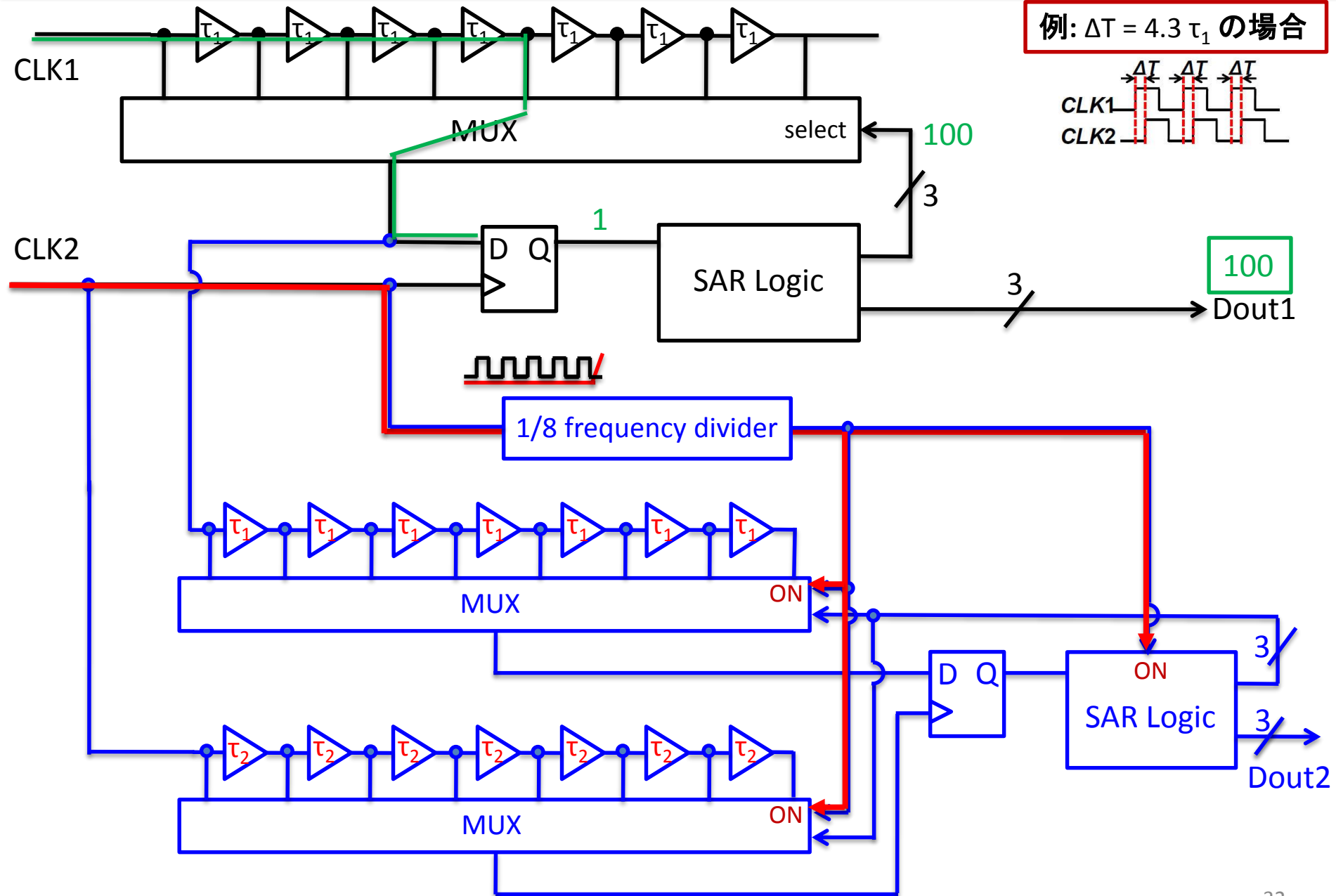
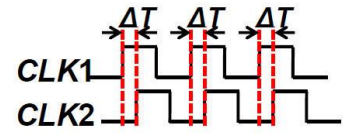
ここで、Dout1を得る

100



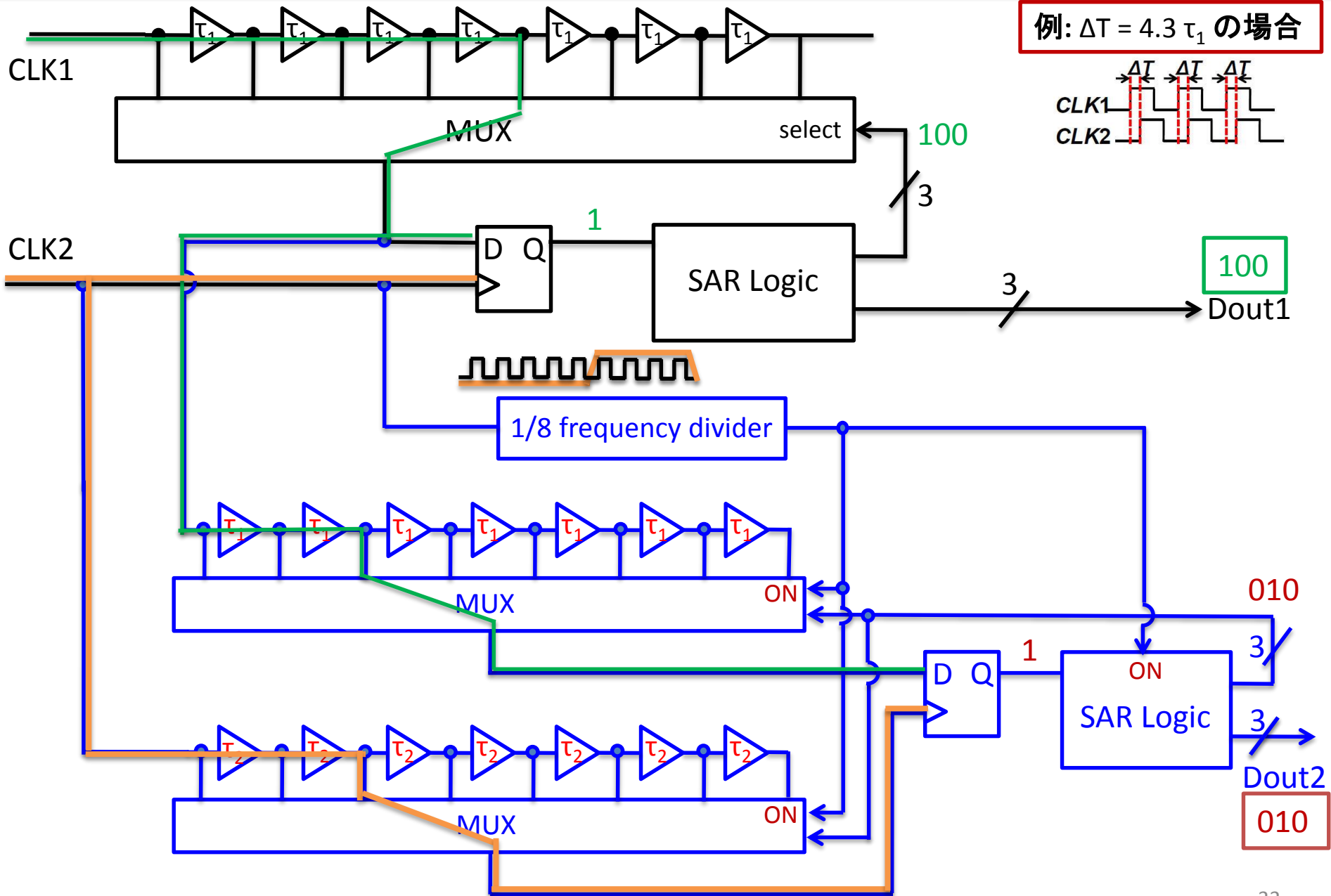
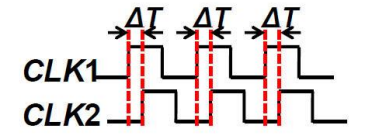
3bit SAR + 3bit Vernier TDCの動作 Step1.5

例: $\Delta T = 4.3 \tau_1$ の場合



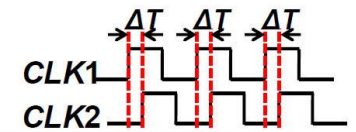
3bit SAR + 3bit Vernier TDCの動作 Step2

例: $\Delta T = 4.3 \tau_1$ の場合



3bit SAR + 3bit Vernier TDCの出力

例: $\Delta T = 4.3 \tau_1$ の場合



SAR TDCの出力:

$$D_{out} = 100_2 = 4_{10} = 4 \tau_1$$

$$\text{誤差: } |4.3 \tau_1 - 4 \tau_1| = 0.3 \tau_1$$

Dout1

SAR + Vernier TDCの出力:

$$\{D_{out1}, D_{out2}\}$$

$$= \{100, 010\}_2$$

$$= \{4, 2 \times 0.125\}_{10}$$

$$= 4.250 \tau_1$$

$$\text{誤差: } |4.3 \tau_1 - 4.250 \tau_1| = 0.05 \tau_1$$

Dout2

010

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- **FPGA設計・シミュレーション**
- まとめと課題

LTspiceで SAR + Vernier TDC の動作確認 シミュレーション

3bit+3bit SAR+Vernier TDC:

入力の2つのクロック

CLK1とCLK2の周期: 8τ

例: $\Delta T = 4 \cdot 3\tau$ (CLK1が早い目)

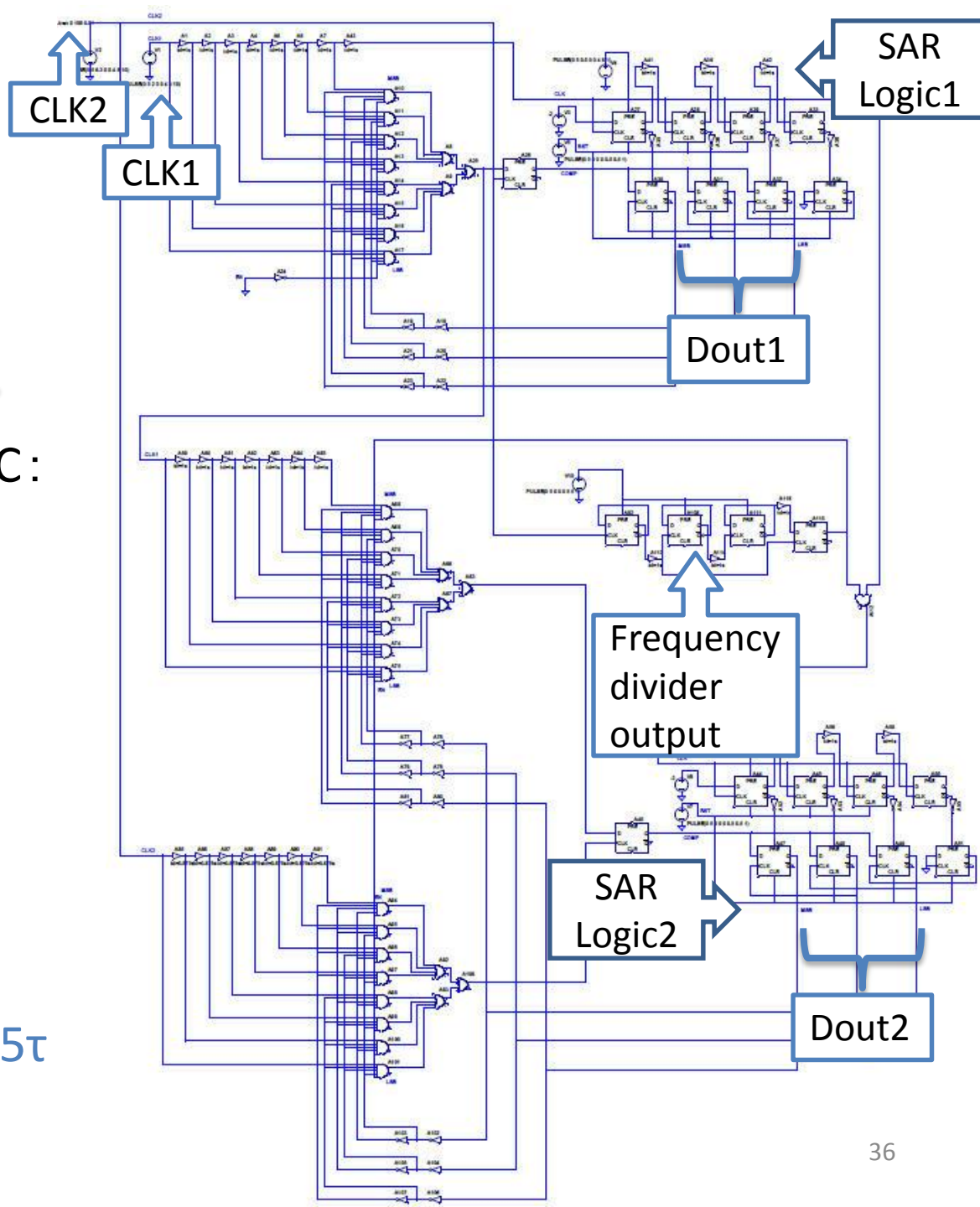
各バッファ素子の遅延時間:

$$\tau_1 = 1\tau$$

$$\tau_2 = 0.875\tau$$

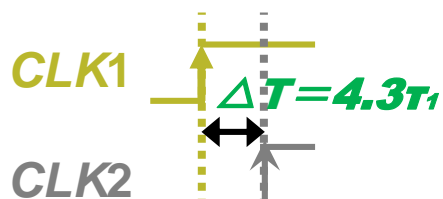
$$\tau_1 - \tau_2 = 1/8\tau$$

最小時間分解能: $1/8\tau = 0.125\tau$

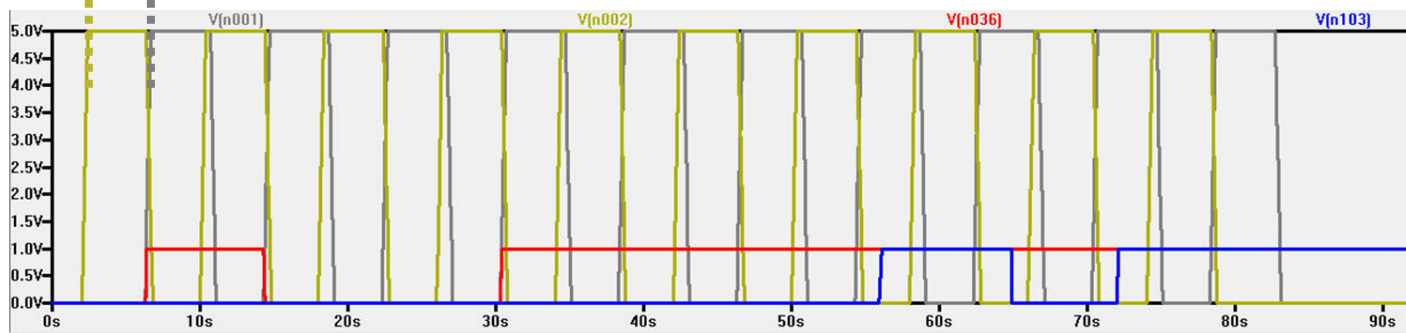


LTspiceでシミュレーション結果

入力のCLK1
とCLK2



分周器の出力により、
Stepを分ける



時間差の
Step1「整数部(Dout1)」
Step2「小数部(Dout2)」
の結合

Dout1: **1 0 0** 1 Dout2: **0 1 0** 1

$$\{Dout1, Dout2\} = \{100, 010\}_2 = \{4, 2 \times 0.125\}_{10} = \underline{4.250 \tau_1}$$

$$\text{誤差: } |4.300 \tau_1 - 4.250 \tau_1| = \underline{0.050 \tau_1}$$

Xilinx ISEでRTL検証

Xilinx ISE 14.1で検証:

3bit+3bit SAR+Vernier TDCをVerilog HDLで記述し, 下記の条件でシミュレーション

入力の2つのクロックCLK1とCLK2の周波数: 33MHz

各バッファ素子の遅延時間:

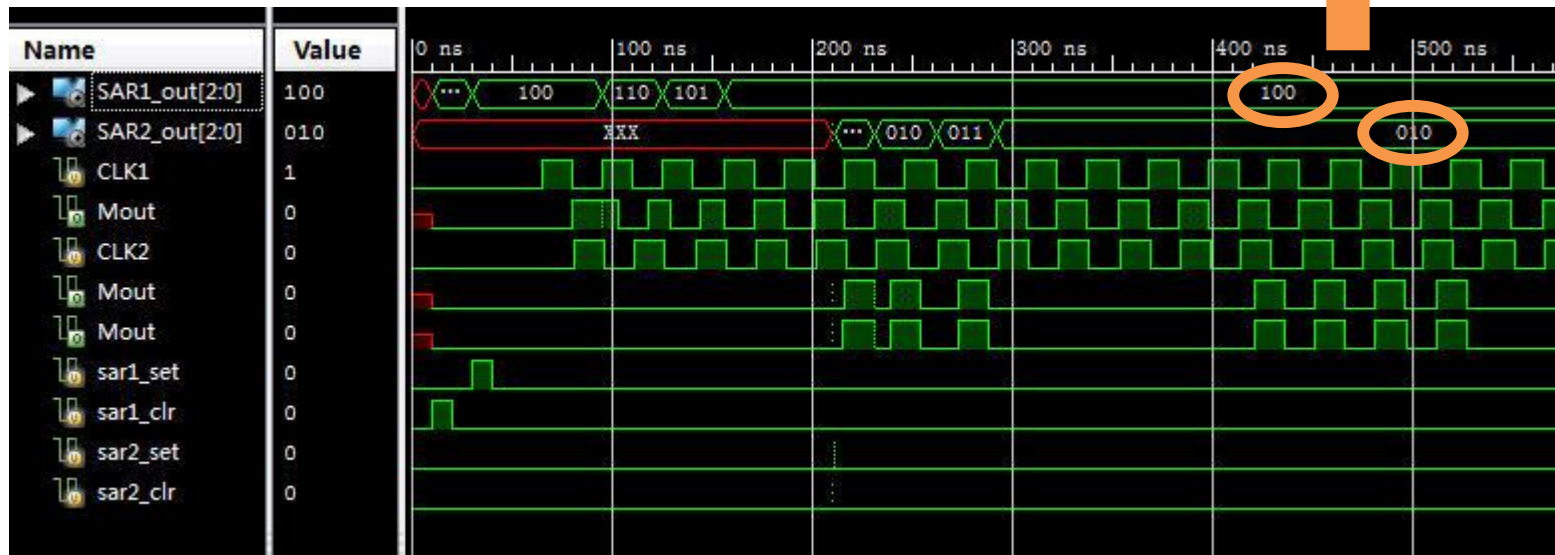
$$\tau_1 = 3.788\text{ns}$$

$$\tau_2 = 3.314\text{ns}$$

最小時間分解能: $\tau_1 - \tau_2 = 1/8\tau_1 = 0.474\text{ns}$

測定する時間差 $\Delta T = 4.3\tau_1 = 16.286\text{ns}$

出力: $\{Dout1, Dout2\} = \{100, 010\}_2 = 4.250\tau_1 = 16.099\text{ns}$

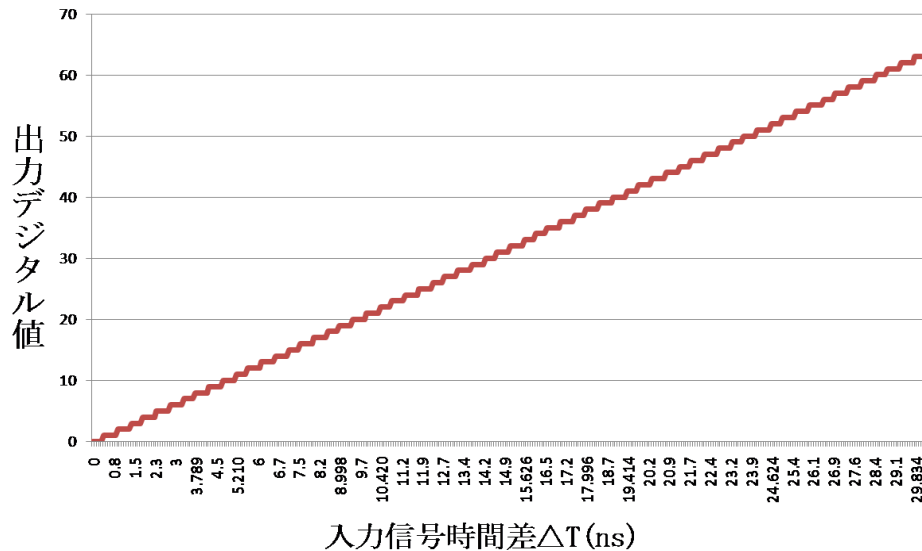


Xilinx ISEでシミュレーション結果

提案回路が

0~30.30nsの時間差範囲で

0.474nsの最小時間分解能の計測



時間差 (ns)	Dout1	Dout2	時間差 (ns)	Dout1	Dout2
0	000	000	15.153	100	000
0.474	000	001	15.626	100	001
0.948	000	010	16.100	100	010
1.422	000	011	16.574	100	011
1.896	000	100	17.048	100	100
2.370	000	101	17.522	100	101
2.844	000	110	17.996	100	110
3.318	000	111	18.470	100	111
3.789	001	000	18.941	101	000
4.262	001	001	19.414	101	001
4.736	001	010	19.888	101	010
5.210	001	011	20.362	101	011
5.684	001	100	20.836	101	100
6.158	001	101	21.310	101	101
6.632	001	110	21.784	101	110
7.106	001	111	22.258	101	111
7.577	010	000	22.729	110	000
8.050	010	001	23.202	110	001
8.524	010	010	23.676	110	010
8.998	010	011	24.150	110	011
9.472	010	100	24.624	110	100
9.946	010	101	25.098	110	101
10.420	010	110	25.572	110	110
10.894	010	111	26.046	110	111
11.365	011	000	26.517	111	000
11.838	011	001	26.990	111	001
12.312	011	010	27.464	111	010
12.786	011	011	27.938	111	011
13.260	011	100	28.412	111	100
13.734	011	101	28.886	111	101
14.208	011	110	29.360	111	110
14.682	011	111	29.834	111	111

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

まとめ

- 数少ないバッファDとフリップフロップ、高時間分解能型TDCを考案
- (Step1) 逐次比較近似+(Step2) 逐次比較バーニア型TDC回路
- LTspiceとXilinx ISEでシミュレーション
- 今後の課題：
 - FPGAでの実装；
 - ステップ2計測の時オーバーラップ部分を追加し、冗長性を持つように改良；
 - バッファ遅延のばらつきによる非線形性に対処。

Q&A

Q: この回路はどんな分野で使いますか。

A: PET (ポジトロン断層法) という医療装置または核物理で使います。

Q: 目標はどれくらいの精度ですか。

A: できれば数十psです。