

高速入出力インターフェース受信回路のジッタ耐性試験用ジッタ発生回路の検討

大澤優介 村上正紘 小林春夫 (群馬大学)

Jitter Generation Circuit for Jitter Tolerance Test of High-Speed I/O Interface

Yusuke Osawa, Masahiro Murakami, Haruo Kobayashi (Gunma University)

キーワード：高速 I/O、ジッタ耐性試験、デジタル時間変調器、デルタシグマ変調 (High-Speed I/O, Jitter Tolerance Test, Time-to-Digital Converter, Delta - Sigma Modulation)

1. はじめに

近年、半導体製造プロセスの微細化に伴い、トランジスタ 1 つあたりの半導体製造コストは減少している。が、テストコストは (何も技術開発をしなれば) 増加してしまい、したがって低コスト・高品質であるテスト技術が要求される。情報通信の分野において高速入出力インターフェーストランシーバ回路は必須の回路とされている。このトランシーバ回路をテストする上で重要になるのがジッタ耐性試験である。[1]

本研究では、高速入出力インターフェーストランシーバ回路の受信部のジッタ耐性測定テストに使用するジッタ発生回路について提案し、MATLAB を用いたシミュレーションにより検証した。全デジタルで構成される本提案回路を (i) デルタシグマ変調、(ii) LUT (Look Up Table) による自己校正方法を用いることで簡単な回路かつ線形性の良いジッタ発生回路が実現できる。我々はジッタ・位相ノイズ測定回路の研究開発をしてきた。[2-6] この論文ではその双対の回路としてジッタ発生回路を検討した。

2. 基本ジッタ発生回路

提案ジッタ発生回路の回路構成を図 1 に示す。提案したジッタ発生回路は、デコーダ、遅延素子 (τ) 配列、マルチプレクサ配列から構成する。CLK に (ジッタの少ない) クリーンなクロックを印加し、IN に意図的にジッタ成分をデジタルで入力することで OUT にジッタを持つクロックを発生させる。

図 1 の回路動作例を図 2 に示す。ジッタ成分のデジタル制御入力に「2」を入力した場合、サーモメータコードは (1,1,0) となる。その結果、OUT には IN から立ち上がりタイミングが 2τ 遅れたクロックが出力される。

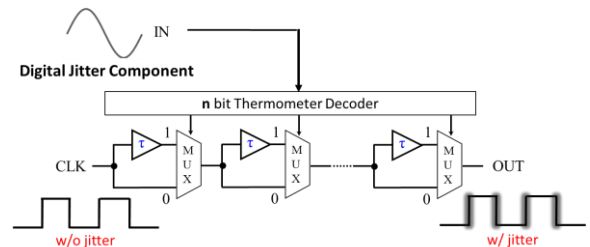


図 1 提案ジッタ発生回路の構成

Fig.1 Proposed jitter generation circuit.

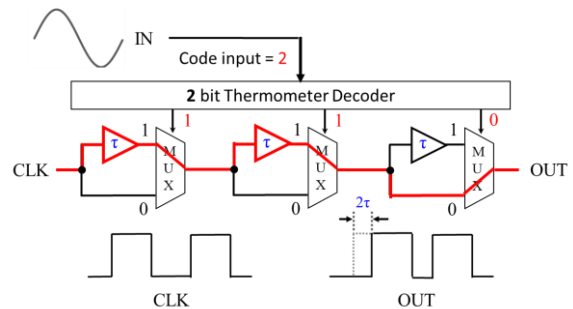


図 2 提案ジッタ発生回路の動作経路 (デジタル制御入力が「2」の場合)

Fig.2 Operation of the proposed jitter generation circuit in case digital control input =2.

図 1 の回路構成では 2 つの問題がある。

- ① 遅延素子が $2^n - 1$ [個] であり、生成されるジッタの有限時間分解能の影響が大きい。
- ② $2^n - 1$ [個] の遅延素子の相対的な遅延ばらつき・ミスマッチ (製造ばらつき) により線形性が劣化する。

第1の問題を解決するためにデルタシグマ変調を、第2の問題を解決するために自己校正を用いることを検討した。

3. デルタシグマ変調を用いたジッタ生成回路

提案するデルタシグマ変調を用いたジッタ生成回路の構成を図3に示す。点線で囲まれている部分がデルタシグマ変調部分である。このデルタシグマ変調部は、全てデジタル回路で減算器、積分器、比較器から構成する。

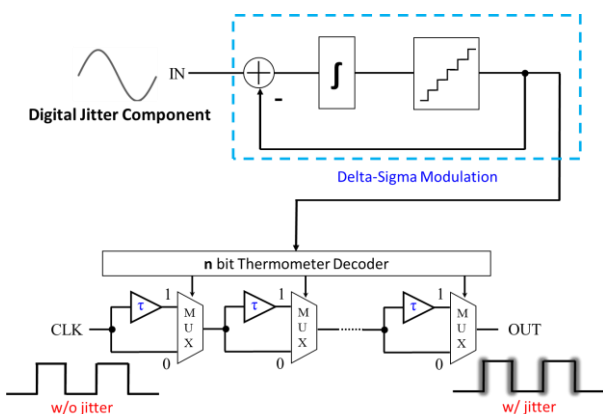


図3 デルタシグマ変調を用いたジッタ生成回路の構成
Fig.3 Block diagram of the proposed jitter generation circuit using delta-sigma modulation.

4. LUT 自己校正を用いたジッタ生成回路

図3の構成において実装した際に問題になるのが回路に使用されている 2^n-1 [個] の遅延素子のばらつきである。この遅延量のばらつきが線形性を悪化させる。

そこで提案する LUT (Look Up Table) による自己校正法[5, 6]を用いたジッタ生成回路の構成を図4に示す。図3に対して、図4の構成はデルタシグマ変調のフィードバック部分に LUT を追加している。

次に、線形性を向上させるために用いる LUT による自己校正法について説明する。図5は $n=3$ [bit] における LUT 自己校正法の例である。遅延素子は「d」を基準としてそれぞればらつきがあるとす。また、ジッタ成分に「2」を入力し、サーモメーターコードが (1,1,0,0,0,0) となる場合を考える。回路中の LUT 部分にはあらかじめ測定しておいた各遅延素子の遅延量を記録しておく。

記録のためにはリング発振回路を用いた回路(図6)を用いる。例として2番目の遅延素子の遅延量を測定する場合、 IN_{count} と S_2 をオンに、それ以外をオフにする。LUT による自己校正を行わない場合、比較器の出力をそのまま

フィードバックさせるので「2」をフィードバックする。

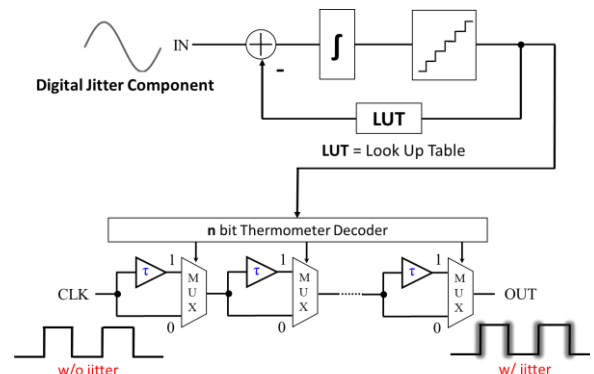


図4 LUT 自己校正を用いたジッタ生成回路の構成
Fig.4 Block diagram of the jitter generation circuit with self-calibration using LUT.

LUT による自己校正を行う場合、比較器の出力を LUT に入力し記録してある値に変換してからフィードバックする。図5の例の場合、0.99と1.03の和2.02をフィードバックする。LUTにより遅延素子のばらつきの情報をフィードバックすることで自己校正を行うことができる。

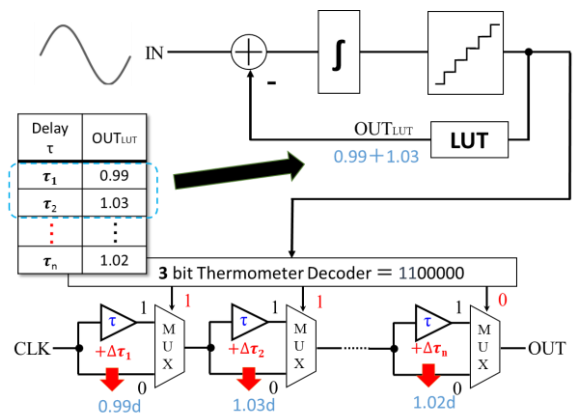


図5 自己校正動作の説明
Fig.5 Operation of the self-calibration method in 3-bit.

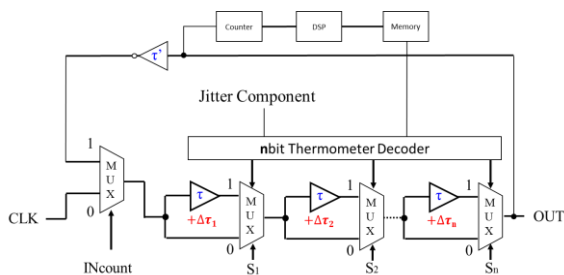


図6 リング発振回路を用いた遅延測定
Fig.6 Delay measurement using ring oscillator circuit.

5. シミュレーションによる検証

提案手法の有効性を、MATLABを用いたシミュレーションにより確認した。シミュレーションは以下の2つについて行った。

- (i) 基本ジッタ生成回路
- (ii) LUT 自己校正を用いたジッタ生成回路

シミュレーション条件について、クロック (CLK) の入力は 10MHz とし、遅延素子 τ は全て 10ns とした。また、シミュレーションでは出力 OUT を復調し、FFT (Fast Fourier Transform) することでジッタ成分として入力した周波数が得られるか検証した。

(i) 基本ジッタ生成回路

入力したジッタ成分がクロック (CLK) に現れているかをシミュレーションによって確認した。回路構成は図2を3ビットにした回路を使用した。ジッタ成分として単一正弦波 10kHz と 50kHz の2つをそれぞれ入力した。

シミュレーション結果を図7に示す。入力にジッタ成分を加えることで、入力した周波数のジッタが生成されることが確認できた。

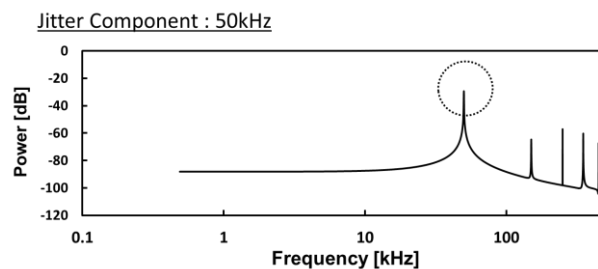
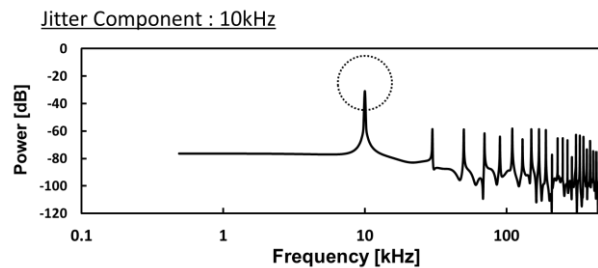


図7 入力ジッタ成分に対する出力のFFT結果
Fig.7 FFT results of the jitter generation circuit output corresponding to the input jitter components.

(ii) LUT 自己校正を用いたジッタ生成回路

遅延素子にばらつきが存在する場合、自己校正を行うことで線形性向上が可能であることをシミュレーションによって確認した。回路構成は図4を5ビットにした回路を使用した。31個の遅延素子のばらつきは乱数を用いて平均値を 4ns となるようにばらつかせた数値を用いた。ジッタ成分として単一正弦波 10kHz を入力した。比較のため、自己校正無しの回路も同様の条件でシミュレーションをした。

シミュレーション結果を図8に示す。遅延素子のばらつきがない場合に対してどれだけ誤差があるかで評価した。図8より LUT 自己校正をした方が (遅延ばらつきの無い場合と比較して) 誤差は小さく、線形性が良いことが確認できた。

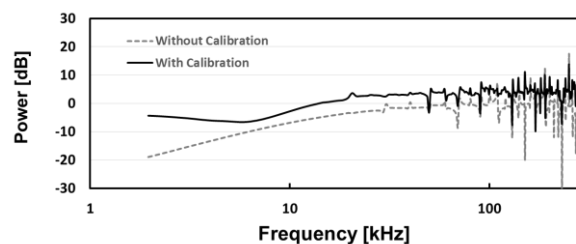


図8 LUT 自己校正[有無]による性能の比較
Fig.8 Performance comparison without and with LUT self-calibration.

6. まとめ

本論文では、高速入出力インターフェーストランシーバ回路の受信部のジッタ耐性測定テストに使用するジッタ生成回路について提案した。提案回路について MATLAB を用いたシミュレーションによって検証を行った。LUT による自己校正方法を用いることで高性能のジッタ生成回路が実現可能である。また、全てがデジタル回路で実現でき微細 CMOS での実現に適している。

さらに本提案回路はスペクトラム拡散クロック発生器 [7, 8, 9] としての使用も期待できる。

文 献

- (1) G.Roberts, F. Taenzler, M. Burns, "An Introduction to Mixed-Signal IC Test and Measurement", (Oct. 2011)
- (2) K. Niitsu, M. Sakurai, N. Harigai, T. J. Yamaguchi, H. Kobayashi, "CMOS Circuits to Measure Timing Jitter Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," IEEE Journal of Solid-State Circuits vo. 47, no.11, pp.2701-2710 (Nov. 2012)
- (3) K. Niitsu, M. Sakurai, N. Harigai, T. J. Yamaguchi, H. Kobayashi, "An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," IEEE Asian Solid-State Circuits Conference, Jeju, Korea (Nov. 2011).
- (4) Y. Osawa, D. Hirabayashi, N. Harigai, H. Kobayashi, K. Niitsu, O. Kobayashi, "Phase Noise Measurement Techniques Using Delta-Sigma TDC", IEEE International Mixed-Signals, Sensors and Systems Test Workshop, Porto Alegre, Brazil (Sept. 17-19, 2014).
- (5) S. Uemori, M. Ishii, H. Kobayashi, et. al., "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," Journal of Electronic Testing : Theory and Applications, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).
- (6) Y. Arakawa, Y. Oosawa, H. Kobayashi, O. Kobayashi, "Linearity Improvement Technique of Multi-bit Sigma-Delta TDC for Timing Measurement", IEEE 3rd International Workshop on Test and Validation of High-Speed Analog Circuits, Anaheim, CA (Sept. 2013).
- (7) C. D. Hoekstra, "Frequency Modulation of System Clocks for EMI Reduction", Hewlett-Packard Journal, no.13, pp.1-7 (Aug. 1997).
- (8) Ramin Khatami, Fatemeh Hassani, 荒船拓也, 小堀康功, 小林春夫, "Spread Spectrum Clock Generator with Adaptive Band Exclusion", 第5回電気学会東京支部栃木・群馬支所合同研究発表会, ETT-15-30, ETG-15-30, 宇都宮 (2015年3月)
- (9) R. Khatami, H. Kobayashi, Y. Kobori, "Delta-Sigma Digital-to-Time Converter For Band-Select Spread Spectrum", Key Engineering Materials (accepted).